

VLSI実装を考慮したパルス形ハードウェアカオスニューロンモデルと
ニューラルネットワークへの応用に関する研究

令和3年4月

佐々木芳樹

目次

第1章 序論.....	1
1.1 研究背景.....	1
1.2 生体におけるニューロンのブロックダイアグラム化.....	2
1.3 ホップフィールドネットワーク.....	4
1.4 半導体のばらつきとコーナー解析.....	5
1.5 本研究の目的.....	6
1.6 本論文の構成.....	10
第2章 従来のパルス形ハードウェアカオスニューロンモデル.....	12
2.1 Λ 形負性抵抗の構成と特性.....	15
2.1.1 回路構成と基本動作.....	15
2.1.2 バイアス電圧による出力電流の制御.....	18
2.1.3 製造ばらつきおよび外部温度が素子の特性に与える影響.....	19
2.2 多安定回路の構成と特性.....	23
2.2.1 回路構成と基本動作.....	23
2.2.2 単安定化した多安定回路の特性.....	27
2.3 パルス形ハードウェアカオスニューロンモデルを IC 実装する際の課題点.....	31
2.3.1 P-HCNM の回路構成.....	31
2.3.2 自励振動作.....	32
2.3.3 他励振動作.....	37
2.4 まとめ.....	43
第3章 基板電流および振幅に着目したパルス形ハードウェアカオスニューロンモデル.....	45
3.1 基板電流を改良したモデル.....	45
3.1.1 電源逆流対策モデルの構成と動作原理.....	45
3.1.2 シミュレータによる動作確認.....	49
3.2 振幅を補償したモデル.....	52
3.2.1 電源逆流対策モデルの問題点と改良指針.....	52
3.2.2 振幅補償モデルの構成と解析結果.....	53
3.2.3 素子ばらつきによる発振への影響.....	56
3.3 まとめ.....	57
第4章 VLSI 実装を考慮した自動補正機構を有するパルス形ハードウェアカオスニューロンモデル..	58
4.1 負性抵抗素子特性の原点補正回路を用いた他励振制御モデル.....	58
4.1.1 素子ばらつきによる自励振, 他励振モデルの移行要因.....	58
4.1.2 Λ 形負性抵抗の原点補正回路.....	60

4.1.3	ニューロンモデルのグローバルばらつき耐性への影響	63
4.1.4	レイアウト設計図.....	64
4.1.5	測定環境	65
4.1.6	試作 IC チップの動作解析.....	66
4.2	コントロールユニットを用いた自動補正機構を有するモデル	71
4.2.1	コントロールユニットの構成	74
4.2.2	コントロールユニットによる Λ 形負性抵抗出力 $I_{\Lambda 0}$ の制御原理	74
4.2.3	コントロールユニットの解析結果	77
4.2.4	自動補正機構の構成および解析結果.....	83
4.2.5	提案構成を用いたニューロンモデルの発火特性	86
4.2.6	レイアウト設計図.....	105
4.2.7	試作 IC チップの動作解析.....	112
4.3	まとめ	119
第 5 章	自動補正機構を有するパルス形カオスニューロンモデルを用いたニューラルネットワーク	121
5.1	静止画像を想起可能なホップフィールドネットワーク.....	122
5.1.1	入力画素データの定義	122
5.1.2	出力画素データの定義	123
5.1.3	STDP に用いる発火時間差情報の定義.....	123
5.1.4	画素座標の定義	125
5.1.5	ホップフィールドネットワークの構成.....	126
5.1.6	想起動作シミュレーション	127
5.2	時系列イメージを想起可能なホップフィールドネットワーク	135
5.2.1	画素データ定義	135
5.2.2	画素座標の定義	136
5.2.3	参照履歴数がイメージの時系列数と等しい場合の動作解析	137
5.2.4	参照履歴数がイメージの時系列数より少ない場合の動作解析	145
5.3	まとめ	149
第 6 章	結言	150
6.1	本研究で得られた成果	150
6.2	今後の展望.....	153
謝辞	153
参考文献	154

本論文で用いる記号および用語

主な記号および用語は以下のとおりである。

パルス形カオスニューロンモデルに関する用語	
記号, 用語	解説
P-HCNM	パルス形カオスニューロンモデルの略称
ニューロンモデル	本論文では, ニューロンを構成する「樹状突起, 軸索, 細胞体」のうち, 細胞体(cell body)をハードウェア(電子回路等)でモデル化したものを指す。
シナプスモデル	本論文では, ニューロンモデルの信号伝達経路の一つである樹状突起-軸索間の結合を, ひとつのブロックとみなしたモデルを指す。信号伝達効率を1つの変数で制御する。 なお, ニューロンモデルは電流入力, 電圧出力であるため, シナプスモデルは電圧-電流変換回路である OTA をベースに用いている。
発火	ニューロンモデルの発振動作のことを指す。 本論文では, 発火中の発振波形の形状を, 電圧の時間的変動で再現した。
膜容量	細胞体における外膜をコンデンサとみなしてモデル化したもの。 本論文では, 細胞体モデルの出力波形を生成するコンデンサのことを指す。
不応期	ニューロンモデルが発火動作を行った後, ニューロンモデルに対し刺激電流を加えても反応を示さない期間を指す。
単安定回路	回路の静特性を解析した際, 安定解が1つのみ存在する回路。
多安定回路	回路の静特性を解析した際, 安定解が2つ以上存在する回路。 本論文では, 2つの安定解を持つ回路として設計した。
安定点	回路の静特性における電圧解のひとつ(安定解)
不安定点	回路の静特性における電圧解のひとつ(不安定解) 静特性解析としては入出力の釣合いが取れた状態であるが, 過渡解析においては微弱なノイズ等により不安定点の電圧値を保つことが出来ず, 別の解(安定解)へと遷移する。 この特性は, 外部信号を受け入れる際のしきい値として用いることができる。
安定点(LOW)	2つの安定解のうち, 不安定点よりも低い安定点のことを指す。 外部信号を受け入れる際, しきい値以下の値は安定点(LOW)に収束する。
安定点(HIGH)	2つの安定解のうち, 不安定点よりも高い安定点のことを指す。 外部信号を受け入れる際, しきい値以上の値は安定点(HIGH)に収束する。
Λ 形負性抵抗	発振回路を生成する上で必要となる負性抵抗。V-I 特性が Λ 形状となる。 本論文では, 電流負荷と併せて用いることで, 多安定回路を構築した。
ばらつきに関する用語	
記号, 用語	解説
ローカルばらつき	1つの IC チップ内におけるばらつき。

	主に、酸化膜厚やパッケージ圧力の不均一性に由来するばらつき。
グローバルばらつき	IC チップ同士を比較した際のばらつき(ロットばらつき)。 主に、基板に照射するイオン濃度など、製造毎に発生する条件の違いに由来する。
TYPICAL	ロットばらつきに関する用語。本解析では、製造した IC チップ内部 MOSFET の「しきい値、酸化膜厚、ゲート幅、ゲート長」の 4 要素を標準状態とした場合における解析に用いる。
SLOW	ロットばらつきに関する用語。本解析では、製造した IC チップ内部 MOSFET の「しきい値、酸化膜厚、ゲート幅、ゲート長」の 4 要素を標準状態より電流が流れづらい状態へ設定した場合における解析に用いる。
FAST	ロットばらつきに関する用語。本解析では、製造した IC チップ内部 MOSFET の「しきい値、酸化膜厚、ゲート幅、ゲート長」の 4 要素を標準状態より電流が流れやすい状態へ設定した場合における解析に用いる。
NTPT	n 型 MOSFET および p 型 MOSFET を「TYPICAL」に設定した解析
NSPS	n 型 MOSFET および p 型 MOSFET を「SLOW」に設定した解析
NFPF	n 型 MOSFET および p 型 MOSFET を「FAST」に設定した解析
NSPF	n 型 MOSFET を「SLOW」、p 型 MOSFET を「FAST」に設定した解析
NFPS	n 型 MOSFET を「FAST」、p 型 MOSFET を「SLOW」に設定した解析
コーナー解析	素子の値を一律に変動させるワーストケース解析について、NSPS、NFPF、NSPF、NFPS の 4 パターンについて解析を行う。
コモンセントロイド	IC チップを作製する際に、ローカルばらつきを抑制するための手法の一つ。カレントミラー等、同一の特性を持つ MOSFET を使用することを前提とし、MOSFET を点対称に配置することで、基板の不均一性を打ち消す手法である。
MOSFET のパラメータに関する記号	
W	MOSFET のゲート幅
L	MOSFET のゲート長
M	MOSFET の並列数。MOSFET の実効的なゲート幅は「W×M」となる。
K _p , K _{PD}	p 型 MOSFET のトランスコンダクタンス(μ_p , C_{ox} , W/L を含む)
K _n , K _{ND}	n 型 MOSFET のトランスコンダクタンス(μ_n , C_{ox} , W/L を含む)
V _{TH}	しきい値電圧
V _{ATP} , V' _{ATP}	Λ 形負性抵抗の p 型 MOSFET におけるしきい値電圧
V _{ATN} , V' _{ATN}	Λ 形負性抵抗の n 型 MOSFET におけるしきい値電圧
q	電気量クーロンを示す。 $1.6 \times 10^{-19} [C]$
kT	電子エネルギーを示す。温度 T=300 ケルビンのとき、 $1.38 \times 10^{-23} [C]$ である
I _s	ダイオードの逆方向飽和電流

第 1 章 序論

1.1 研究背景

近年, DeepLearning などに代表されるように, 生体の脳の学習アルゴリズムやネットワーク構造をソフトウェアで再現した, 人工知能(AI)が広く研究され, アプリケーションとして応用されている[1]-[8]. アプリケーション応用事例として, アルファ碁[9]-[13]などに代表されるボードゲームの対戦用 AI などがあり, プロ棋士を打ち破るなど, 高い処理能力を獲得している. また, AI をソフトウェアとして搭載したデバイスとして, 本田技研工業株式会社が 2021 年 3 月に発売した世界初の自動運転レベル 3 を実現した車であるレジェンドなどが挙げられ, 従来は人間が行っていた動作の一部を機械に代行させることが可能となりつつある. AI を用いることで, 従来は人間が行っていた高所などにおける危険な作業を機械に代行させることや, 日常生活のサポートを行う機械を用いたバリアフリー化などの実現が期待できる. しかし, ソフトウェアを用いた AI デバイスは, 高度かつリアルタイムな処理を行うために多大なプロセッサが必要となる. 一例として, アルファ碁の学習には, TPU(Tensor Processing Unit)と呼ばれる AI 専用プロセッサを 2000 個使い, 40 日間にわたり学習を行うことで高度な処理能力を実現している[9]-[12]. 一方で, 学習を行うために用いるサーバーの金銭的成本は 40 日間でおおよそ 7 億円を超えるとの試算が行われている[12]. また, 電力的コストはおおよそ 25 万ワットであり, 人間の脳が消費する 21 ワットに対し 1 万 2000 倍に相当するエネルギーを必要とする[13]. また, 空間的成本として, 専用のサーバールームが必要となる. 以上により, ソフトウェアを用いた AI デバイスには, 電力的, 空間的成本など多くの課題を抱えており, いまだ一般への普及が行われていない. したがって, 高度な処理を行うことが可能な AI デバイスを普及するためには, AI デバイスの低消費電力化および低実装空間化を行うことが必要である. 一方で, 生体の脳は 20 ワットの低消費電力および 1400cc の低実装空間により高度な処理を実現している. AI デバイスの課題である低消費電力化および低実装空間化に対して, 生体の脳が行う動作と同様な, スパイク列を情報伝達に用いた大規模なニューラルネットワークを, 細胞体やシナプス単位でハードウェアモデル化したニューラルネットワークが提案されている[14]-[47]. 生体の細胞はマイクロサイズであるため, 低実装空間化を実現するためには細胞を再現するハードウェアモデルが VLSI として実装可能であることが求められる. さらに, 生体の脳における学習を含めた高度な処理能力の動作原理は生理学的に未解明であるものが多いため, 脳をハードウェアとして再現するためには, スパイク波形のアナログ性やカオス性などを含めた忠実なモデルを作製することが求められる. スパイクを用いたニューラルネットワークの研究は, 大別すると生体電位の波形をデジタルパルスとして形成する方式[14]-[38]と, 生体電位に忠実なアナログパルスとして形成する方式がある. 前者は, 論理回路をベースに作製することが可能であるため既存のハードウェアとの親和性が高く, アプリケーション応用開発において優位である. したがって, IF (integrate-and-fire)モデルを用いて開発された IBM の TrueNorth[14]などに代表されるように,

様々なデバイスが提案されている。しかし、デジタルで再現を行うため、アナログの特徴をもつ生体の脳を再現するデバイスとしては適合しない。一方、後者は生体を持つアナログの特徴を有しているため、生体電位動作の再現、および学習アルゴリズム等の推定などの面において優位となる。さらに、カオス性を持たせることも可能であり、生体の脳が持つ高度な判断処理能力を再現することが期待できる。

以上より、生体の高度な処理能力を低消費電力かつ低実装空間で実現するため、VLSI化可能なアナログ方式のハードウェアモデルを用いてニューラルネットワークを構築することが重要であると考えた。そこで、標準的なCMOSプロセスのみで作製可能なパルス形ハードウェアカオスニューロンモデル(以下、P-HCNM)[35]-[43]を用いたニューラルネットワークに関する研究を行った。

1.2 生体におけるニューロンのブロックダイアグラム化

図 1.1 に、P-HCNM が再現を行う生体におけるニューロンの模式図を示す。同図に示すとおり、生体のニューロンは、主に

- ①外部から信号を受け取る入力部に相当する樹状突起
- ②樹状突起から受け取った信号の総和がしきい値以上となるかを判断する細胞体
- ③細胞体に入力された信号がしきい値以上となる際に出力される信号の伝達経路である軸索
- ④軸索を伝わった信号を樹状突起へと出力する軸索終末（シナプス結合）

の4つにより構成される。なお、軸索は1つの細胞体から1つのみ存在し、軸索の終端から側枝を伸ばすことで複数のニューロンに対し信号を伝達する。P-HCNMは、上記の4構成のうち、②の細胞体をアナログ電子回路としてハードウェアモデル化したものである。同図に示すとおり、生体において細胞体は、前段の細胞体から出力された信号が軸索に伝搬し、軸索終末のシナプスを通して樹状突起から信号を受け取る。細胞体は、受け取った信号の合計がしきい値を超えると発火状態となり、アナログ性を持ったスパイク波形を生成する。また、細胞体のスパイク情報を軸索により遅延伝達する。軸索に伝達されたスパイク情報は、次段ニューロンの樹状突起に対しシナプスを通じて伝達される。以上の動作により、生体における情報の伝達が行われる。

図 1.2 に、図 1.1 をブロックダイアグラムとして表した模式図を示す。同図に示すように、生体における4つの構造体は

- ①樹状突起：入力を総和するブロック
- ②細胞体：入力の総和をしきい値処理し、次段に信号を出力するブロック
- ③軸索：信号を遅延させるブロック
- ④シナプス：信号 X_k と結合荷重値 W_k を乗算するブロック。結合荷重値 W_k によって、信号 X_k を次段にどの程度の信号強度として伝達するかを決定する。

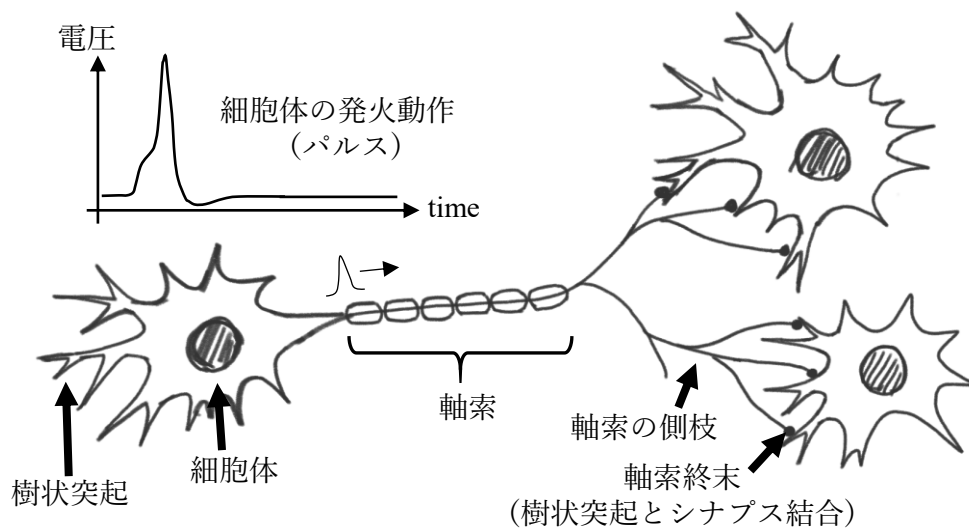


図 1.1 生体におけるニューロンの結合模式図

の4つの機能ブロックとして表現することが出来る．一つのニューロンモデルが， n 個のニューロンモデルから信号を受けている時，ニューロンモデルのしきい値を θ ， i 番目の入力を x_i ， i 番目の結合荷重値を w_i とすると，入力信号の総和 I は

$$I = \sum_{i=1}^n x_i \cdot w_i$$

となる．入力信号の総和 I がしきい値 θ を

- ①下回る \Rightarrow しきい値処理ブロックの出力は0(非発火状態)
- ②上回る \Rightarrow しきい値処理ブロックの出力は1(発火状態)

となる．入力信号の総和 I がしきい値 θ を超え，出力が1となった状態は，生体における発火状態に相当する．しきい値を処理する細胞体ブロックの出力は，入力信号の総和に比例せず，0(非発火状態)または1(発火状態)のみを出力する(全か無かの法則)．したがって，細胞体ブロックに相当するP-HCNMは，入力信号の総和がしきい値 θ 以下である時は出力を0(非発火状態)とし，入力信号の総和がしきい値 θ 以上である時は，入力信号の総和に関わらず，1を出力(発火状態)となる必要がある．なお，軸索に相当する遅延ブロックの出力も0または1を出力する．なお，細胞体のしきい値が0以下，すなわち外部入力を与えられていない状態において発火状態となるモデルを自励振モデル，細胞体のしきい値が0を超える，すなわち外部信号を与えられるまで発振状態とならないモデルを他励振モデルと定義した．

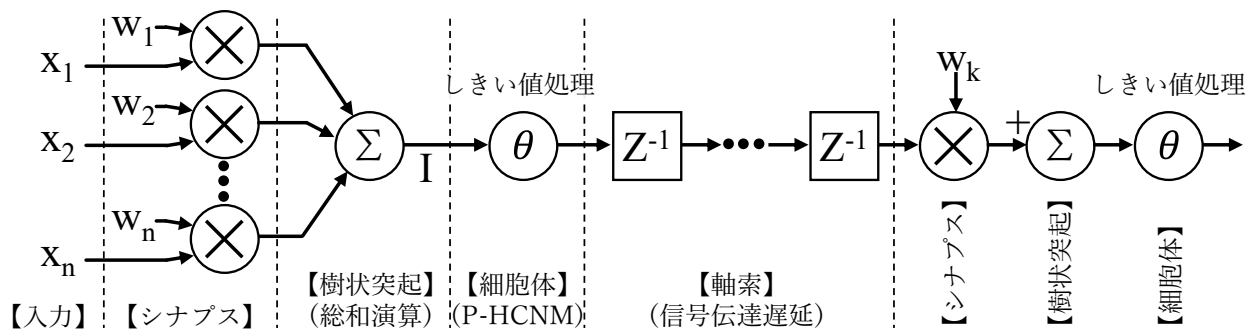


図 1.2 ニューロンモデルのブロック図

1.3 ホップフィールドネットワーク

図 1.3 に、代表的なニューラルネットワークの結合方式を示す。同図において、○で示す記号は図 1.2 で示した樹状突起ブロックおよび細胞体ブロックで構成されたニューロンモデルであり、→で示す記号は図 1.2 の軸索ブロックおよびシナプスブロックで構成された信号伝達経路であり、→の指し示す方向は信号の伝達方向を示す。同図に示すように、ニューラルネットワークは主に(a)階層型と(b)相互結合型の2種類のニューラルネットワークに分類することができる。

(a)階層型は、信号が一方向に対してのみに伝達するため、ニューロンモデルの出力結果がニューロンモデルの入力に対してフィードバックされない結合方式である。主に、入力信号が、事前に学習したどのデータに近いかを判断するために用いられる。近年、研究が多く進められている Deep Learning 等の深層学習は、階層型に分類される。近年の研究により、入力の特徴を抽出する方法や階層毎の学習方法などが提案され、入力データを高い精度で分類分けすることが可能となっている。一方で、フィードバックを行わない結合方式であるため、時系列データなど、過去の情報を元に判断を行うニューラルネットワークとしての利用は困難である。

(b)相互結合型は、結合されたニューロンモデルの双方が信号を伝達しあう結合方式である。主に、リズム運動などの時系列パターンに関係をする出力を行うニューラルネットワークである。本論文で用いるホップフィールドネットワークは相互結合型に分類され、自分自身以外の全ニューロンモデルと相互結合を行うニューラルネットワークである。ホップフィールドネットワークは、主に連想想起(例:「レモン」に相当するデータを入力すると、「すっぱい」に相当する出力が出力される)に用いられる。連想想起の機能を用いて、ノイズの除去(「ノイズの乗った情報」から「事前に学習した情報」を連想想起する)や、時系列パターンの想起(「ある時間の情報」から「次の時間の情報」を連想想起する)などへの応用が期待できる。

(a)階層型および(b)相互結合型ともに、ニューロンモデルはしきい値を持ち、ニューロンモデルに対し入力した信号の合計がしきい値を満たした場合に発火状態となり、次段ニューロンモデルへと情報を伝達する。入力の合計に上限は存在しないため、ニューラルネットワークの規模に応じ

て、1つのニューロンモデルに入力される信号の合計は増大する。したがって、大規模なニューラルネットワークを構築する場合においても、入力の合計に上限を設けず、しきい値を満たした状態であれば発火応答を行う必要がある。

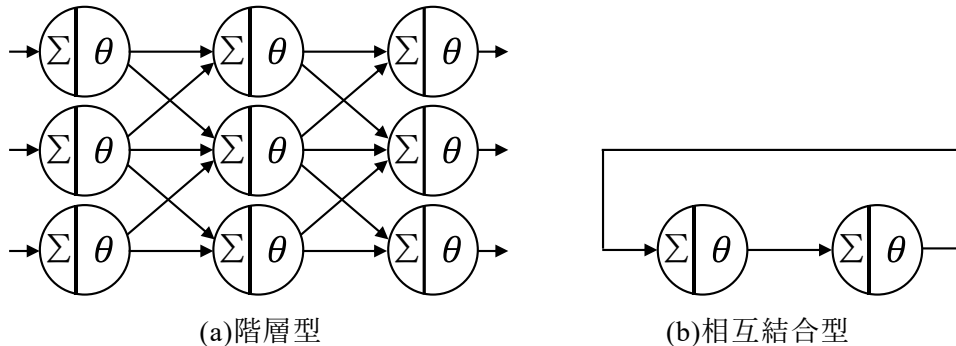


図 1.3 ニューラルネットワークの結合方式

1.4 半導体のばらつきとコーナー解析

VLSI 上に作製した半導体は、さまざまな要因により特性のばらつきが発生する。MOSFET は、VLSI 上に実装可能な半導体部品の一つであるため、同様にさまざまなばらつきが発生する。半導体のばらつき発生要因は、主に MOSFET のゲート電極のサイズばらつき、MOSFET の酸化膜厚のばらつき、MOSFET の不純物濃度ばらつき、MOSFET に印加されるパッケージ等からの物理的な圧力のばらつき、消費電力の違いによる温度ばらつきなどが挙げられる。これらのばらつきが MOSFET に与える影響は主に

- ・ MOSFET のトランスコンダクタンス g_m
- ・ MOSFET のしきい値電圧 V_{th}

である。MOSFET のばらつき解析は、すべての MOSFET の素子特性を一律に変更するワーストケース解析と、1つ1つの MOSFET に異なる素子特性を与えるモンテカルロ解析がある。本論文で用いるコーナー解析は、ワーストケース解析の1つであり、4つのワーストケースに場合分けして解析を行う。ワーストケース解析で用いる素子特性の分類は、MOSFET の特性を

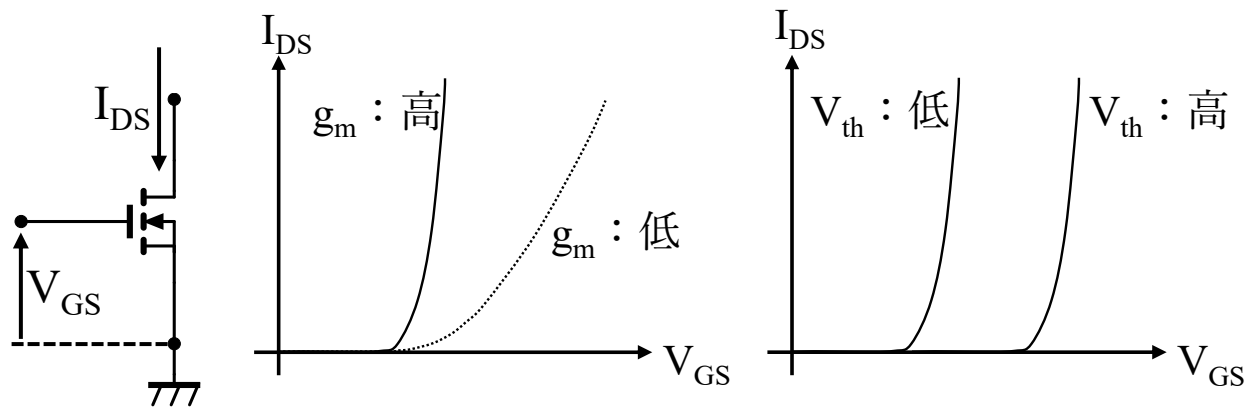
- SLOW (S) : g_m を低く、 V_{th} を高く設定。電流が流れづらい条件
- TYPICAL (T) : g_m , V_{th} とともにスペック通りとした条件
- FAST (F) : g_m を高く、 V_{th} を低く設定。電流が流れやすい条件

の3種類の条件に仕分けし、さらに VLSI 上の p 型 MOSFET および n 型 MOSFET の特性を

- NSPS : p 型 MOSFET および n 型 MOSFET の特性を SLOW に設定
- NFPF : p 型 MOSFET および n 型 MOSFET の特性を FAST に設定
- NSPF : p 型 MOSFET の特性を SLOW に、n 型 MOSFET の特性を FAST に設定
- NFPS : p 型 MOSFET の特性を FAST に、n 型 MOSFET の特性を SLOW に設定

の4種類に場合分けして解析を行う。なお、スペック値との比較を行うため、

NTPT : p型 MOSFET および n型 MOSFET の特性を TYPICAL に設定
 についてもコーナー解析時に行うものとした。



(a)MOSFET(n ch) (b)トランスコンダクタンス g_m の影響 (c)しきい値電圧 V_{th} の影響

図 1.4 MOSFET のばらつきによる特性変化

1.5 本研究の目的

本研究の目的は、医学的・生理学的に知られている、生体の脳が行う動作と同様なスパイク列を情報伝達に用いた大規模なニューラルネットワークを、細胞体やシナプス単位でハードウェアモデル化することで、生体の脳と同様な低消費電力および低実装空間を実現することである。モデル化の対象である生体の細胞はマイクロサイズであるため、低実装サイズを実現するためには細胞を再現するハードウェアモデルが VLSI として実装可能であることが求められる。したがって、標準的な CMOS プロセスのみで製作可能なアナログパルス生成ニューロンモデルである P-HCNM を用いて、大規模ニューラルネットワークを VLSI 化することを目指している。

しかし、P-HCNM の発振動作に必要な負性抵抗特性を担う Λ 形負性抵抗は、製造ばらつきや温度に対する感度が高い。したがって、VLSI 化した際、外部からの刺激を受けずに自発的な発振を行う自励振動や、外部からの刺激を受けて発振を行う他励振動など、目的となる励振状態を設計どおりとすることは困難である。励振状態を設計どおりに設定することが困難であるため、P-HCNM を大規模なニューラルネットワークとして VLSI 化する際の歩留まりに対する影響が大きい。しかし、P-HCNM の励振状態を補償する回路設計手法についてはいまだに提案が行われていない。生体の脳を再現するためには、ニューラルネットワークの大規模化が必須であるため、励振状態を補償する回路設計手法を検討する必要がある。

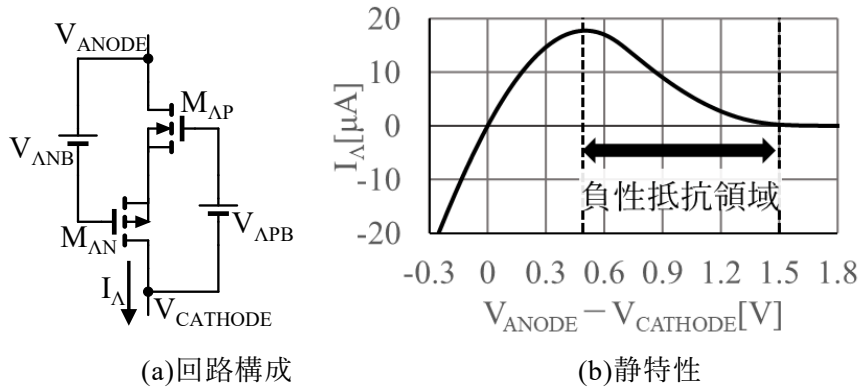


図 1.5 Δ 形負性抵抗の構成と特性

P-HCNM の動作に影響を及ぼす要素は、発振状態の制御以外にも、P-HCNM の出力振幅についても考慮する必要がある。P-HCNM が発火動作中であるか非発火動作中であるかを識別するためには、電源電圧に対し十分な出力電圧の振幅が必要である。特に、近年では VLSI の低消費電力化を行うため、電源電圧の低電圧化が行われている。電源電圧の低電圧化に伴い、VLSI 内の MOSFET を ON 状態にするために必要な制御電圧を得るためには、信号振幅が電源電圧と同等の値となることが望ましい。したがって、P-HCNM の発火状態における出力電圧の振幅は、電源電圧に対し十分な振幅を保証する必要がある。しかし、P-HCNM のバイアスに用いているコンデンサと P-HCNM の出力電圧を生成するコンデンサがチャージポンプを形成する構造上、バイアスに用いているコンデンサの放電に連動して出力電圧も減少するため、十分な振幅を保証することが難しい。また、P-HCNM の発火状態における振幅を保証する回路設計手法についてはいまだ提案が行われていない。生体の脳を再現する VLSI を携帯可能なデバイスなどに搭載するためには、VLSI に供給する電圧を低電圧とした場合においても、P-HCNM が出力した信号を処理するのに十分な振幅を保証する必要があるため、P-HCNM の発火状態における振幅を保証する回路設計手法を検討する必要がある。

P-HCNM を大規模なニューラルネットワークとして構築した際の動作に影響を及ぼす要素として、入力信号として使用可能な電流範囲に制限が挙げられる。特に、ホップフィールドネットワークなどの全結合型ニューラルネットワークを大規模化した場合、ひとつの P-HCNM に入力される刺激電流は増大する。しかし、入力される電流値が大きくなる場合でも、しきい値以上の入力電流である場合は、発火動作を行う必要がある。しかし、P-HCNM は出力電位を生成する端子に対し直接電流を入力する構造上、P-HCNM 内部の負荷電流源以上の電流値を入力することが出来ない。また、入力可能な電流範囲を増やすため、P-HCNM 内部の負荷電流値を増大させると、P-HCNM が定常的に消費する電力の増大を招くため、負荷電流源を変更する手法以外を提案する必要がある。

歩留まりに関する要素以外にも、製造した VLSI 自体の寿命や、製造した VLSI を組み込んだ回路の経年劣化や故障などについても考える必要がある。特に、発熱や VLSI 内部の電圧に対する耐

圧、電源電圧に対する負荷などは、作製した VLSI を組み込んだシステムの寿命に対して影響が大きいため、十分に対策が行われる必要がある。しかし、P-HCNM は、バイアスに用いているコンデンサを放電する際、ダイオードを通じて電源に対し電流を逆流させる。VLSI の多くはシリコン半導体を用いており、シリコンにより作製されたダイオードは大電流を流すため、P-HCNM から電源に対し大きな逆流電流を印加することとなる。逆流電流は、P-HCNM を大規模ニューラルネットワーク化するほどに増大するが、直流安定化電源等の比較的電流容量が大きい製品を用いた場合でも吸込み性能（逆流可能な電流値）は数 mA 程度であることが多いため直流安定化電源を損壊させる可能性があり、また 3 端子レギュレータなどを用いた電源の場合は逆流防止ダイオードにより電源電位が切り離されるため VLSI の電源電位が大きく変動する可能性がある。したがって、電源に対する逆流電流に対する対策が求められる。

研究背景をまとめると、以下のとおりである。

P-HCNM を用いたニューラルネットワークに関する研究背景

- ・ AI を用いることにより、危険作業などを機械に代行させることが期待できる
- ・ ソフトウェア AI により、自動運転など、人間が従来行っていた作業の一部が代行可能となりつつある
- ・ ソフトウェア AI、消費電力および実装空間において不利であり、一般への普及には至っていない
- ・ 生体の脳は、低消費電力かつ低実装空間で高度な処理を行っている
- ・ 生体の脳を、細胞ごとにハードウェア化することで、生体の脳の利点が活用できると期待している
- ・ 生体の脳は、細胞サイズがマイクロレベルであるため、ハードウェアモデルは VLSI 化が必要
- ・ 生体の脳は、学習原理に未解明な事項があるため、アナログ性を含めた忠実なモデル化が必要
- ・ デジタル型のスパイクニューラルネットワークは、アナログ性を持たないため生体の再現に不向き
- ・ P-HCNM は VLSI 化可能であり、アナログ性を持つため、生体の再現を行うのに有意である
- ・ 生体の再現を行うため、P-HCNM を用いてニューラルネットワークの構築を目指す

以上に示すとおり、P-HCNM を用いたニューラルネットワークの研究は、AI を実現するデバイスとして有意である。しかし、P-HCNM を VLSI に実装するための要素技術についての提案が十分に行われておらず、生体の再現を行うために必要なニューラルネットワークの大規模化に至っていない。したがって、本論文では P-HCNM を VLSI に実装するために、下記の課題について検討を行っている。

ニューラルネットワーク大規模化のために解決すべき課題

- (1)電圧電源に対する逆流電流の抑制
- (2)信号判別が可能な電圧振幅の補償
- (3)負性抵抗素子の特性ばらつき改善
- (4)入力電流の許容範囲および出力波形の改善

以上に示した課題に対し、本論文では以下の検討を行った。

P-HCNM を VLSI 実装する上で解決すべき課題の解決手法

- ・ P-HCNM のバイアス回路に起因する課題の解決手法（3章）
 - (1)電圧電源に対する逆流電流の抑制
 - (2)信号判別が可能な電圧振幅の補償
- ・ P-HCNM の出力回路に起因する課題の解決手法（4章）
 - (3)負性抵抗素子の特性ばらつき改善
 - (4)入力電流の許容範囲および出力波形の改善

P-HCNM には外部刺激として入力可能な電流値に上限が存在するが、ホップフィールドネットワークなどの ANN を構築する場合、1つの P-HCNM に入力される電流値は ANN の規模に応じて増大する。したがって、大規模な ANN を構築した場合、P-HCNM に入力可能な電流上限を超えることからホップフィールドネットワークの連想想起動作を正常に得ることは難しい。そこで、ANN の大規模化のために、P-HCNM の励振状態を補償する技術および入力可能な信号許容範囲の改善手法について第4章にて検討を行った。第5章では、対策を行った P-HCNM を用いて、ニューラルネットワーク構築に関する検討を行った。生体が持つリアルタイム性などの優位な機能を再現するため、連想想起が可能であるホップフィールドネットワーク構成し、下記の2項目について検討を行っている。

ホップフィールドネットワークの連想想起に対する検討：

- (5)画素欠損を補償可能なネットワーク
- (6)時系列想起可能なネットワーク

1.6 本論文の構成

次章以降の構成は下記のとおりである。

第2章 従来のパルス形ハードウェアカオスニューロンモデル

本章では、制御対象となる特性の単純化を実現するため、P-HCNMを Λ 形負性抵抗により構成した多安定回路とバイアス回路とみなし解析を行った。P-HCNMを多安定回路とみなすことにより、MOSFETの静特性形状の変化に関わらず、P-HCNMの発火原理を出力端子電圧が0Vにおける出力端子への流入電流と流出電流の大きさのみで考えることが可能となる。本章では、 Λ 形負性抵抗および多安定回路の静特性について述べた後、P-HCNMを多安定回路とみなした際の動作原理、課題点について述べた。

第3章 基板電流および最大振幅に着目したパルス形ハードウェアカオスニューロンモデル

本章では、P-HCNMのバイアス回路部に起因する課題である

- (1)電圧電源に対する逆流電流の抑制
- (2)信号判別が可能な電圧振幅の補償

の2項目に対する解決手法について述べた。従来のP-HCNMでは、バイアス電圧を生成するキャパシタの放電経路として、MOSFETの基板を通じた電源へ逆流する経路を持つ。MOSFETの基板を通じて電源に逆流することにより、電源電位に多大なノイズを与え、さらにP-HCNMの出力振幅の低減を招いていた。電源電位の安定性はP-HCNMの励振状態を安定化させるために必要な要素であり、また振幅余裕はホップフィールドネットワークの信号処理における正確な情報伝達のために必要となる。本論文では、バイアス回路の放電経路を新たに追加する構成を提案した。

第4章 VLSI実装を考慮した自動補正機構を有するパルス形ハードウェアカオスニューロンモデル

本章では、P-HCNMの出力回路部に起因する課題である

- (3)負性抵抗素子の特性ばらつき改善
- (4)入力電流の許容範囲および出力波形の改善

の2項目に対する解決手法について述べた。第2章により、P-HCNMが発振動作を行うためには、多安定回路の出力電圧を0Vとしたときの Λ 形負性抵抗の出力電流値 $I_{\Lambda 0}$ が、負荷電流値を上回ればよい。したがって、 $I_{\Lambda 0}$ を制御することにより発火を制御することが可能であると考え、新たな

制御手法を提案した。 $I_{\Lambda 0}$ には最大値が存在するため、制御を行うためには $I_{\Lambda 0}$ が負荷電流値を上回ることが可能であることを保証する必要がある。したがって、 $I_{\Lambda 0}$ の最大値を推定し、負荷電流値が $I_{\Lambda 0}$ の最大値以下となるよう自動的に補正する機構を提案した。

第5章

自動補正機構を有するパルス形カオスニューロンモデルを用いたニューラルネットワーク

本章では、P-HCNMを用いたホップフィールドネットワークを構築し、

(5)画素欠損を補償可能なネットワーク

(6)時系列想起可能なネットワーク

の2つの連想想起について検討した。従来のP-HCNMは、入力許容電流に上限があるため、P-HCNMに入力された電流の合計値がしきい値以上であれば、入力電流に上限をつけず動作することが求められる大規模なホップフィールドネットワークを正常に動作させることが困難である。本章では、P-HCNMを第3章および第4章により改善したモデルを用いてホップフィールドネットワークを構築し、連想想起機能について述べる。

第6章 結言

最後に、結論として本論文の成果と今後の課題について述べた。本論文では、P-HCNMのバイアス回路および出力回路に起因する課題を補償可能な回路を提案し、ホップフィールドネットワークを構成した。本論文の成果は、VLSIの製造ばらつきなどに起因するMOSFETの特性ばらつきに関わらず、自動補正機構により励振状態をロバストに補償することを実測により明らかにしたことである。また負性抵抗特性制御回路により入力許容電流の上限をなくすことが可能であることを実測により明らかにしたことである。さらに、上記の改良P-HCNMによりホップフィールドネットワークの連想想起機能が正常に動作可能であることをシミュレーションにより明らかにしたことである。この成果は、生体を再現した低消費電力かつ低実装サイズな人工知能のための要素技術としての貢献が期待できる。

第2章 従来のパルス形ハードウェアカオスニューロンモデル

図 2.0.1 に、南雲の回路(BVP モデル)[72]-[75]および P-HCNM の回路構成を示す。P-HCNM は南雲の回路を基に作製された発振回路であり、MOSFET およびコンデンサを用いて L, R, および負性抵抗(-R)を等価素子として構築している。南雲の回路は L,C,R を用いた LCR 発振回路であるため、微分方程式を基に、発振条件(外部刺激 i_s により発振するしきい値など)や発振周波数、信号の振幅などが決定される。P-HCNM は、南雲の回路を基としているため、発振条件や発振周波数、振幅等を決めるためには L,C,R,-R の等価素子を正確に求める必要がある。しかし、L,C,R,-R の等価素子の値は、対応する MOSFET の静特性から近似的に求められるが、MOSFET が持つ静特性の非線形性から、等価素子の値を正確に求めることは困難である。また、MOSFET は、VLSI を作製する際に、MOSFET のゲートサイズや、MOSFET に照射されるイオンの濃度、MOSFET の酸化膜厚などの複数要素によりばらつきが発生するため、MOSFET の静特性が持つ傾き等を特定の値に制御することは困難である。したがって、P-HCNM を VLSI として作製する場合、同じロット内に作製した P-HCNM のサンプルである場合でも、各サンプルの L,C,R,-R の等価的な素子値に一定の関係性を保持させることは困難である。しかし、P-HCNM の発振条件等は L,C,R,-R の等価的な素子値に依存するため、MOSFET の静特性が持つ傾きなどの静特性形状が制御可能でない場合、発振条件の制御を行うことが出来ない。そのため、VLSI を作製する際、P-HCNM のサンプル毎に発振条件にばらつきが生じ、一部のサンプルでは自励振モデルに、一部のサンプルでは他励振モデルになるなど、励振状態にばらつきが生じる。生体の脳を再現する場合、ホップフィールドネットワークなどの他励振モデルを用いたニューラルネットワークを構築する必要があり、P-HCNM が他励振モデルであることを保証する必要がある。しかし、L,C,R,-R により構成される微分回路の発振条件は複雑であり、さらに L,C,R,-R を MOSFET により等価的に構成したため、補償条件が複雑化するため補償回路を設計することは困難である。そのため、発振状態を保証回路により制御するためには、P-HCNM を L,C,R,-R の等価素子以外の単純な要素へと置き換え、発振条件を単純化することが求められる。

図 2.0.2 に、多安定回路(Λ 形負性抵抗を用いた多値 SRAM)および P-HCNM の回路構成を示す。本章では、 Λ 形負性抵抗を用いた多安定回路が持つ多安定および単安定という概念を用いることにより発振条件の単純化を行うことが可能であると考え、各要素について解析を行った。同図(b)は、図 2.0.1(b)にて示した P-HCNM と同一の構成であり、図 2.0.1(b)を基に、図 2.0.2(a)と同様の電源電圧を回路図面上の上面とした回路フォーマットへと変換を行ったものである。なお、同図(a)に示す多安定回路と同図(b)に示す P-HCNM の回路構成上の大きな違いは、 M_{AN} に対するバイアス電圧である V_{ANB} にある。同図(a)においては、定電流源 M_{DD} の出力電流を R_G に印加することにより V_{ANB} を発生させるため、 V_{ANB} は V_{OUT} の変化に対して変動しない。それに対し、同図(b)は定電流源 M_{DD} の出力電流を C_G に蓄積させることにより V_{ANB} を発生させるため、 V_{ANB} は V_{OUT} の変化に対して変動する。この違いに対し、同図(b)を、動的なバイアス電圧 V_{ANB} を持つ多安定回路とみなすことで、

同図(a)により同図(b)を説明することが可能となる。

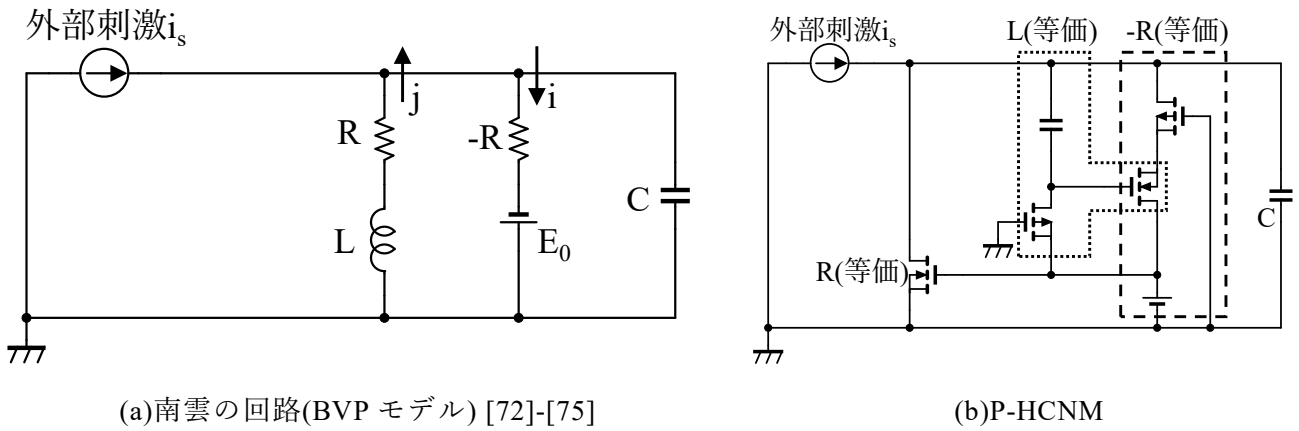


図 2.0.1 南雲の回路と P-HCNM の等価関係

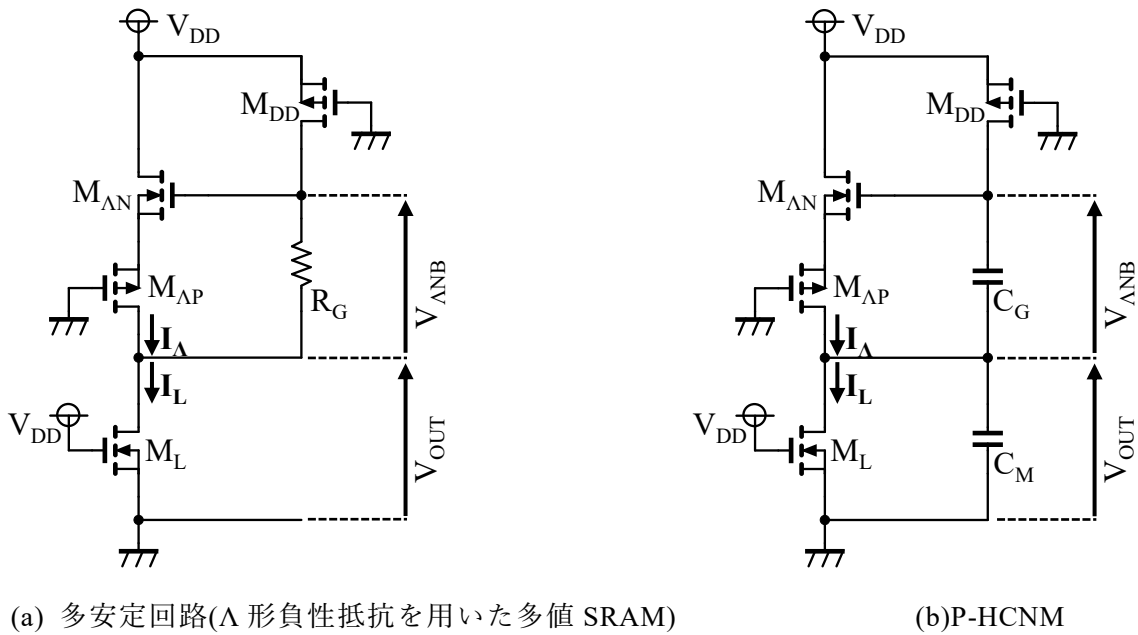


図 2.0.2 多安定回路(Λ 形負性抵抗を用いた多値 SRAM)と P-HCNM の構造的関係性

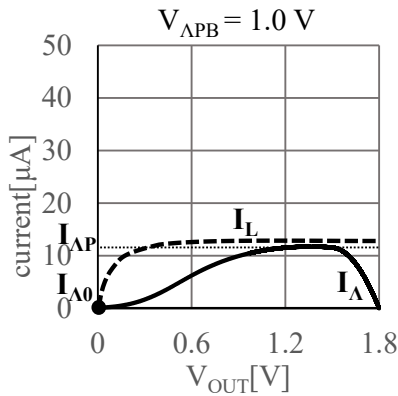
図 2.0.3 に、図 2.0.2 で示した多安定回路の V_{OUT} に対する I_{Λ} および I_L の静特性を示す。同図において、横軸は多安定回路の出力電圧 V_{OUT} を、縦軸は Λ 形負性抵抗および負荷電流源 M_L の電流値を示す。また、 V_{OUT} が $0V$ である場合における I_{Λ} (グラフの y 軸切片) を $I_{\Lambda 0}$ 、 Λ 形負性抵抗の静特性における最大値 (ピーク値) を $I_{\Lambda P}$ と定義した。同図(a)~(c)に示すとおり、多安定回路は、 I_L の飽和電流値、 $I_{\Lambda 0}$ 、 $I_{\Lambda P}$ の 3 要素を比較することにより 3 種類の状態に分類することが可能である。同図(a)は、 $I_{\Lambda 0} < I_L$ かつ $I_{\Lambda P} < I_L$ を同時に満たす条件であり、 V_{OUT} および I_{Λ} の交点が、 $V_{OUT}=0V$ と近い電圧 (LOW 側) にのみ存在する単安定回路である。安定点が 1 つしか存在せず、なおかつ安定

点となる V_{OUT} が低電圧であるため、入力に反応を示さず V_{OUT} を低電圧側の安定点に収束させる特性を持つ。この特性は、P-HCNM の不応期として動作する。P-HCNM を他励振モデルとして動作させた場合および自励振モデルとして動作させた場合の両方に共通する特性である。同図(b)は $I_{A0} < I_L$ かつ $I_{AP} > I_L$ を同時に満たす条件であり、 V_{OUT} および I_A の交点が特性上に 3 点存在する多安定回路である。3 つの交点のうち、2 つ交点が安定点、1 つの交点が不安定点となる。不安定点は、2 つの安定点の間に存在する。外部から電流を入力することで V_{OUT} を強制的に変更した場合、変更後の V_{OUT} が不安定点以下であれば V_{OUT} を低電圧側の安定点に収束させ、変更後の V_{OUT} が不安定点以上であれば V_{OUT} を高電圧側の安定点に収束させる。この特性は、しきい値電圧条件を持つ他励振モデルを構築するために必要な条件である。同図(c)は、 $I_{A0} > I_L$ かつ $I_{AP} > I_L$ を同時に満たす条件であり、 V_{OUT} および I_A の交点が、 $V_{OUT}=V_{DD}$ と近い電圧(HIGH 側)にのみ存在する単安定回路である。この特性は、安定点が 1 つしか存在せず、なおかつ安定点となる V_{OUT} が高電圧であるため、入力の有無に関わらず V_{OUT} を高電圧側の安定点に収束させる特性を持つ。この特性は、入力の有無に関わらず発振を行う自励振モデルを構築するために必要な条件である。以上により、同図(a)は他励振モデルおよび自励振モデルに共通する特性であるため、他励振モデルおよび自励振モデルをそれぞれ設計するためには、同図(b)および同図(c)の条件をそれぞれ満たせばよい。同図(b)および同図(c)の違いは、 I_{A0} と I_L の大小関係のみであり、 I_{AP} は設計条件に関与しない。そのため、他励振モデルと自励振モデルをそれぞれ設計するためには、静特性の形状に関わらず、多安定回路の出力電圧 V_{OUT} が 0V となる場合の Δ 形負性抵抗出力電流 I_{A0} と、負荷電流源 M_L の飽和電流値 I_L の大小関係のみに着目すればよい。これは、P-HCNM を LCR の等価回路とみなした場合における発振条件と比較し、大幅に発振条件を単純化することが可能であることを示している。この条件を満たすためには、 I_{A0} および I_L の両方を制御可能であることが求められる。この 2 要素の補正機構については第 4 章にて述べる。本章では、まず I_{A0} を制御するための前提である、 Δ 形負性抵抗のバイアス電圧を変更した場合における V_{OUT} に対する Δ 形負性抵抗の出力電流の静特性の変化について述べる。また、 Δ 形負性抵抗の各種ばらつきに対する静特性の変化について述べる。次に、P-HCNM の発振原理単純化に用いた多安定回路の静特性及び過渡特性を解析するため、 Δ 形負性抵抗と負荷電流源により多安定回路を構築した。また、構築した多安定回路を単安定(LOW),多安定,単安定(HIGH)に場合分けし、発振波形を形成するしきい値条件および V_{OUT} の過渡応答について解析を行った。最後に、P-HCNM を構築し、多安定回路と P-HCNM の関係性を過渡特性により解析した。また、発振条件に含まれない課題である、信号の電圧振幅および電源への逆流電流について解析を行った。なお、第 3 章では、発振条件に含まれないバイアス回路に起因する課題である振幅および逆流電流について検討を行う。第 4 章では、変更したバイアス回路を含めた、励振状態の制御を行う回路を提案する。

他励振・自励振共通特性

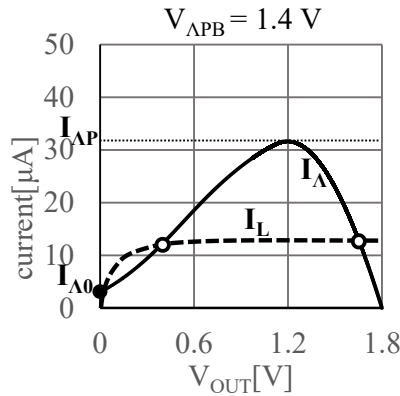
他励振モデルの構築条件

自励振モデルの構築条件



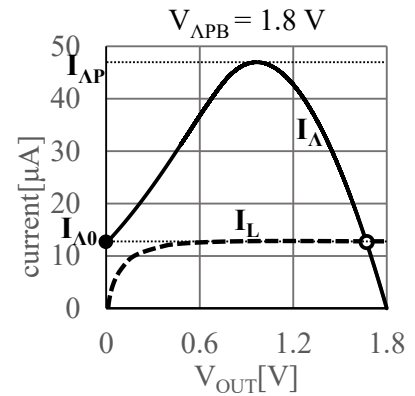
$I_{\Delta 0} < I_L$ かつ $I_{\Delta P} < I_L$

(a)単安定(LOW)



$I_{\Delta 0} < I_L$ かつ $I_{\Delta P} > I_L$

(b)多安定



$I_{\Delta 0} > I_L$ かつ $I_{\Delta P} > I_L$

(c)単安定(HIGH)

図 2.0.3 多安定回路内の Δ 形負性抵抗出力電流 I_{Δ} と負荷電流源 M_L の出力電流 I_L の静特性

2.1 Δ 形負性抵抗の構成と特性

2.1.1 回路構成と基本動作

図 2.1.1 に、 Δ 形負性抵抗の構成を示す。同図に示すとおり、 Δ 形負性抵抗は n 型 MOSFET である $M_{\Delta N}$ と p 型 MOSFET である $M_{\Delta P}$ を直列接続した回路構造を持つ素子であり、 V_{OUT} に応じた I_{Δ} を出力する。 Δ 形負性抵抗は、 V_{OUT} の増加、すなわち Δ 形負性抵抗の両端電圧 $V_{DD} - V_{OUT}$ の減少に対し、 I_{Δ} が増加を示す負荷抵抗領域を持つ。同図において、 V_{DD} に接続された端子はアノード端子を示し、 V_{OUT} に接続された端子はカソード端子を示す。 Δ 形負性抵抗は極性を持っており、負性抵抗特性を得るためにはアノード端子の電位に対しカソード端子の電位が低くなる必要がある。電源電圧は V_{DD} を、入出力電圧は V_{OUT} を用いる。 $M_{\Delta N}$ のバイアス電圧には $V_{\Delta NB}$ を印加し、 $M_{\Delta P}$ のバイアス電圧には $V_{\Delta PB}$ を印加した。 $M_{\Delta N}$ と $M_{\Delta P}$ を接続した端子の電圧を V_{Δ} 、 $M_{\Delta P}$ のドレイン-ソース間電圧を $V_{\Delta PD}$ 、 $M_{\Delta P}$ のゲート-ソース間電圧を $V_{\Delta PG}$ 、 $M_{\Delta N}$ のドレイン-ソース間電圧を $V_{\Delta ND}$ 、 $M_{\Delta N}$ のゲート-ソース間電圧を $V_{\Delta NG}$ と定義した。また、 $M_{\Delta N}$ のしきい値電圧は $V_{\Delta TN}$ 、 $M_{\Delta N}$ の μ_n 、 C_{OX} 、 W/L を含むトランスコンダクタンスは K_N 、 $M_{\Delta P}$ のしきい値電圧は $V_{\Delta TP}$ 、 $M_{\Delta P}$ の μ_p 、 C_{OX} 、 W/L を含むトランスコンダクタンスは K_P と定義した。なお、同図において V_{OUT} は説明を行うため可変電圧源にて表現したが、後述する多安定回路や P-HCNM においては出力端子の電圧を示す。多安定回路や P-HCNM における V_{OUT} は負荷抵抗の両端電圧およびキャパシタの両端電圧であるため、 V_{OUT} の生成に電源を用いる必要はない。

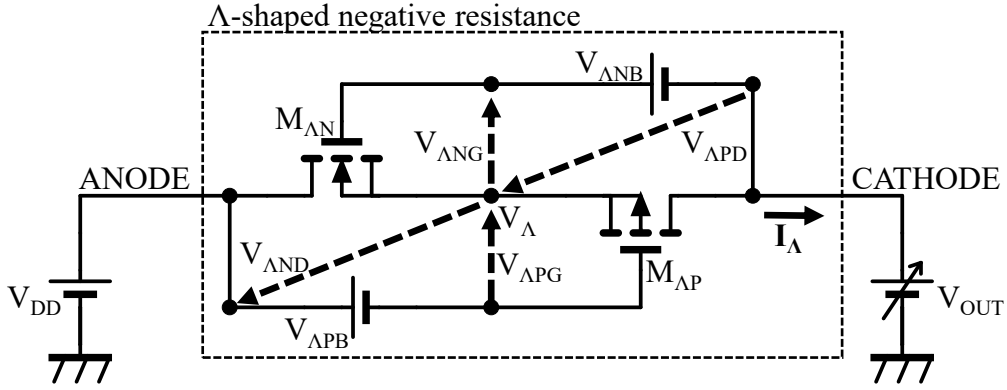


図 2.1.1 Λ 形負性抵抗の回路構造

図 2.1.2 に、図 2.1.1 に示した Λ 形負性抵抗の静特性を示す。同図(a)において、横軸は Λ 形負性抵抗の両端電圧 $V_{DD} - V_{OUT}$ を、縦軸は Λ 形負性抵抗の出力電流 I_{Δ} を示す。また、同図(b)において、横軸は Λ 形負性抵抗の出力端子電圧 V_{OUT} を、縦軸は Λ 形負性抵抗の出力電流 I_{Δ} を示す。同図(a)および(b)は同一の特性であるが、着目する電圧ノードが異なる。同図(a)は、Λ 形負性抵抗の両端電圧(アノード端子からカソード端子までの電圧)に着目し、両端電圧の変化に対する I_{Δ} の静特性を示す。同図(a)に示すとおり、両端電圧が上昇するにしたがって、 I_{Δ} も上昇する正抵抗領域と、 I_{Δ} が減少する負性抵抗領域を持つ。一方で、多安定回路および P-HCNM において用いる Λ 形負性抵抗は、 V_{DD} を固定値とし、 V_{OUT} を変数として用いる。同図(b)は、 V_{OUT} のみを変数とした場合における I_{Δ} の静特性を示したグラフである。多安定回路や P-HCNM においては出力端子の電圧である V_{OUT} を変数として説明を行うため、以降は同図(b)を用いて説明を行う。同図(b)に示すように、我々は Λ 形負性抵抗特性を(I)無通電領域(II)負性抵抗領域(III)正抵抗領域(IV)通電領域の 4 領域に分類した。なお、P-HCNM の出力電圧は電源電圧を超過しないことから、P-HCNM で使用する領域は(I)~(III)のみである。ここでは、P-HCNM に使用する領域である(I)~(III)のしきい値条件およびバイアス条件について言及する。

(I)~(III)の領域は、 V_{DD} に対し V_{OUT} の電位が低い状態である。したがって、 $M_{\Delta P}$ および $M_{\Delta N}$ ともに V_{Δ} がソース電位である。 $M_{\Delta N}$ および $M_{\Delta P}$ が飽和領域で動作していると仮定したとき、 $M_{\Delta P}$ の電流 $I_{\Delta P}$ および $M_{\Delta N}$ の電流 $I_{\Delta N}$ は、

$$I_{\Delta P} = K_P (V_{\Delta PG} - V_{ATP})^2 \quad (2.1)$$

$$I_{\Delta N} = K_N (V_{\Delta NG} - V_{ATN})^2 \quad (2.2)$$

と表せる。また、 $M_{\Delta P}$ および $M_{\Delta N}$ は直列接続であるため

$$I_{\Delta P} = I_{\Delta N} = I_{\Delta} \quad (2.3)$$

となる。 V_{Δ} はソースフォロア電位であるため、式(2.3)を満たすことが可能な電位に自動的に変動する。ここで、領域(I)を満たす条件について着目する。領域(I)は電流を流さない状態であることから、 $M_{\Delta P}$ および $M_{\Delta N}$ はしきい値を超えていないと推定できる。したがって、式(2.1)および式(2.2)を変形した式である

$$V_{APG} - V_{ATP} < 0 \quad (2.4)$$

$$V_{ANG} - V_{ATN} < 0 \quad (2.5)$$

を同時に満たせばよいことになる．ここで，図 2.1.1 から

$$V_{APG} = V_A - (V_{DD} - V_{APB}) \quad (2.6)$$

$$V_{ANG} = (V_{ANB} + V_{OUT}) - V_A \quad (2.7)$$

である．これにより，式(2.3)および式(2.5)は

$$V_A - (V_{DD} - V_{APB}) - V_{ATP} < 0 \quad (2.4)'$$

$$(V_{ANB} + V_{OUT}) - V_A - V_{ATN} < 0 \quad (2.5)'$$

と表せる． M_{AN} および M_{AP} が同時にしきい値を満たすためには，式(2.4)' および式(2.5)' を同時に満たせばよい．したがって，式(2.4)' および式(2.5)' を加算した

$$(V_{ANB} + V_{APB}) < (V_{ATP} + V_{ATN}) + (V_{DD} - V_{OUT}) \quad (2.8)$$

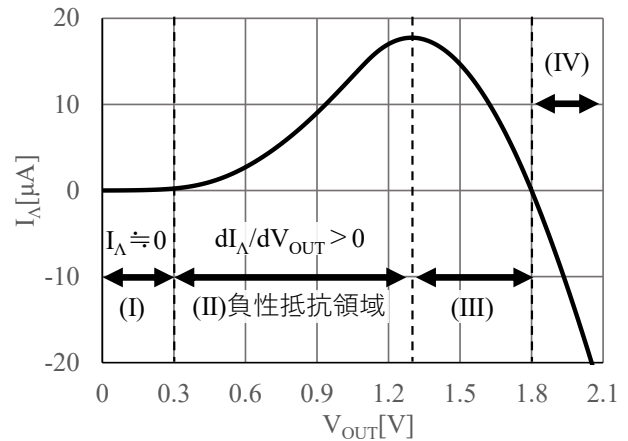
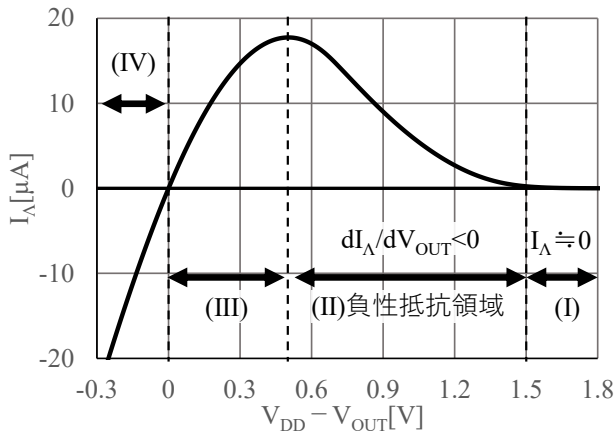
を満たせばよい．式(2.8)から，領域(I)はバイアス電圧の合計値が， M_{AN} および M_{AP} のしきい値電圧，および Λ 形負性抵抗の両端電圧を合計した数値を下回る領域である．

次に，領域(II)について着目する．領域(II)は電流を流すことが可能な状態であるため

$$(V_{ANB} + V_{APB}) > (V_{ATP} + V_{ATN}) + (V_{DD} - V_{OUT}) \quad (2.9)$$

を満たしている必要がある．この領域において， V_{OUT} は低電圧状態であることから Λ 形負性抵抗の両端電圧は MOSFET の飽和条件を満たしていると仮定できる．したがって，ドレイン-ソース間電圧である V_{AND} , V_{APD} の減少変化が出力電流に対して及ぼす影響は少ないとみなすことができる．その結果， V_{OUT} の上昇，すなわち Λ 形負性抵抗の両端電圧が減少することにより， Λ 形負性抵抗の出力電流 I_A が増加する．両端電位の減少により電流が増加するため，負性抵抗特性とみなすことができる．

次に，領域(III)について着目する．この領域においては， V_{OUT} が V_{DD} へと近づく，すなわち Λ 形負性抵抗の両端電圧が 0 へ漸近する．したがって，MOSFET の特性は線形領域で動作をする．MOSFET が線形領域で動作するため， V_{OUT} の上昇に伴う M_{AN} および M_{AP} のゲート-ソース間電圧の上昇よりも， M_{AN} および M_{AP} のドレイン-ソース間電圧の減少が I_A の変化に対して支配的になる．したがって， V_{OUT} の上昇，すなわち Λ 形負性抵抗の両端電圧が減少することにより， Λ 形負性抵抗の出力電流は減少する．両端電位の減少により電流が減少するため，正抵抗特性とみなすことができる．



(a) 両端電圧 $V_{DD} - V_{OUT}$ の変化に対する I_{Λ} の静特性

(b) V_{OUT} の変化に対する I_{Λ} の静特性

図 2.1.2 Λ 形負性抵抗の特性形状

2.1.2 バイアス電圧による出力電流の制御

図 2.0.3 にて述べたとおり，P-HCNM の励振状態を制御するためには，バイアス電圧を制御することによって V_{OUT} が 0V である場合における I_{Λ} (グラフの y 軸切片) である $I_{\Lambda 0}$ を変更することが可能である必要がある．本項では，バイアス電圧を変更した場合の， V_{OUT} に対する I_{Λ} 特性を解析する．

図 2.1.3 に，バイアス電圧の変更に対する， $V_{OUT} - I_{\Lambda}$ 特性の変化を示す．同図において，横軸は Λ 形負性抵抗の出力電圧 V_{OUT} を，縦軸は Λ 形負性抵抗の出力電流 I_{Λ} を示す．同図において，バイアス電圧は $V_{\Lambda PB}$ のみ変更した．同図に示すとおり，印加した $V_{\Lambda PB}$ に応じて， Λ 形負性抵抗の「ピーク電流 $I_{\Lambda P}$ 」および「 $I_{\Lambda 0}$ ($V_{OUT}=0V$ における I_{Λ})」を変更することが可能である．したがって，バイアス電圧 $V_{\Lambda PB}$ を制御することで，自励振モデルおよび他励振モデルを設計する条件である「 $I_{\Lambda 0}$ と I_L の大小関係」を変更することが可能である．なお，本解析においては $V_{\Lambda PB}$ のみ変化を行ったが，バイアス電圧 $V_{\Lambda NB}$ についても同様の変化が発生する．しかし，P-HCNM の項にて後述するが， $V_{\Lambda NB}$ は P-HCNM において多安定回路を「多安定」と「単安定」に動的に切り替える動的バイアスとして用いている．そのため，本論文においては，自励振モデルおよび他励振モデルを設計するための制御端子としては用いないこととした．

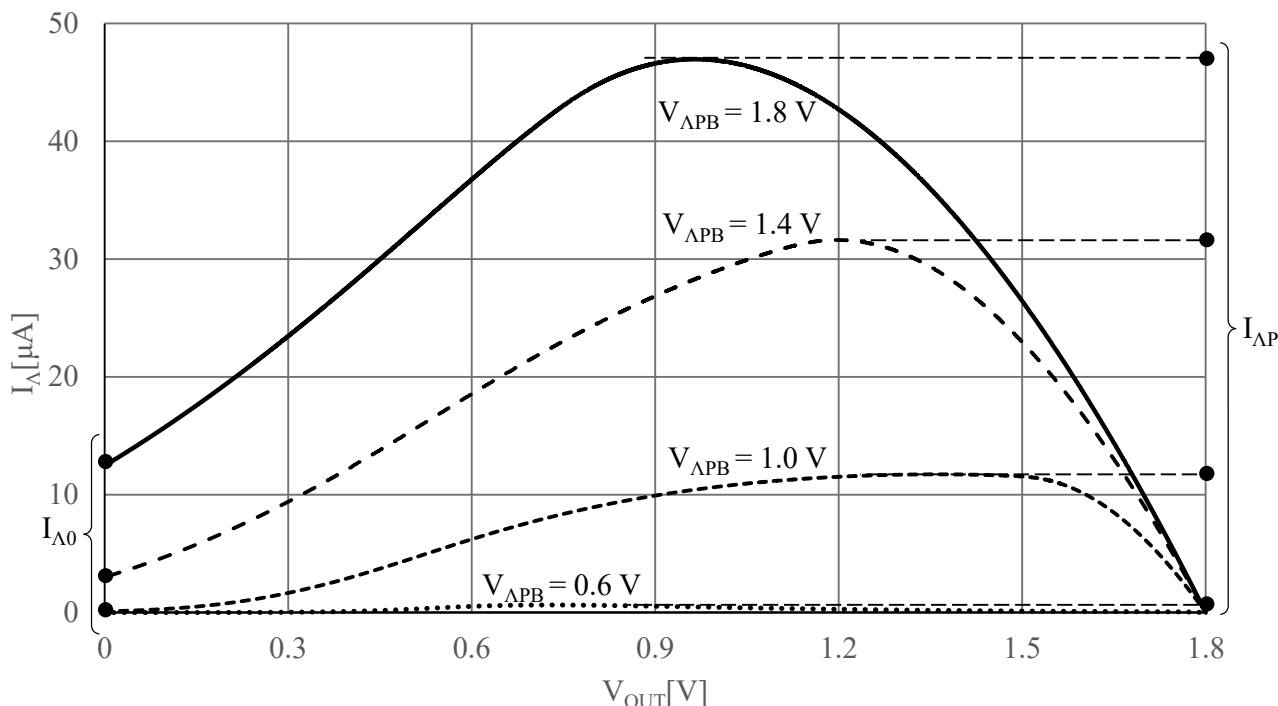


図 2.1.3 Λ 形負性抵抗のバイアス特性

2.1.3 製造ばらつきおよび外部温度が素子の特性に与える影響

前項では、設計者が任意に設定することが可能な要素であるバイアス電圧による特性変化について述べた。本項では、設計者が任意に設定することが不能な要素であるばらつきによる特性変化について述べる。なお、本項におけるばらつき、およびばらつきの解析手法であるコーナー解析は第1章4節にて述べたとおりである。

図 2.1.4～図 2.1.6 に、各種ばらつきを与えた Λ 形負性抵抗の V_{OUT} - I_{Δ} 特性の変化を示す。各図において、横軸は Λ 形負性抵抗の出力電圧 V_{OUT} を、縦軸は Λ 形負性抵抗の出力電流 I_{Δ} を示す。また、各解析で用いた V_{DD} は 1.8V とした。

図 2.1.4 および図 2.1.5 に、ばらつき解析のひとつとして、コーナー解析の結果を示す。図 2.1.4 は NSPF および NFPS の、トランスコンダクタンスおよびしきい値電圧の変動を打ち消すコーナーのグラフを示す。なお、変動の比較元として、NTPT についても記載を行った。同図に示すとおり、 $I_{\Delta 0}$ が増加した場合は $I_{\Delta P}$ も増加し、 $I_{\Delta 0}$ が減少した場合は $I_{\Delta P}$ も減少する。また、同図に示すとおり、出力電圧が 0V における Λ 形負性抵抗の出力電流 $I_{\Delta 0}$ は、 $\pm 7\%$ ($\pm 0.3\mu$ A) 程度と非常に小さい変動となる。これは、式(2.8)に示したとおり、 Λ 形負性抵抗の領域(I),(II)の境界が、n 型 MOSFET および p 型 MOSFET ふたつのしきい値電圧の合計値に依存するため、しきい値の変動が打ち消される本コーナーにおいて、しきい値電圧の合計値の変動が少なかったためであると考えられる。図 2.1.5 は NSPS および NFPP の、トランスコンダクタンスおよびしきい値電圧の変動を強調するコ

コーナーのグラフを示す。なお、変動の比較元として、NTPTについても記載を行った。同図に示すとおり、出力電圧が0Vにおける Λ 形負性抵抗の出力電流 $I_{\Lambda 0}$ は、 $\pm 33\%$ ($\pm 5\mu\text{A}$)程度と非常に大きい変動となる。これは、図2.1.4と対となるパターンであり、しきい値電圧の合計値に大きな変動が発生したことが要因であると考えられる。なお、図2.1.4および図2.1.5ともに、ピーク電流値 $I_{\Lambda P}$ および Λ 形状の特性（負性領域の傾き等）に大きな変動が発生しているが、図2.0.3で述べたとおり、 $I_{\Lambda P}$ は励振状態の設計に対し影響を与えないため、この変動を問題とする必要はない。

図2.1.6および図2.1.7に、ばらつき解析のひとつとして、MOSFETのゲート幅の変動に対する Λ 形負性抵抗の $V_{\text{OUT}}-I_{\Lambda}$ を示す。図2.1.6は、p型MOSFETのゲート幅 W を変更した際の変動を示す。図2.1.7は、n型MOSFETのゲート幅 W を変更した際の変動を示す。同図に示すとおり、 $I_{\Lambda 0}$ が増加した場合は $I_{\Lambda P}$ も増加し、 $I_{\Lambda 0}$ が減少した場合は $I_{\Lambda P}$ も減少する。また、両グラフ共に、 $I_{\Lambda 0}$ の変動は、図2.1.4の打消しコーナーと同様の $\pm 7\%$ 程度に収まっている。これは、MOSFETのゲート幅およびゲート長の変動が、MOSFETのしきい値電圧に対し影響を与えないため、式(2.8)で示した Λ 形負性抵抗の領域(I)(II)の境界に対し影響を与えなかったためであると考えられる。なお、両グラフともに、ピーク電流値 $I_{\Lambda P}$ および Λ 形状の特性（負性領域の傾き等）に大きな変動が発生しているが、図2.0.3で述べたとおり、 $I_{\Lambda P}$ は励振状態の設計に対し影響を与えないため、この変動を問題とする必要はない。

図2.1.8に、ばらつき解析のひとつとして、環境温度の変動に対する Λ 形負性抵抗の $V_{\text{OUT}}-I_{\Lambda}$ を示す。なお、用いた温度条件は、民生機器で標準的に使用される温度である -10°C 、 $+27^{\circ}\text{C}$ 、 80°C とした。同図に示すとおり、図2.1.4～図2.1.7とは異なり、 $I_{\Lambda 0}$ が増加した場合は $I_{\Lambda P}$ が減少し、 $I_{\Lambda 0}$ が減少した場合は $I_{\Lambda P}$ が増加する。そのため、図2.1.4～図2.1.7と併せて複合的に変動した場合、変動値を推測することが困難となる。また、 $I_{\Lambda 0}$ の変動は $\pm 12\%$ 以上となる。

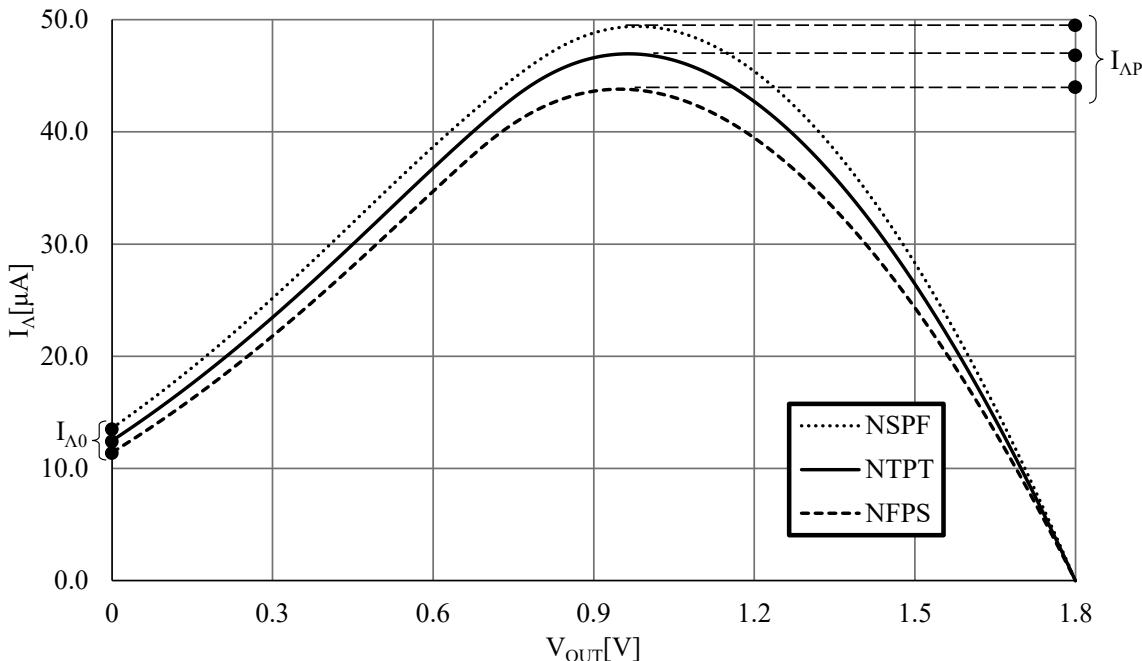


図 2.1.4 Λ 形負性抵抗のコーナー解析(NSPF, NFPS)

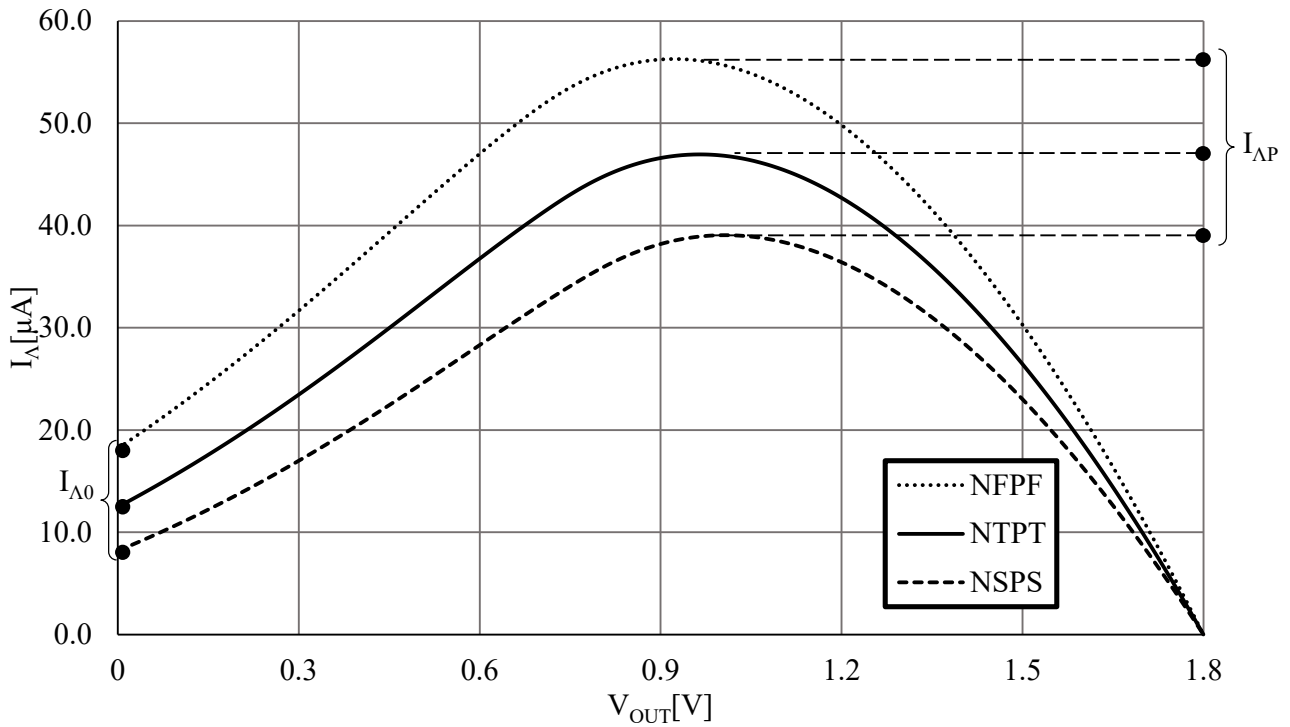


図 2.1.5 Δ 形負性抵抗のコーナー解析(NFPF , NSPS)

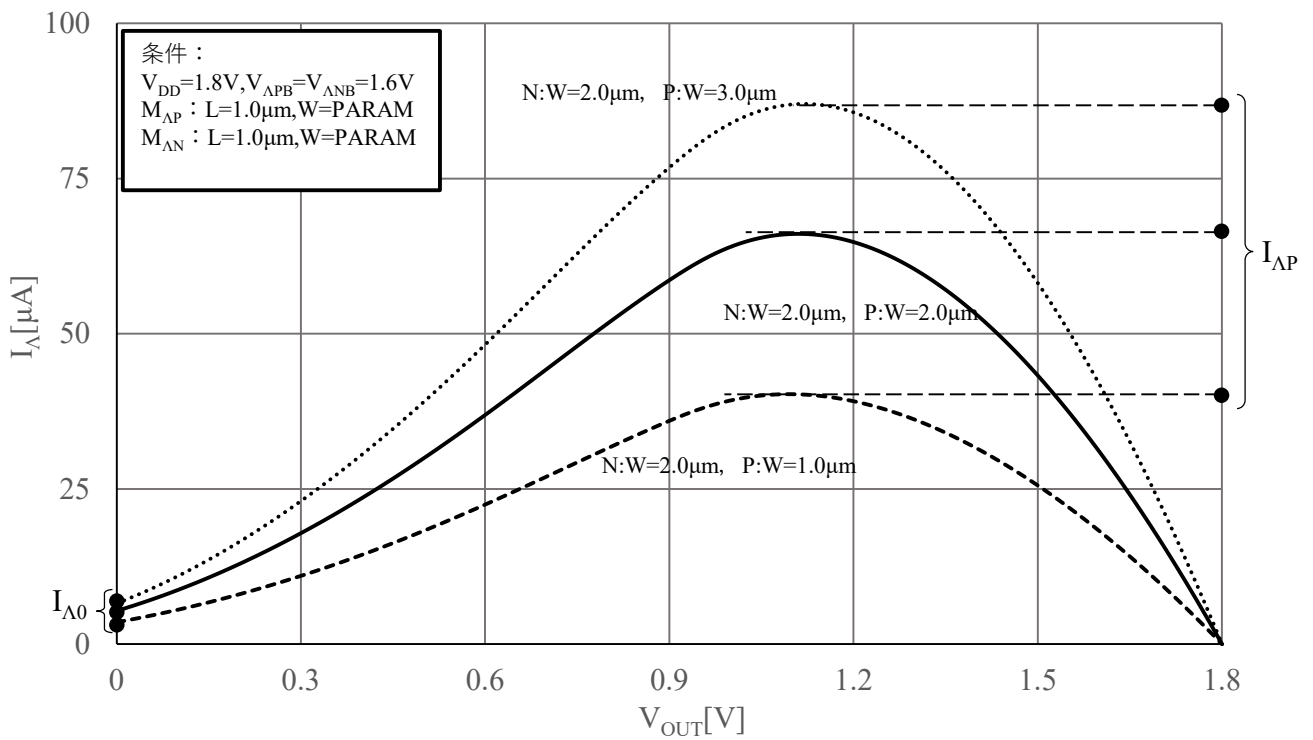


図 2.1.6 Δ 形負性抵抗への MOSFET アスペクトの影響(p 型 MOSFET のゲート幅 W を変更)

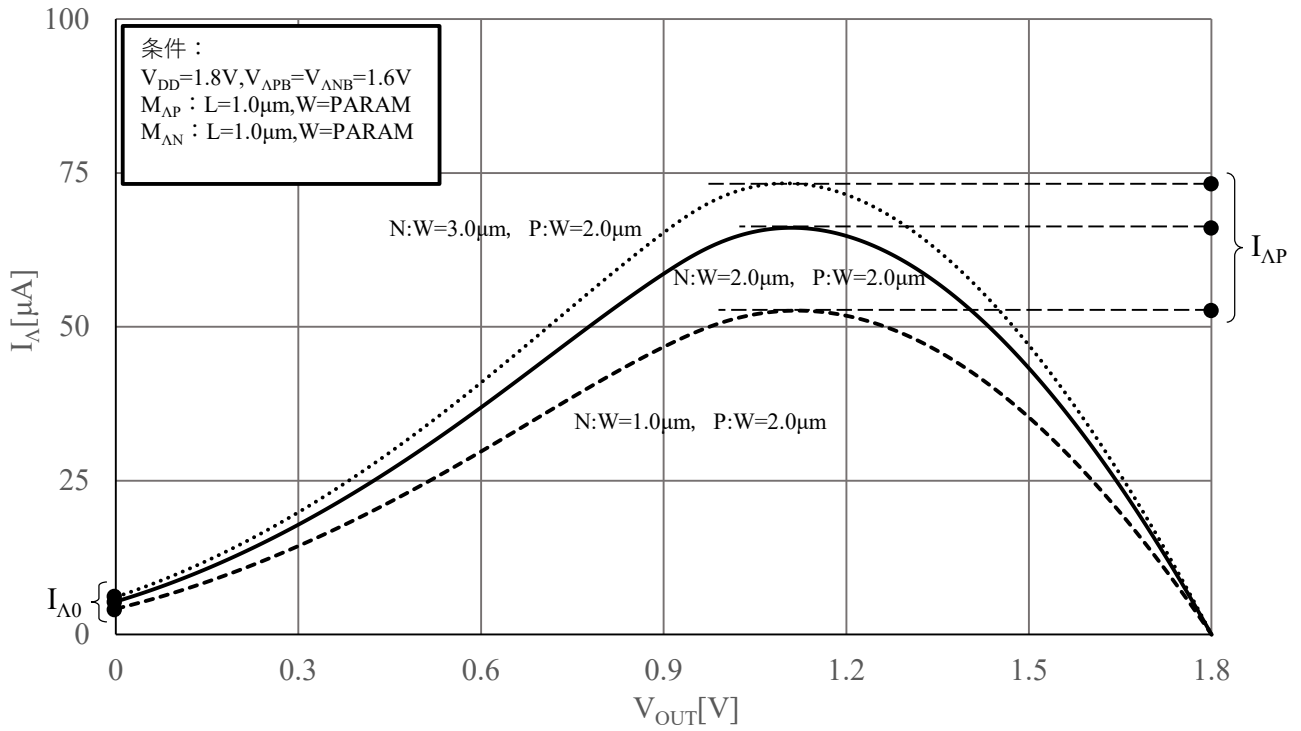


図 2.1.7 Δ 形負性抵抗への MOSFET アスペクトの影響(n 型 MOSFET のゲート幅 W を変更)

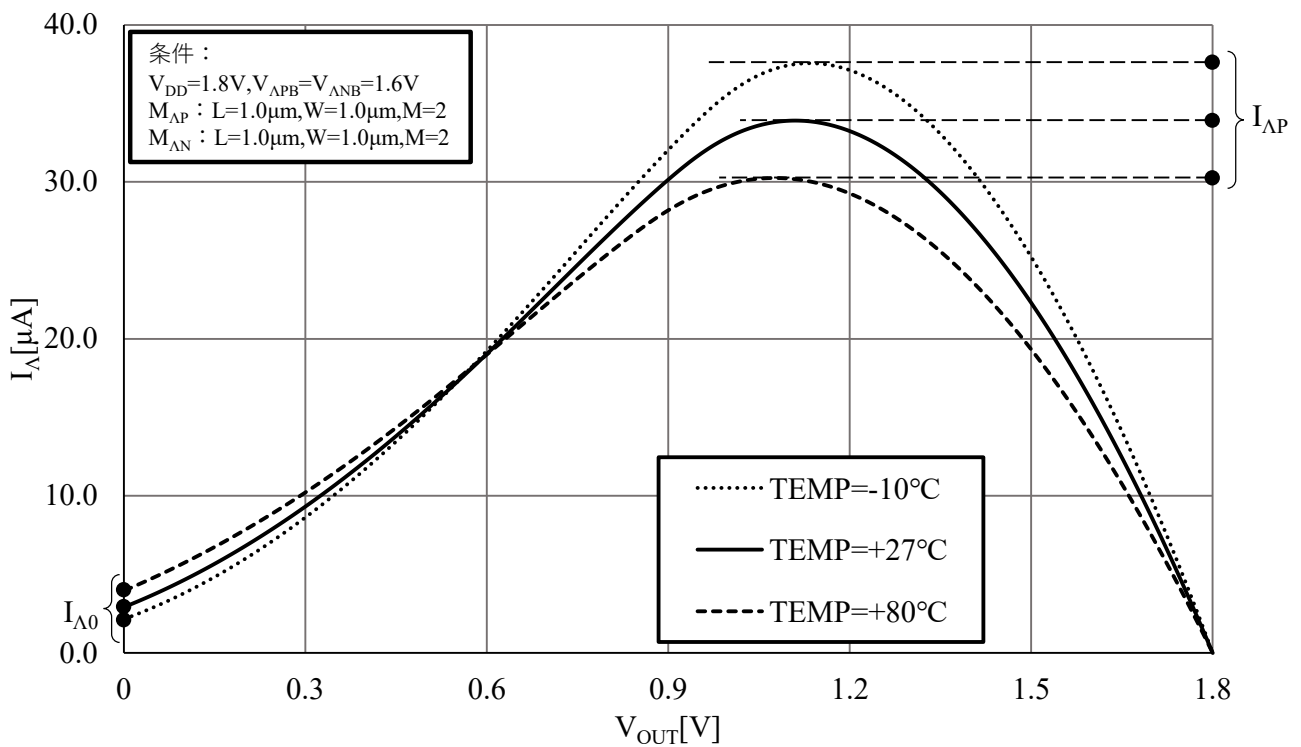


図 2.1.8 Δ 形負性抵抗の温度解析

2.2 多安定回路の構成と特性

2.2.1 回路構成と基本動作

第2章の冒頭にて述べたとおり，P-HCNMは Λ 形負性抵抗を用いた多安定回路としてみなすことが可能である．通常の回路は，静止状態，すなわち直流状態の解析を行うと，すべての接続点の電圧および電流を一意に解析することが可能である．一方で，多安定回路は，直流状態の解析を行った場合，接続点の電位に複数の電圧解が存在する．これらの解のうち，過渡解析においても安定して存在可能な解を安定解，過渡解析において安定して存在不能である解を不安定解と定義した．不安定解は，2つの安定解の間に存在し，しきい値としての役割を果たす．すなわち，多安定回路に入力した値が不安定解より低い場合は，不安定解よりも低い値に存在する安定解へと遷移し，多安定回路に入力した値が不安定解より高い場合は，不安定解よりも高い値に存在する安定解へと遷移する．また， Λ 形負性抵抗を用いた多安定回路は， Λ 形負性抵抗に印加したバイアス電圧に応じて，図2.0.3に記載した3つの安定状態(単安定LOW，多安定，単安定(HIGH))へと遷移する．本論文では，このバイアス電圧により変動する3つの安定状態と，多安定回路が持つしきい値処理能力を用いて，P-HCNMの発振原理を説明する．本項では，各安定状態における静特性および過渡特性を解析し，P-HCNMの発振原理の解析を行った．

図2.2.1の左図に， Λ 形負性抵抗を用いた多安定回路の回路構成を示す．同図に示すとおり，多安定回路は Λ 形負性抵抗を構成する M_{AP} および M_{AN} ，負荷電流源として用いる M_L により構成する． Λ 形負性抵抗の M_{AP} に印加するバイアス電圧は V_{APB} ， M_{AN} に印加するバイアス電圧は V_{ANB} とした．また， Λ 形負性抵抗のアノード端子に接続する電源電圧は V_{DD} とした．なお，多安定回路の出力端子の電圧は V_{OUT} であるが，図2.1.1と同様に，出力の電圧を可変電源として表現している．この可変電源は，図2.2.1に示した多安定回路の静特性を解析する際には用いるが，過渡解析を行う際は V_{OUT} をコンデンサに置き換え，外部から電流を入力することにより V_{OUT} に任意の初期値を与え，その後の V_{OUT} の遷移を観測している．

図2.2.1の右図に，多安定回路内 Λ 形負性抵抗と負荷電流源の V_{OUT} に対する出力電流の特性を示す．同図において，横軸は多安定回路の出力電圧 V_{OUT} を，縦軸は各素子の出力電流を示す．同図に示すとおり， Λ 形負性抵抗の出力電流 I_A と負荷電流源の出力電流 I_L は， V_{OUT} の変化に対し異なる特性を描く． Λ 形負性抵抗および負荷電流源は， V_{OUT} を共通の接続端子として持つため，可変電源 V_{OUT} が存在しない場合， V_{OUT} の端子に対して流れ込む電流は I_A のみであり， V_{OUT} の端子から流れ出る電流は I_L のみとなるため， I_A と I_L が等しくなる必要がある．同図に示すとおり， I_A と I_L が等しくなる点，すなわち I_A と I_L の交点はグラフ上に3点存在する．外部から入力を行わない場合， V_{OUT} がとりうる電圧はこの3点のみである． V_{OUT} をこの3点以外に設定するためには，多安定回路の出力端子に対し電源を接続する，または出力端子に対しコンデンサを接続し，コンデンサに対して外部から電流を入力する必要がある．P-HCNMにおいては，多安定回路の出力端子に

対しコンデンサを接続し、外部から電流を入力する方式を用いている。多安定回路の出力端子に対し電源やコンデンサを接続することにより V_{OUT} を任意に変更することが可能となるが、同図に示すとおり I_A と I_L の V_{OUT} に対する特性の変化形状は異なる。そのため、交点となる V_{OUT} 以外においては、出力端子に対し流れ込む I_A と、出力端子から流れ出す I_L は不同となる。キルヒホッフの第一法則より、ひとつの接続点に流入する電流と流出する電流は等しくなる必要があるため、 I_A と I_L の差分電流が外部から供給される必要がある。この差分電流は、多安定回路の出力端子に接続した電源もしくはコンデンサから供給される。P-HCNM においては、多安定回路の出力端子に接続したコンデンサから供給されるため、コンデンサが供給した電荷量に応じてコンデンサの両端電圧が変化する。この電圧の変化を、P-HCNM のパルス波形の形成に使用する。

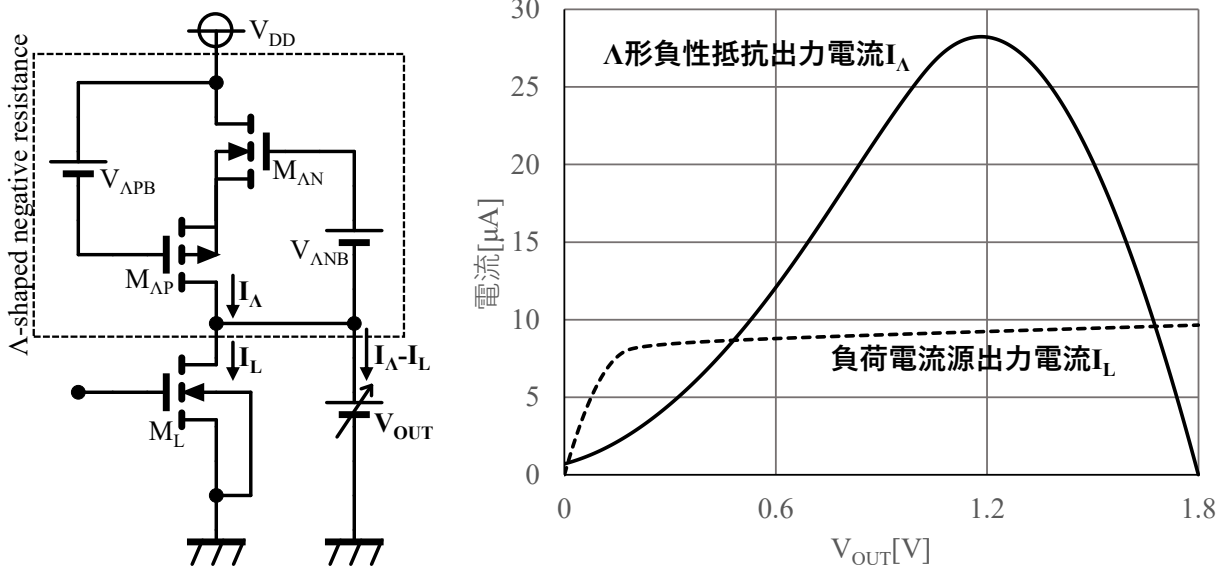


図 2.2.1 多安定回路の基本構成と基本特性

図 2.2.2 に、図 2.2.1 が多安定解をもつ V_{APB} とした際の V_{OUT} に対する各素子の出力電流特性を示す。同図において、横軸は多安定回路の出力電圧 V_{OUT} を、縦軸に各素子の出力電流を示す。同図において、 I_A は実線で示す。 I_L は破線で示す。 I_A と I_L の差分電流、すなわち多安定回路の出力端子に接続した電源から供給される電流は点線で示す。同図に示すとおり、 I_A と I_L の交点はグラフ上に 3 点あり、それぞれ低い順から $V_{OUT}=0.01V$, $0.48V$, $1.68V$ となる。これらの交点のうち、グラフ上点線で示した I_A と I_L の差分電流、すなわち電源から供給される電流が V_{OUT} に対し負性抵抗特性を示す領域における交点である $V_{OUT}=0.48V$ は不安定点として機能する。また、差分電流が正抵抗特性を示す領域における交点である $V_{OUT}=0.01V$ および $V_{OUT}=1.68V$ は安定点として機能する。

図 2.2.3 に、図 2.2.2 の破線で示した差分電流のみを抽出した静特性を示す。なお、P-HCNM においては、出力端子に接続したコンデンサから電流が流出した場合、コンデンサの両端電圧が減少する。この動作を説明するため、本解析では、出力端子に接続した電源に流れ込む電流を正とした場合に対しグラフを作成した。そのため、図 2.2.2 の破線で示した差分電流に対し、図 2.2.3 のグラ

フは符号を反転させた。同図において、電流の符号が負となる場合は出力端子に接続したコンデンサから電流を流出させ、出力電圧が減少する。電流の符号が正となる場合は出力端子に接続したコンデンサから電流に流入し、出力電圧が増加する。そのため、不安定点よりわずかにでも低い V_{OUT} である場合は低い側の安定点である $0.01V$ に遷移し、不安定点よりわずかにでも高い場合は高い側の安定点である $1.68V$ に遷移する。この動作は、入力された V_{OUT} をしきい値処理する動作と同等であるとみなすことができる。

図 2.2.4 に、図 2.2.3 で示した静特性を持つ多安定回路の出力端子に対し、 $100fF$ のコンデンサを接続した場合の過渡特性を示す。同図において、横軸は経過時間を、縦軸は多安定回路の出力電圧を示す。初期時間 $0s$ において、 V_{OUT} を $0V$ とした。任意の時間 t_0 における V_{OUT} を設定するため、外部から電流 $I_{IN}=1\mu A$ を $0.5\sim 0.7\mu s$ の期間供給し、 $0.7\mu s$ 以降は $I_{IN}=0\mu A$ を供給した。同図に示すとおり、図 2.2.3 で示した不安定点電圧 $0.48V$ より高い $V_{OUT}=0.481V$ および $V_{OUT}=0.6V$ を設定した場合は、不安定点よりも高い安定点電圧である $1.68V$ に収束する。また、図 2.2.3 で示した不安定点電圧 $0.48V$ より低い $V_{OUT}=0.479V$ および $V_{OUT}=0.3V$ を設定した場合は、不安定点よりも低い安定点電圧である $0.01V$ に収束する。以上により、不安定点がしきい値として動作する。また、設定した V_{OUT} がしきい値以下であれば電位が減少し、設定した V_{OUT} がしきい値以上であれば電圧が上昇する。この動作は、P-HCNM を他励振モデルとして用いる場合におけるしきい値および発火波形の電位上昇動作を担う。

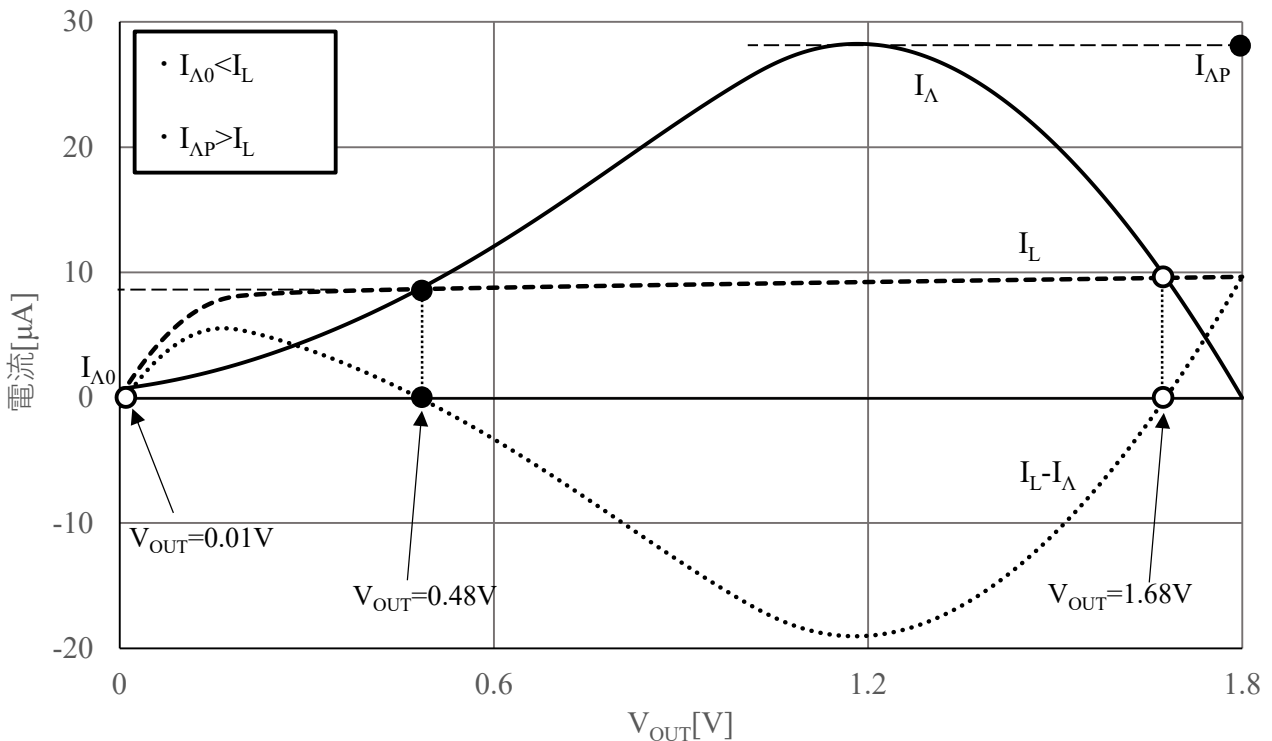


図 2.2.2 Λ 形負性抵抗出力 I_{Λ} と負荷出力 I_L の交点(通常状態)

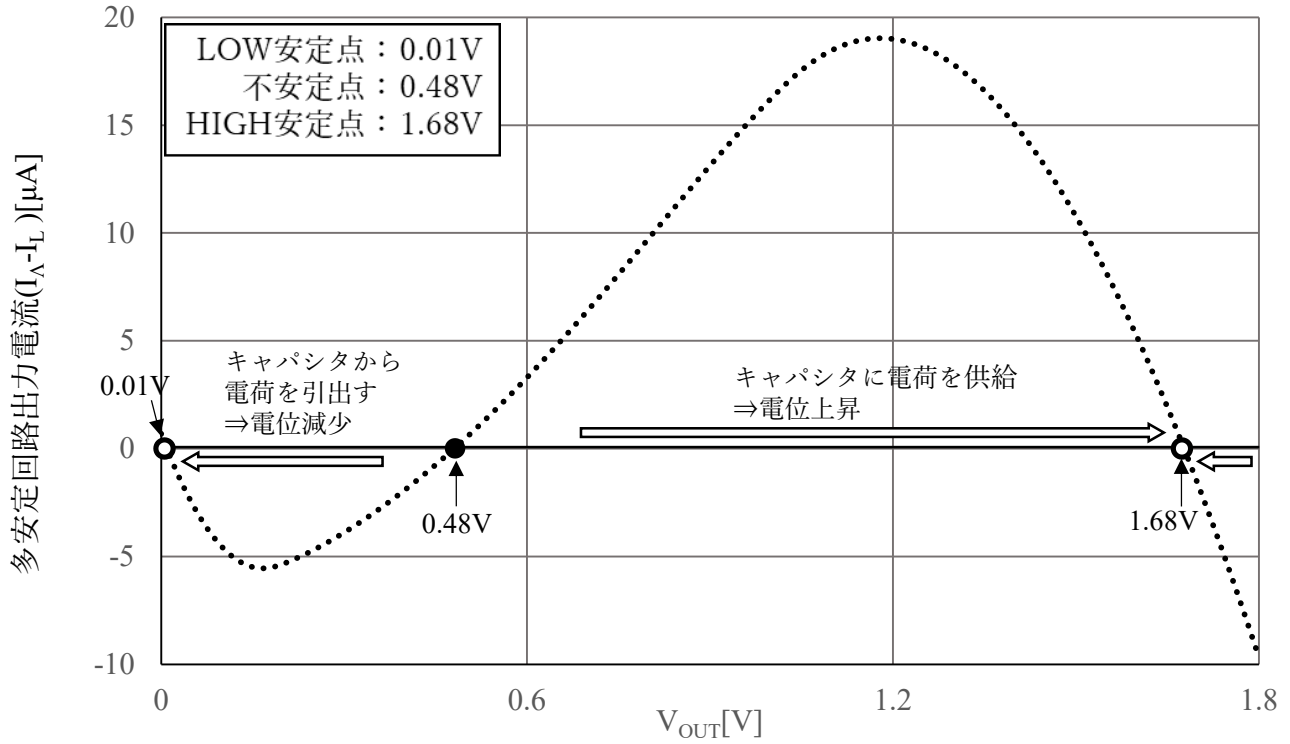


図 2.2.3 多安定回路の出力端子に接続したコンデンサに流入出する電流特性

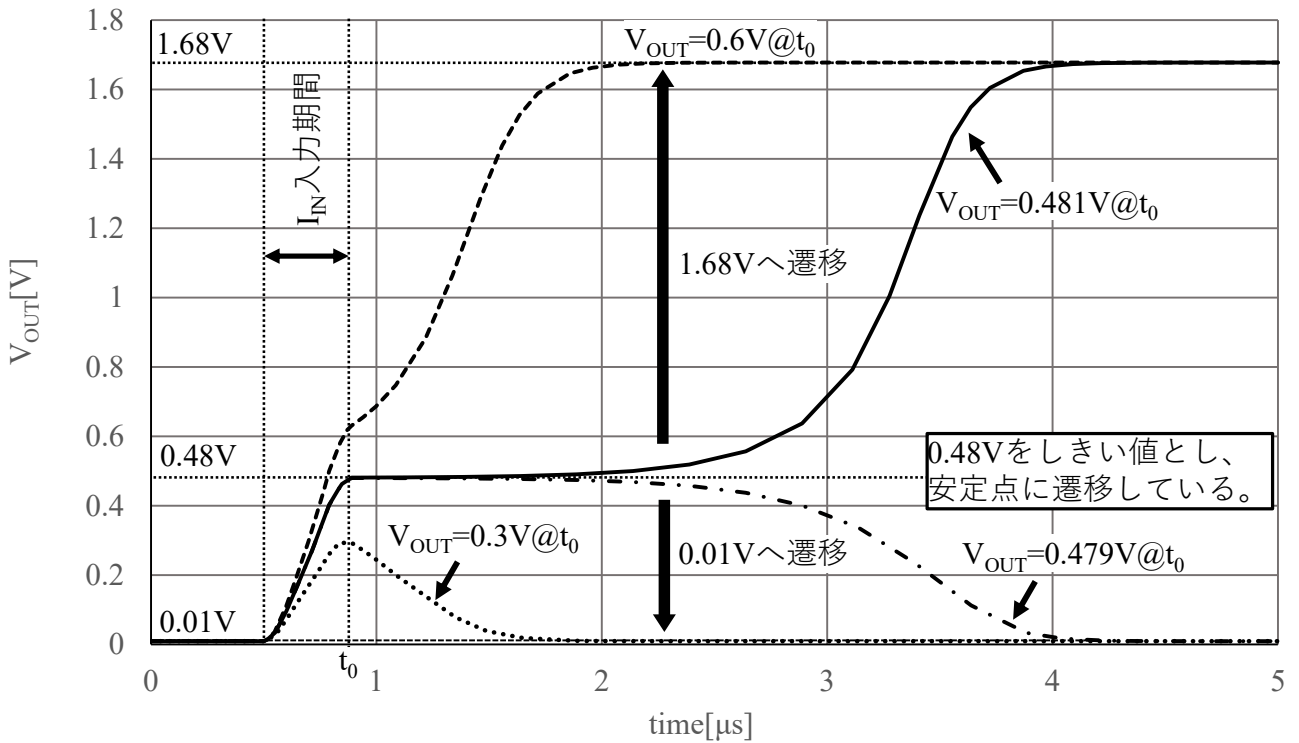


図 2.2.4 多安定回路（通常状態）の動作

2.2.2 単安定化した多安定回路の特性

図 2.2.2～図 2.2.4 では、他励振モデルの条件に関わる静特性および過渡特性を示した。しかし、多安定特性のみでは、自励振モデルを構築することが出来ない。また、図 2.2.2～図 2.2.4 においては、しきい値処理後の電位上昇動作については述べたが、P-HCNM のパルス波形を生成するためには、電位減少動作も必要となる。本項では、自励振モデルを構築するための条件である $I_{A0} > I_L$ および $I_{AP} > I_L$ を満たす単安定解(本論文では、単安定(HIGH)と呼称)と、パルス波形の電位減少動作を生成するための条件である $I_{A0} < I_L$ および $I_{AP} < I_L$ を満たす単安定解(本論文では、単安定(LOW)と呼称)について、静特性と過渡特性を解析する。

図 2.2.5 に、図 2.2.1 に示した多安定回路のバイアス電圧を変更し、単安定(HIGH)回路化した際の、多安定回路の静特性を示す。同図において、横軸は多安定回路の出力電圧を、縦軸は各素子の出力電流を示す。同図に示すとおり、 I_{A0} および I_{AP} が I_L を上回り、安定解が接地電位 0.0V に近い 1.69V にのみ存在する。

図 2.2.6 に、図 2.2.5 の I_A および I_L の電流を差分した結果を示す。同図において、横軸は多安定回路の出力電圧を、縦軸は多安定回路の出力端子に接続したコンデンサに流入する電流を示す。なお、図 2.2.3 と同様に、多安定回路の出力端子に接続したコンデンサに流れ込む電流が正となるようグラフを作成した。縦軸が正となる領域はコンデンサに電流が流入するため、コンデンサの両端電圧が上昇する。縦軸が負となる領域はコンデンサに電流が流出するため、コンデンサの両端電圧が減少する。同図に示すとおり、多安定回路の出力電圧 V_{OUT} が 0V から、電源電圧 1.8V に近い 1.69V までの領域において、特性が正となる。そのため、どのような初期電圧に対しても、1.69V に収束させることが可能である。

図 2.2.7 に、図 2.2.6 で示した静特性を持つ多安定回路の出力端子に対し、100fF のコンデンサを接続した場合の過渡特性を示す。同図において、横軸は経過時間を、縦軸は多安定回路の出力電圧を示す。初期時間 0s において、 V_{OUT} を 0V とした。また、外部から電流は入力しないものとした。同図に示すとおり、外部からの入力電流なく、多安定回路の出力電圧が安定解 1.69V まで遷移する。この特性は、P-HCNM を自励振モデルとして構築した場合の自律的な電位上昇動作として使用することが出来る。

図 2.2.8 に、図 2.2.1 に示した多安定回路のバイアス電圧を変更し、単安定(LOW)回路化した際の、多安定回路の静特性を示す。同図において、横軸は多安定回路の出力電圧を、縦軸は各素子の出力電流を示す。同図に示すとおり、 I_{A0} および I_{AP} が I_L を下回り、安定解が電源電圧 1.8V に近い 0.1mV にのみ存在する。

図 2.2.9 に、図 2.2.8 の I_A および I_L の電流を差分した結果を示す。同図において、横軸は多安定回路の出力電圧を、縦軸は多安定回路の出力端子に接続したコンデンサに流入する電流を示す。なお、図 2.2.3 と同様に、多安定回路の出力端子に接続したコンデンサに流れ込む電流が正となるようグラフを作成した。縦軸が正となる領域はコンデンサに電流が流入するため、コンデンサの両端

電圧が上昇する。縦軸が負となる領域はコンデンサに電流が流出するため、コンデンサの両端電圧が減少する。同図に示すとおり、多安定回路の出力電圧 V_{OUT} が $0.1mV$ から、電源電圧 $1.8V$ までの領域において、特性が負となる。そのため、どのような初期電圧に対しても、 $0.1mV$ に収束させることが可能である。

図 2.2.10 に、図 2.2.9 で示した静特性を持つ多安定回路の出力端子に対し、 $100fF$ のコンデンサを接続した場合の過渡特性を示す。同図において、横軸は経過時間を、縦軸は多安定回路の出力電圧を示す。初期時間 $0s$ において、 V_{OUT} を $1.8V$ とした。また、外部から電流は入力しないものとした。同図に示すとおり、外部からの入力電流なく、多安定回路の出力電圧が安定解 $0.1mV$ まで遷移する。この特性は、P-HCNM を他励振モデルおよび自励振モデルどちらに構築した場合においても、自律的な電位減少動作として使用することが出来る。以上により、多安定回路内の Λ 形負性抵抗のバイアス電圧を変更することで、多安定回路の静特性を単安定(LOW)、多安定、単安定(HIGH)の 3 つに分類でき、また静特性の分類により自励振モデルおよび他励振モデルのパルス波形の電位上昇動作、電位減少動作、しきい値動作を説明する。なお、発火が成立するためには、 $V_{\Delta NB}$ の変化により自励振モデルの場合は単安定(HIGH)から単安定(LOW)、他励振モデルの場合は多安定から単安定(LOW)へと変化可能である必要がある。

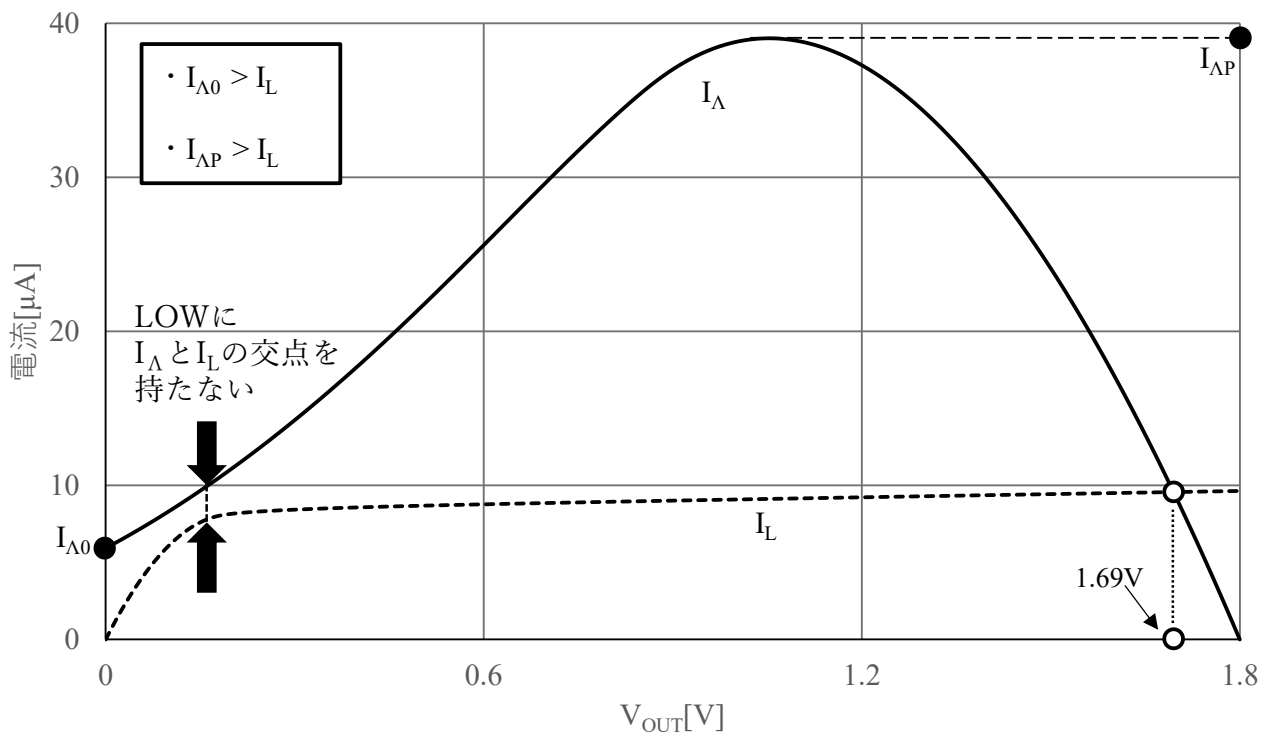


図 2.2.5 Λ 形負性抵抗出力 I_{Δ} と負荷出力 I_L の交点(単安定化_HIGH)

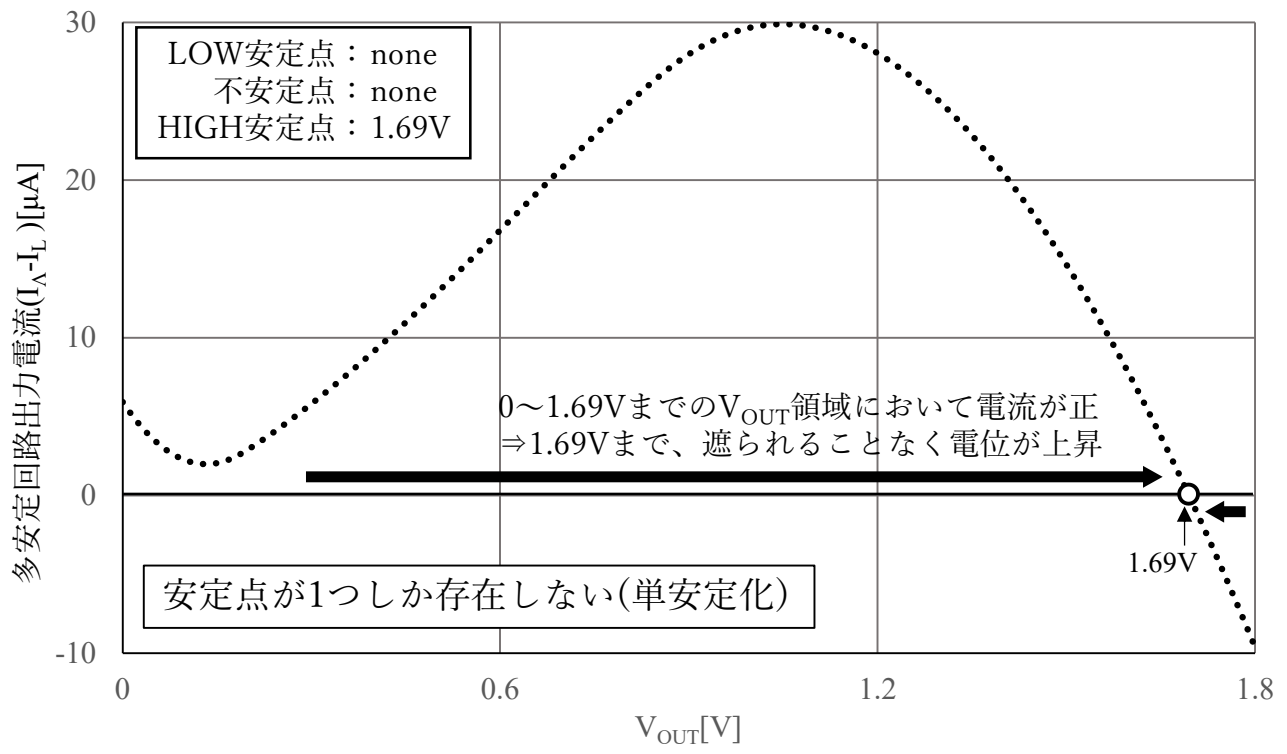


図 2.2.6 多安定回路 (単安定化_HIGH) の出力電流

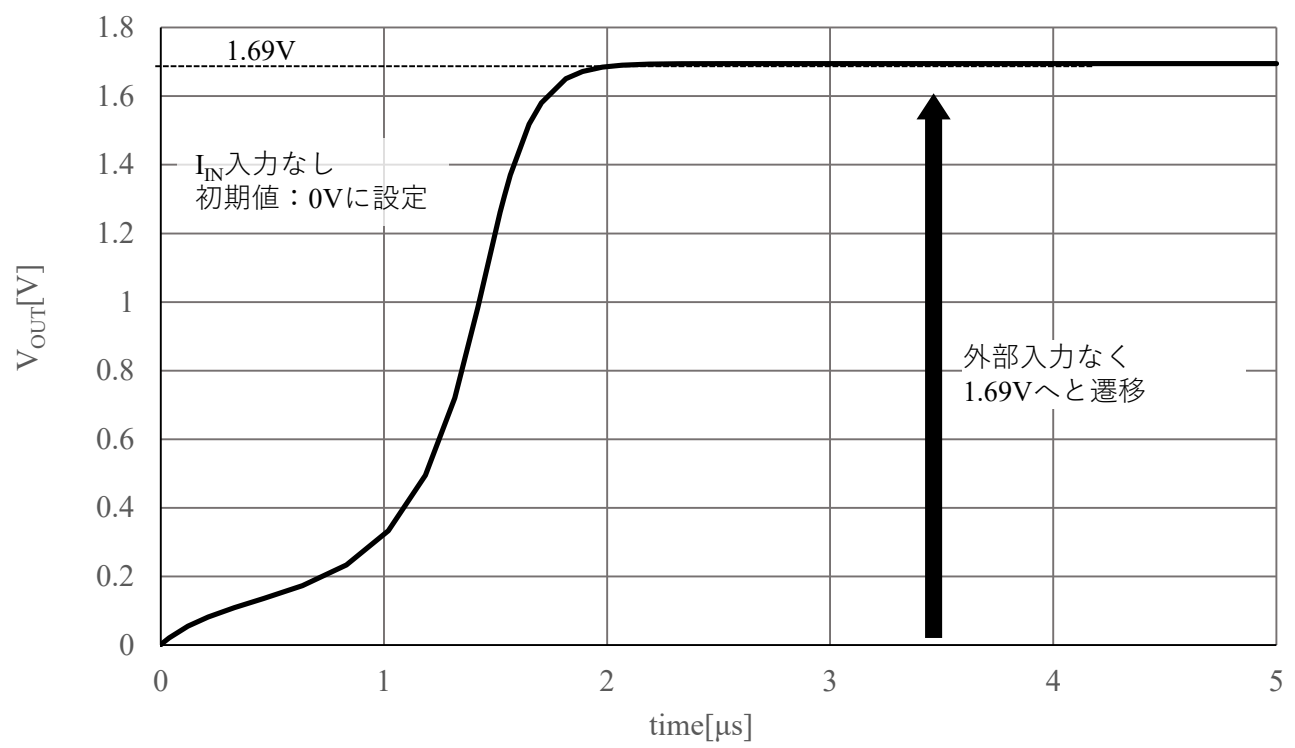


図 2.2.7 多安定回路 (単安定化_HIGH) の動作

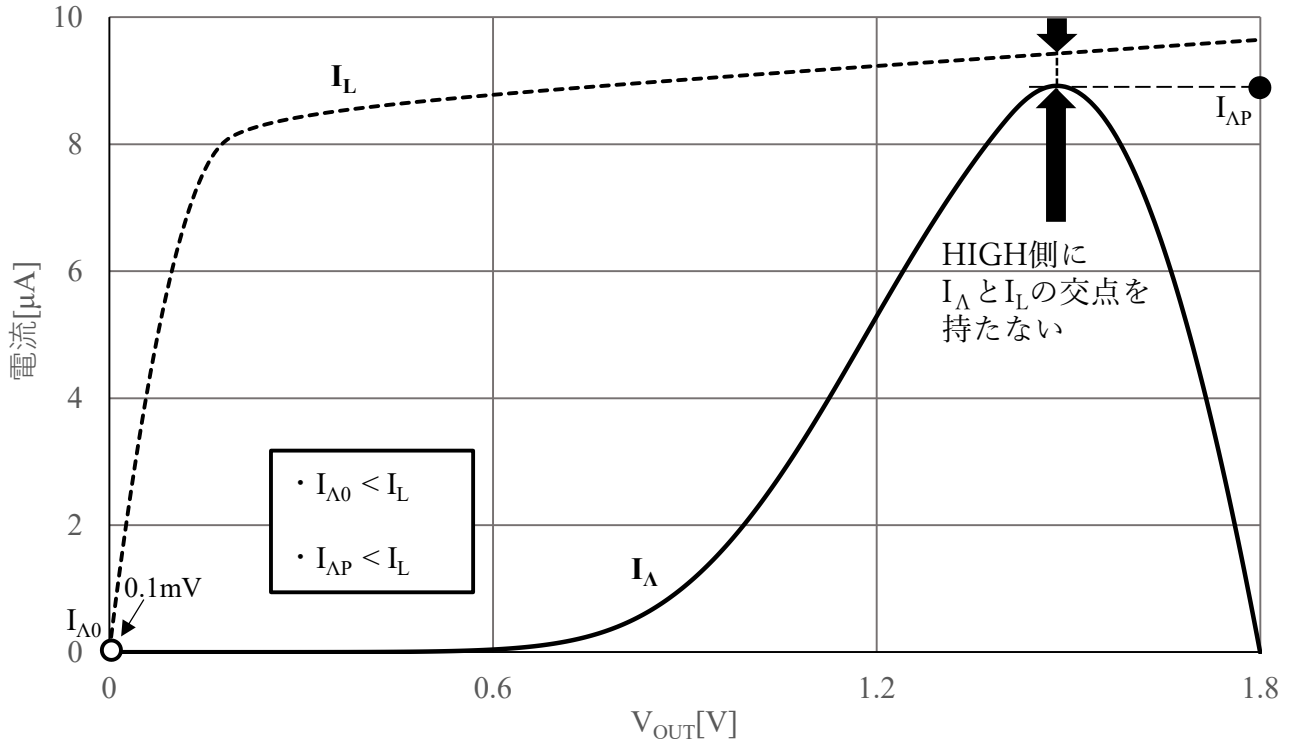


図 2.2.8 Λ 形負性抵抗出力 I_A と負荷出力 I_L の交点(単安定化_LOW)

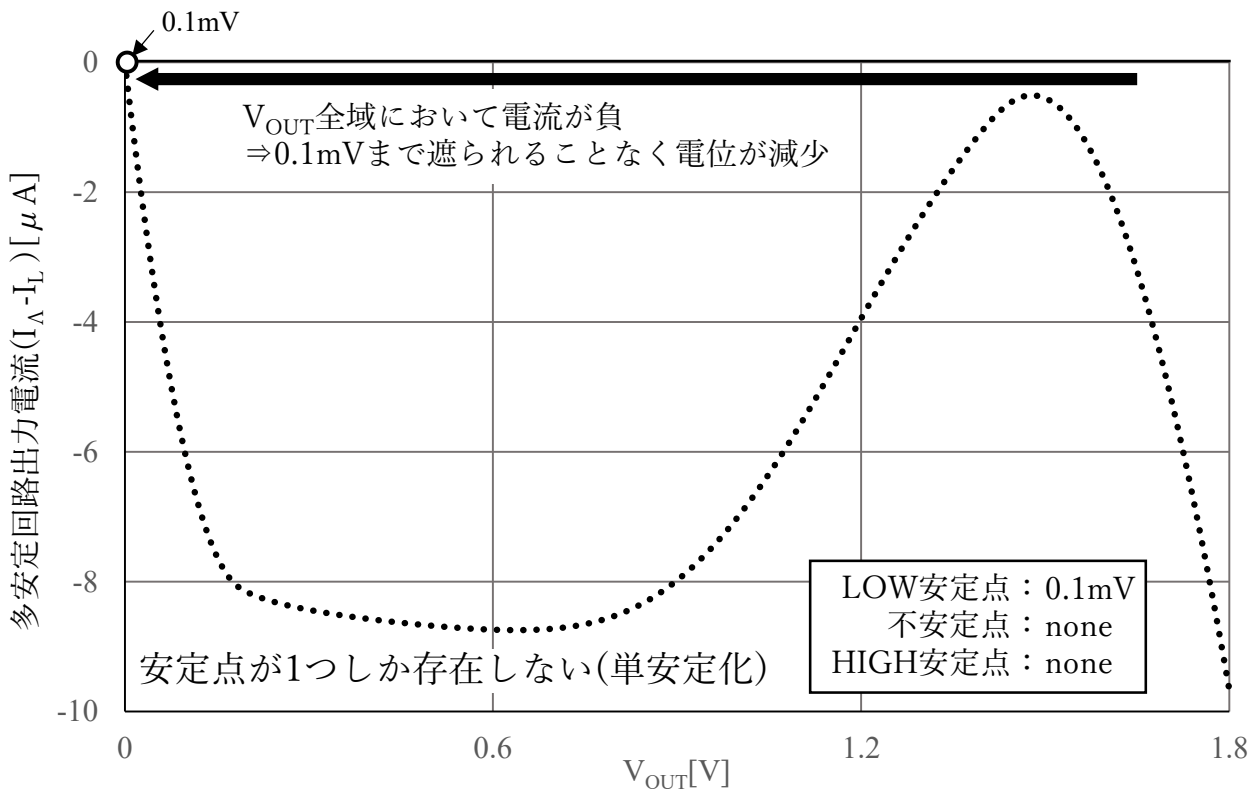


図 2.2.9 多安定回路 (単安定化_LOW) の出力電流

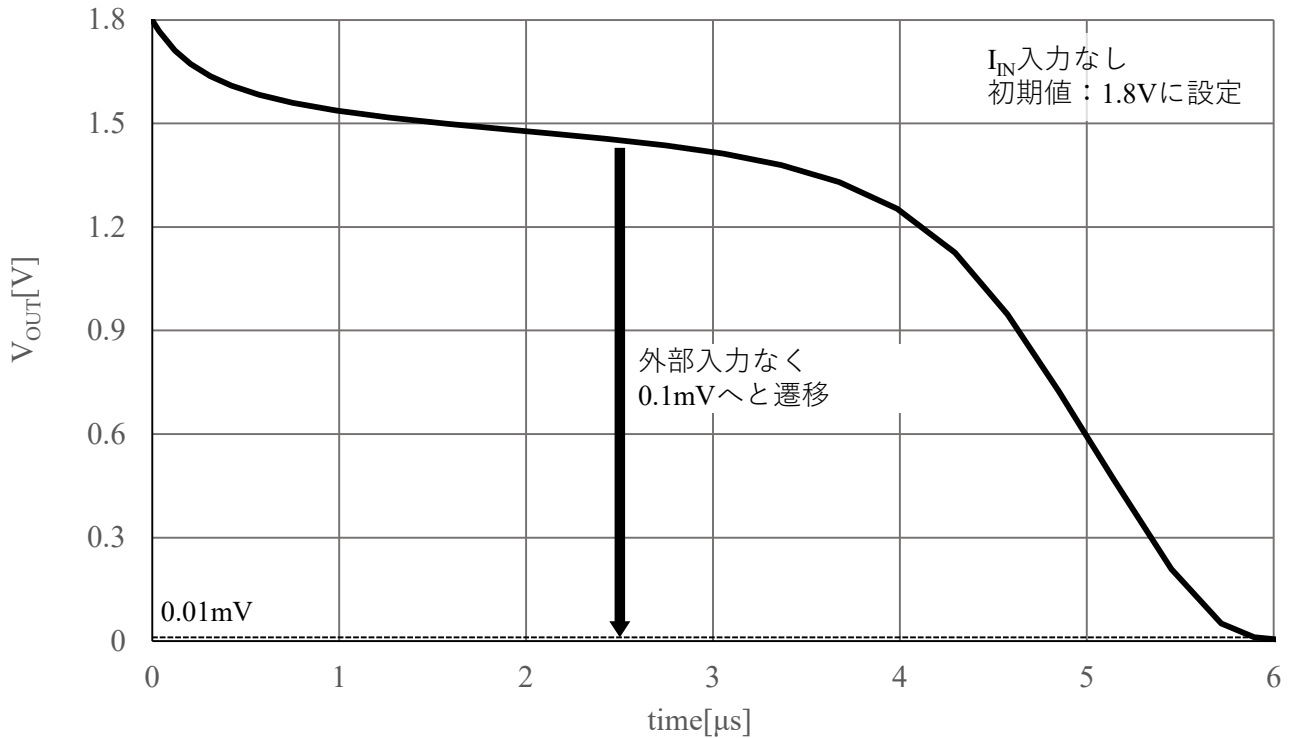


図 2.2.10 多安定回路（単安定化_LOW）の動作

2.3 パルス形ハードウェアカオスニューロンモデルを IC 実装する際の課題点

2.3.1 P-HCNM の回路構成

前項までに示したとおり、パルス形ハードウェアカオスニューロンモデル(P-HCNM)は Λ 形負性抵抗を用いた多安定回路とみなし、バイアス電圧を変更し多安定状態を変更することで発火動作を説明することができる。本項では、多安定回路のバイアス電圧をコンデンサにより生成することで動的に変更し、さらに多安定回路の出力電圧もコンデンサにより生成することにより、P-HCNM としての動作波形解析を行った。また、P-HCNM の入出力端子に起因する励振状態の制御を行う前に必要な、P-HCNM のバイアス回路部に起因する問題点について解析を行った。

図 2.3.1 に、P-HCNM の回路構成を示す。同図は、前項にて示した多安定回路の出力電圧 V_{OUT} をコンデンサ C_M により生成する。なお、 C_M は、生体の脳の細胞体における膜容量に相当する素子である。多安定回路のバイアス電圧 V_{ANB} はコンデンサ C_G により生成する。コンデンサ C_G のバイアス電圧の充電および放電は、電源電圧 V_{DD} に接続した p 型 MOSFET である M_{DD} の出力電流 I_G により行う。 V_{OUT} および V_{ANB} の初期値が 0V と仮定した場合、 I_G により C_G が充電される。この動作により、多安定回路のバイアス電圧 V_{ANB} を増加させ、多安定回路の安定状態を多安定状態もしくは単安定(HIGH)へと変更する。 C_M および C_G はチャージポンプ回路とみなすことができ、 Λ 形負性抵抗の M_{AN} ゲート電極に入力される対地電圧 V_{ANBIAS} は、出力電圧 V_{OUT} とバイアス電圧 V_{ANB} を

合計したものとなる。 V_{OUT} は電源電位の近くまで昇圧されるため、 V_{ANBIAS} は一時的に電源電圧を超過する。この際に、 M_{DD} のドレイン端子と基板端子の間に存在する寄生ダイオードが順バイアスとなり、 C_G から電荷を引き抜く。この動作により、多安定回路のバイアス電圧 V_{ANB} を減少させ、多安定回路の安定状態を単安定(Low)へと変更する。以上の動作により、多安定回路の状態を単安定(Low)、多安定、単安定(High)に時間的に変動させることが可能であり、P-HCNM の発火波形を生成する。なお、P-HCNM は生体の脳に見受けられるカオス動作を行うことが可能であるが、カオス特性は C_M および C_G にそれぞれ異なる時定数を与えることにより実現している。

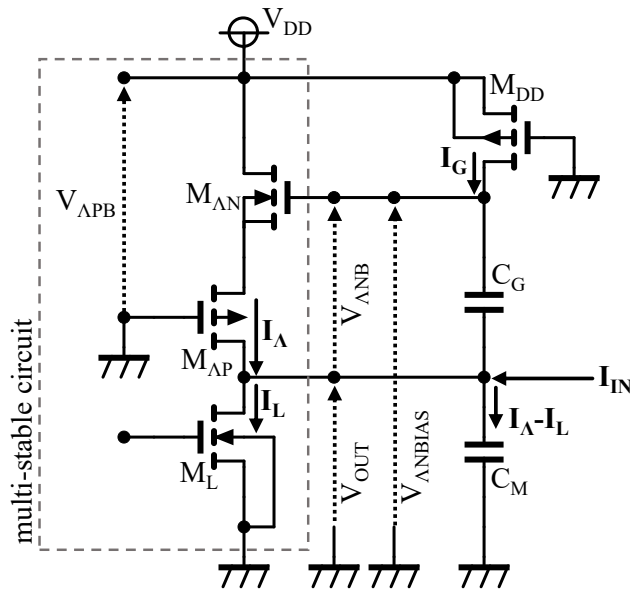


図 2.3.1 P-HCNM の回路構成

2.3.2 自励振動作

前項で述べたとおり、自励振動作、すなわちしきい値を持たない発振動作をするためには、初期状態において多安定回路を単安定(HIGH)の状態として設計をする必要がある。また、 V_{ANB} の変動により単安定(HIGH)から単安定(LOW)へと変動可能である必要がある。これは、パルス波形を形成するためには電位上昇動作(単安定 HIGH により実現)と電位減少動作(単安定 LOW により実現)の二つの動作が必要だからである。前項で述べたとおり、本構成ではバイアス電圧 V_{APB} および V_{ANB} は 1.8V であるため、このバイアス条件下において多安定回路が単安定(HIGH)となるよう設計する。また、本構成では動的バイアス電圧 V_{ANB} を変位させるため、出力端子に対し更に充放電電流 I_G が流れ込むが、今回は I_G が発火動作に与える影響を小さくするため、多安定回路の出力電流に対し I_G は 1/1000 となるよう設計する。以上を満たすよう、図 2.3.1 の素子値は M_{AN} をゲート長 $L=180\text{nm}$ 、ゲート幅 $W=10\mu\text{m}$ 、並列数 $M=1$ に、 M_{AP} を $L=180\text{nm}$ 、 $W=20\mu\text{m}$ 、 $M=10$ に、 M_L を $L=3\mu\text{m}$ 、 $W=10\mu\text{m}$ 、 $M=10$ に、 M_{DD} を $L=5\mu\text{m}$ 、 $W=500\text{nm}$ 、 $M=1$ に、 C_G を 900fF 、 $M=200$ に、 C_M を 900fF 、 $M=100$ とし、電源電圧 V_{DD} は 1.8V、 M_L ゲート電極は 1.1V を印加した。

図 2.3.2 に、上記の素子条件を適用した場合における図 2.3.1 内の多安定回路の静特性を示す。同図において、横軸は多安定回路の出力電圧を、縦軸は多安定回路内の各素子の出力電流を示す。なお、多安定回路に印加するバイアス電圧 V_{ANB} の初期値は 1.8V とした。 $V_{ANB}=1.486V$ は、多安定回路が単安定(HIGH)から多安定状態となる境界のバイアス電圧値である。また、 $V_{ANB}=1.213V$ は、多安定回路が多安定状態から単安定(LOW)となる境界のバイアス電圧である。前項で述べた P-HCNM の発火原理が正しい場合、多安定回路が単安定(HIGH)となるバイアス電圧 $V_{ANB}=1.486V$ を満たすとき出力電圧 V_{OUT} の昇圧動作が発生し、また多安定回路が単安定(LOW)となるバイアス電圧 $V_{ANB}=1.213V$ を満たすとき出力電圧 V_{OUT} の減圧動作が発生することが見込まれる。

図 2.3.3 に、図 2.3.2 の静特性を持つ P-HCNM の過渡解析結果を示す。同図において、横軸は経過時間を、縦軸は多安定回路の出力電圧 V_{OUT} およびバイアス電圧 V_{ANB} を示す。自励振モデルとして設計を行っているため、解析条件として外部からの入力電流は行わない状態として解析を行った。同図に示すとおり、外部からの入力電流を行わない状態において、図 1.1 で示した生体の脳におけるパルス波形と同様の形状を持つ出力波形を得ることができる。また、事前に推測したとおり、 V_{ANB} の動作範囲は 1.213~1.486V の間となる。

図 2.3.4 に、図 2.3.3 で示した V_{OUT} と V_{ANB} の 2 つを用いたアトラクタを示す。同図において、横軸は図 2.3.3 の V_{OUT} を、縦軸は図 2.3.3 の V_{ANB} を示す。同図に示すとおり、 $V_{ANB}=1.213V$ および 1.486V において、 V_{OUT} に急峻な変化が発生する。これは、図 2.3.2 で事前に推測を行った挙動が正しいことを示している。このことより、しきい値を持たない発振動作を行うためには、2 種類の単安定動作を行う必要があることを示している。なお、 V_{ANB} の初期値は、正しくは電源電圧 V_{DD} と LOW 側安定点の差分であり、LOW 側安定点が高くなるほど V_{ANB} は小さくなり、多安定回路の特性の推定が困難となるためできる限り LOW 側安定点が低くなるよう設計することが求められる。なお、LOW 側安定点を低く設計するためには、負荷電流源 M_L の飽和電圧を低く設計すればよい。

図 2.3.3 に示したとおり、発火波形の最大電圧は 1.3V 程度である。しかし、今回の設計では図 2.3.2 に示したとおり、 $V_{ANB}=1.486V$ における HIGH 側の安定点は 1.5V 程度であるため、発火動作中の波形も 1.5V へと到達するはずであるがそのようになっていない。このような状態となる要因を説明するため、発火動作中に V_{ANB} が変更されることで変化した多安定回路の特性に対し、実際の動作点を当てはめたグラフを作成した。

図 2.3.5 に、図 2.3.3 の発振動作時における P-HCNM のコンデンサ C_M に入力される電流値、およびその際のバイアス電圧 V_{ANB} を示す。同図において、横軸は P-HCNM の出力電圧を、縦軸は C_G に入力される電流値を示す。また、 V_{ANB} を変数としてグラフを作成した。同図に示すとおり、事前に想定していた動作経路は、 $V_{ANB}=1.486V$ の安定点である 1.5V である。しかし、実際には電位上昇動作中に V_{ANB} が急激に減少し、それに伴い安定点の電圧も減少することで振幅が減少する。そのため、振幅を十分に得るためには、電位上昇動作中のバイアス電圧の動作を制御する必要がある。バイアス電圧 V_{ANB} を減少動作は、図 2.3.1 に述べたとおり M_{DD} の基板の寄生ダイオードに

より行われる。そのため、振幅が十分に得られない原因を解析するために V_{ANBIAS} と M_{DD} の基板電流の関係について解析を行う必要がある。

図 2.3.6 に、図 2.3.3 の動作中における V_{ANBIAS} に対する M_{DD} の基板電流および M_{DD} のドレイン電流を示す。同図において、横軸は M_{AN} に印加される対地バイアス電圧 V_{ANBIAS} を、縦軸は M_{DD} の各電流を示す。なお、今回の解析において M_{DD} のドレイン電流を解析した理由は、 M_{DD} の基板電流に対し放電能力は低いものの、基板電流同様 C_G を放電させる能力を持つからである。同図に示すとおり、基板電流はドレイン電流と比較し 100 倍以上の mA オーダーとなり、また基板電流はダイオードと同等の急峻な特性を持つ。そのため、 V_{ANBIAS} が 2.5V に到達した時点で V_{ANB} は急激に放電されるため、発火の電位上昇動作が終了する。この理由により、P-HCNM の振幅低減が引き起こされている。また、基板を流れる電流は、電源に対して流れ込む。一つの P-HCNM が電源に逆流させる電流が mA オーダーであるため、大規模ネットワークを構築した際に電源を破損させる恐れがある。そのため、逆流電流を pA オーダーまで抑制する必要がある。また、mA オーダーの大電流であるため、 V_{ANB} の時定数を保証するためには、 C_G を大容量化する必要がある。 C_G の大容量化は VLSI における専有面積の肥大化を引き起こすため、 C_G の放電流を抑制する必要がある。これらの要素は、すべてバイアス電圧生成回路に関わる問題であるため、P-HCNM の励振状態の制御には直接関わらないものの、解決すべき課題である。また、式(2.8)を用いて P-HCNM の励振状態を制御しようとした場合、 V_{ANB} が確定された状態において V_{APB} を制御する必要がある。したがって、本論文では、まずバイアス回路に起因する課題を解決する。そして、課題を解決可能な新たなバイアス回路が生成する V_{ANB} を基に、P-HCNM の出力端子に起因する課題の解決を行う。

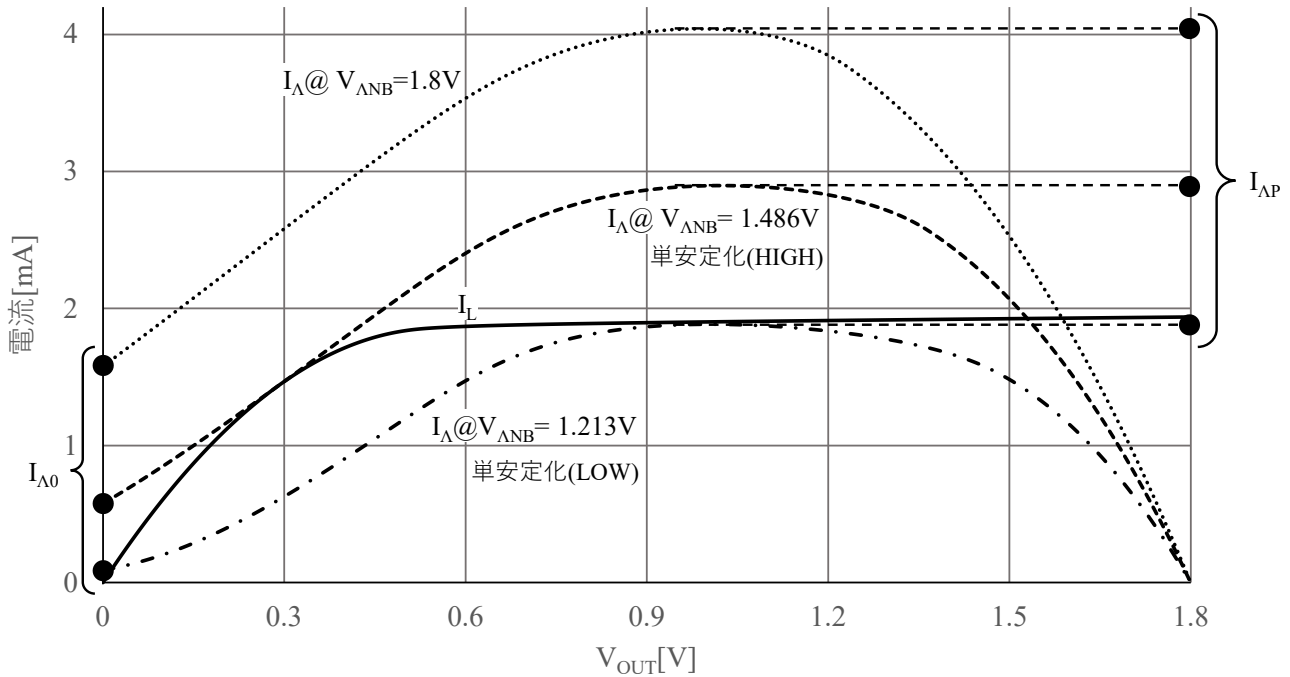


図 2.3.2 多安定回路の出力設計

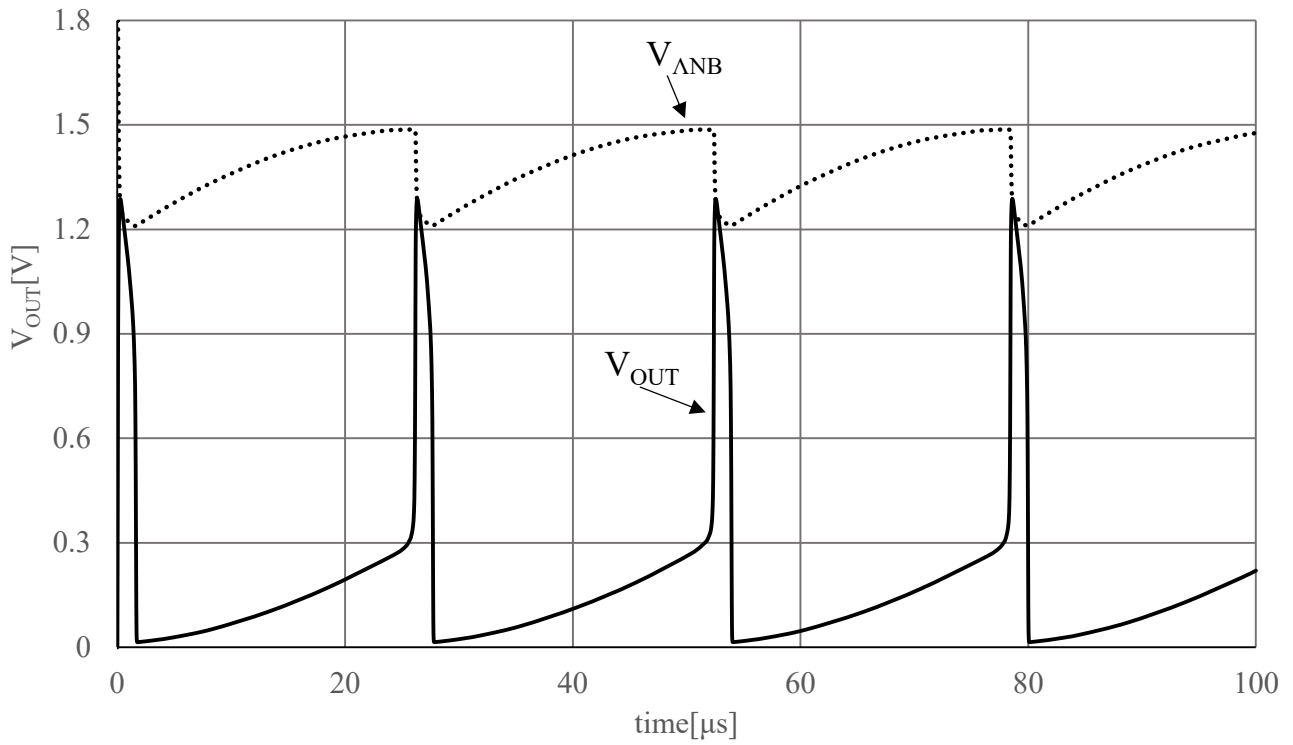


図 2.3.3 図 2.3.1 に示した P-HCNM の動作波形

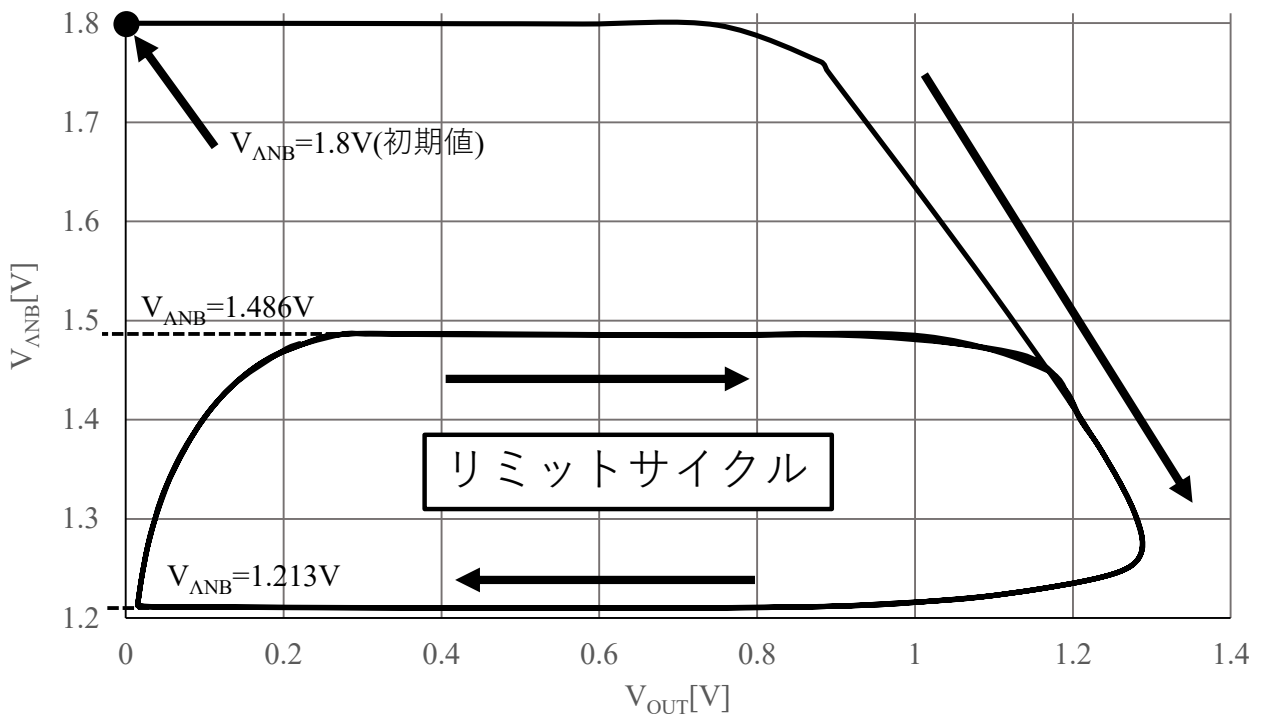


図 2.3.4 V_{OUT} の変動に対する動的バイアス電圧 $V_{\Delta NB}$ の振る舞い

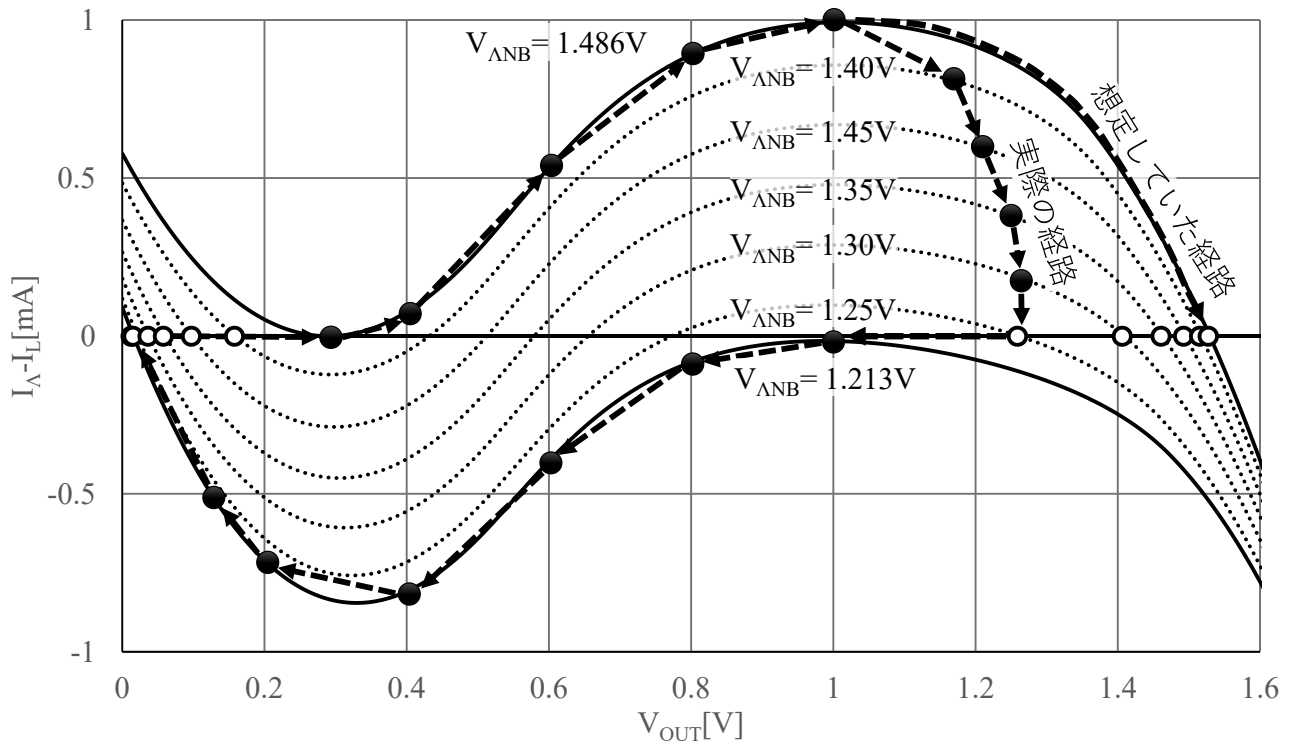


図 2.3.5 発火動作中の多安定回路特性変化 MAP

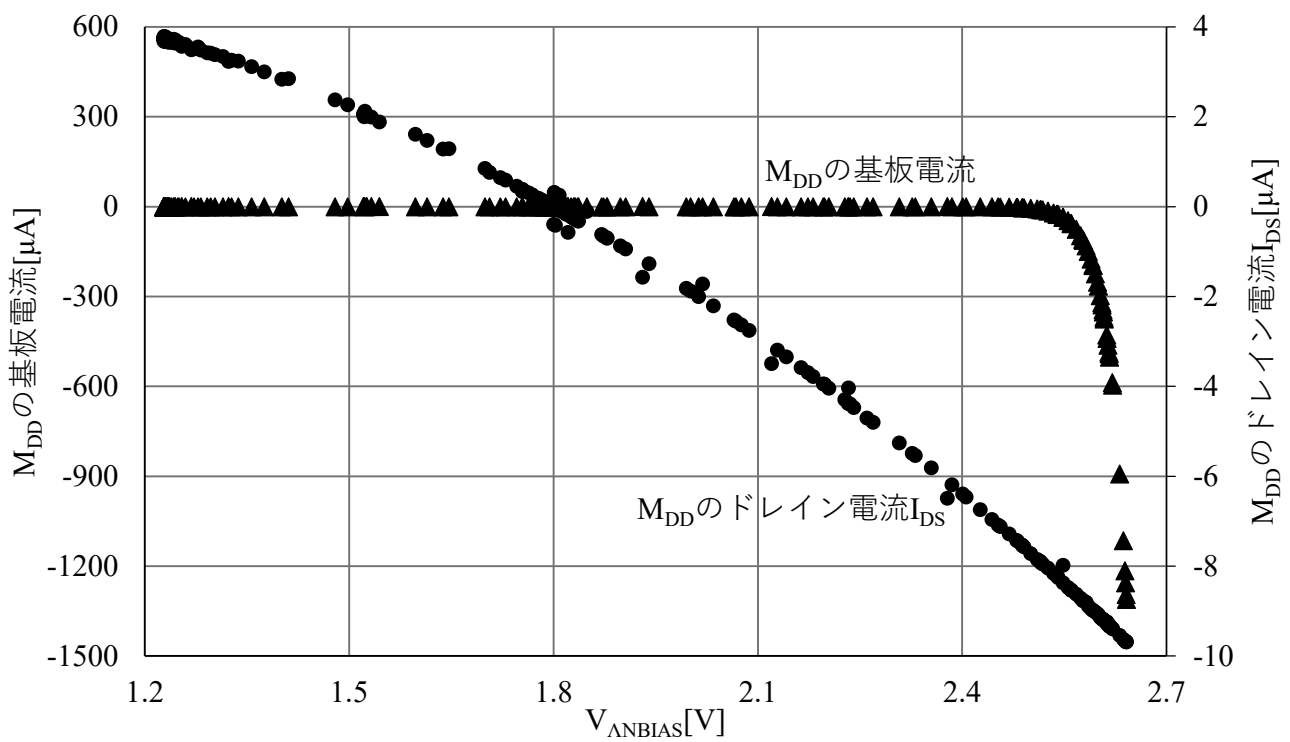


図 2.3.6 図 2.3.3 動作時の V_{ANBIAS} に対する各電流のアトラクタ

2.3.3 他励振動作

前節で述べたとおり、他励振、すなわちしきい値を持ち、外部からの入力が行われることにより発振動作をするためには、多安定回路を初期状態において多安定状態となるよう設計をする必要がある。また、 V_{ANB} の変動により単安定(Low)へと変動可能である必要がある。これは、パルス波形を形成するためには電位上昇動作(多安定状態に外部電流を入力することにより実現)と電位減少動作(単安定 Low により実現)の二つの動作が必要だからである。前項で述べたとおり、本構成ではバイアス電圧 V_{APB} および V_{ANB} は 1.8V であるため、このバイアス条件下において多安定回路を設計する。なお、 V_{ANB} は 1.8V から時間経過に対し動的に変化する。他励振モデルとして動作をさせるため、図 2.3.1 の素子値は M_{AN} を $L=180\text{nm}, W=10\mu\text{m}, M=1$ に、 M_{AP} を $L=180\text{nm}, W=20\mu\text{m}, M=10$ に、 M_{L} を $L=3\mu\text{m}, W=10\mu\text{m}, M=100$ に、 M_{DD} を $L=5\mu\text{m}, W=500\text{nm}, M=1$ に、 C_{G} を $900\text{fF}, M=200$ に、 C_{M} を $900\text{fF}, M=100$ とし、電源電圧 V_{DD} は 1.8V、 M_{L} ゲート電極は 0.67V 印加した。他励振モデルは、外部電流により出力電圧を上昇させ、多安定回路のしきい値電圧を超過させることで動作させる。他方で、図 2.0.3 の多安定状態における I_{A0} を外部電流により制御することで、多安定状態から単安定(HIGH)へと変化させているとみなすことが可能である。すなわち、他励振モデルの動作は、P-HCNM に外部電流を入力することで、多安定回路を多安定状態から単安定(HIGH)へと変更することで行われている。なお、多安定状態となる I_{A0} を単安定(HIGH)に変更するために必要な電流をしきい値電流と定義した。

図 2.3.7 に、上記の素子値を持つ図 2.3.1 の静特性を示す。同図において、横軸は P-HCNM の出力電圧を、縦軸は多安定回路の各素子における出力電流を示す。同図に示すとおり、 I_{A} と I_{L} の交点が 3 つ存在する多安定状態となる。電圧しきい値は 0.33V、電流しきい値は 0.4666mA である。他励振モデルのしきい値が、多安定回路の解析結果におけるしきい値と等しくなることを確かめるため、図 2.3.1 の P-HCNM に対し外部から電流 I_{IN} を入力し、過渡解析を行った。

図 2.3.8 に、図 2.3.7 の静特性を持つ図 2.3.1 のしきい値電圧に対する検討結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の出力電圧を示す。同図において、0s から $t_0=0.01\mu\text{s}$ までの期間、外部から I_{IN} を入力した。なお、 I_{IN} は t における V_{OUT} の値を設定するために用いたため、 I_{IN} の詳細な値については省略する。 t_0 における V_{OUT} は、不安定電圧以上である 0.331V および 0.35V と、不安定電圧以下である 0.25V と 0.329V とした。同図に示すとおり、不安定電圧である 0.33V を境に、発火の成否が決定づけられる。以上の結果より、多安定回路の不安定点は P-HCNM のしきい値電圧として動作し、また多安定状態として設計することにより、P-HCNM を他励振モデルとして動作させることが可能である。

図 2.3.9 に、図 2.3.7 の静特性を持つ図 2.3.1 のしきい値電流に対する検討結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の出力電圧を示す。P-HCNM に入力する外部電流は、0s から入力を開始し、値を変動させることなく継続的に入力を行った。また、しきい値電流の動作を確認するため、図 2.3.7 で得られたしきい値電流 0.4666mA を境とした、 $I_{\text{IN}}=0.466\text{mA}$ および

$I_{IN}=0.47\text{mA}$ の 2 条件について検討を行った。同図に示すとおり、しきい値電流である 0.4666mA を境に、発火の成否が決定づけられる。この動作は、P-HCNM を電流モードで動作させる際に必要な要素となる。

他励振モデルは、自励振モデルとは異なり発火動作を行うためには外部から I_{IN} を入力する必要がある。したがって、自励振モデルでは図 2.2.9 にて示した動作のみで電位減少側の波形が形成される。しかし、他励振モデルでは図 2.2.9 の動作に加え、さらに I_{IN} を考慮する必要がある。 I_{IN} を考慮した場合、 C_M から引き抜かれる電流は $I_A-I_L+I_{IN}$ となるため、 I_{IN} が入力されていない場合に比べ引き抜かれる電流が少なくなる。このことから、発火動作中に I_{IN} が継続的に入力される場合はなだらかな波形が形成されることが予想される。

図 2.3.10 に、しきい値電圧を満した後に I_{IN} の供給を停止した場合と、供給を継続した場合を比較した結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の出力電圧を示す。同図に示すとおり、供給を停止した場合に比べ、供給を継続した発火波形はパルス幅が約 $0.5\mu\text{s}$ 、振幅は約 0.1V の差が生じ、なだらかな波形となる。このことから、 I_{IN} が発火波形の形状に対し影響を与える。なお、パルス幅だけでなく振幅に対しても影響が与えられた理由は、図 2.3.7 に示したように、 I_{IN} が加わることで HIGH 側の安定点がより高い電位へとシフトしたことに加え、 C_M に流れ込む電流が増えることで C_G の時定数に比べ C_M の時定数が短くなり、 V_{NB} が小さくなる前に V_{OUT} が増加することが可能だからであると考えられる。

I_{IN} は本来シナプス等から送り込まれる刺激電流であるため、発火動作中に途切れることなく I_{IN} の供給が継続することを保証することはできない。したがって、発火動作中に I_{IN} の供給が途絶えることを考量した場合、キャパシタから引き抜かれる電荷量が時間的に変化するため発火波形の形成に影響が出ることが予想される。したがって、発火動作中に I_{IN} の供給を停止した場合についても確認を行った。

図 2.3.11 に、発火動作中に I_{IN} の供給を停止した場合の V_{OUT} の挙動を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の出力電圧を示す。同図に示すとおり、発火動作中に I_{IN} の供給が途絶えた時間で急激に電位が落ちる。この急激な電位の減少は、 I_{IN} の供給を取り止めたことで C_M から引き抜かれる電荷量が増加したことのほかに、 I_{IN} が供給されることで生成されていた HIGH 側の安定点が、 I_{IN} の供給が途絶えることで消失したことで発生する。なお、同図実線で示したしきい値電圧を満した直後に I_{IN} の供給を取り止めた波形に比べ、しきい値を満した後もしばらくの間 I_{IN} を供給したのちに供給を取り止めた波形のパルス幅が短くなる場合がある。これは、 V_{OUT} の最大電位の違いに依存し、 V_{OUT} が大きくなるほど V_{NB} の減少割合が大きくなり、 Δ 形負性抵抗の出力電流が小さくなることから発生する。

図 2.3.12 に、初期状態において単安定(Low)として設計とした際の多安定回路特性を示す。同図において、横軸は P-HCNM の出力電圧を、縦軸は C_M に入力される電流を示す。単安定(Low)は不応期、すなわち外部刺激に対しても反応を示さない期間の特性であるが、同図の破線で示すように I_{IN} を外部より入力することで疑似的な HIGH 側安定点が発生させることができる。この条件にお

いて、発火波形を発生させた場合、入力電流の途絶と共に、 V_{OUT} が急激に減少することが予想される。この挙動は発火と呼称することはできない。そのため、本条件における P-HCNM の挙動について検討を行った。

図 2.3.13 に、図 2.3.12 の静特性を持つ P-HCNM の過渡解析結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の出力電圧を示す。外部からの入力電流は 1.2mA を用いた。また、入力電流の入力期間は、0s から入力を開始し、0.1 μ s、0.3 μ s、継続的に入力の 3 条件について検討を行った。同図に示すとおり、 I_{IN} を継続的に入力した場合、他励振モデルと同様のパルスが形成される。本来、図 2.3.12 の静特性は不応期であるため、パルスが生成されることは正しい挙動ではない、また、 I_{IN} を 0.1 μ s および 0.3 μ s で供給停止した場合、入力停止直後に V_{OUT} が急落する。この挙動からも、図 2.3.12 の条件における昇圧動作は、P-HCNM のパルス形成条件に適合しない。この課題は P-HCNM の C_M の両端電圧が、外部から入力される電流により直接操作可能であることに起因する。すなわち、励振状態の制御と同じ、P-HCNM の入出力回路に起因する課題である。したがって、励振状態の制御を行う回路を構築する際には、この課題についても同時に解決を行う必要がある。

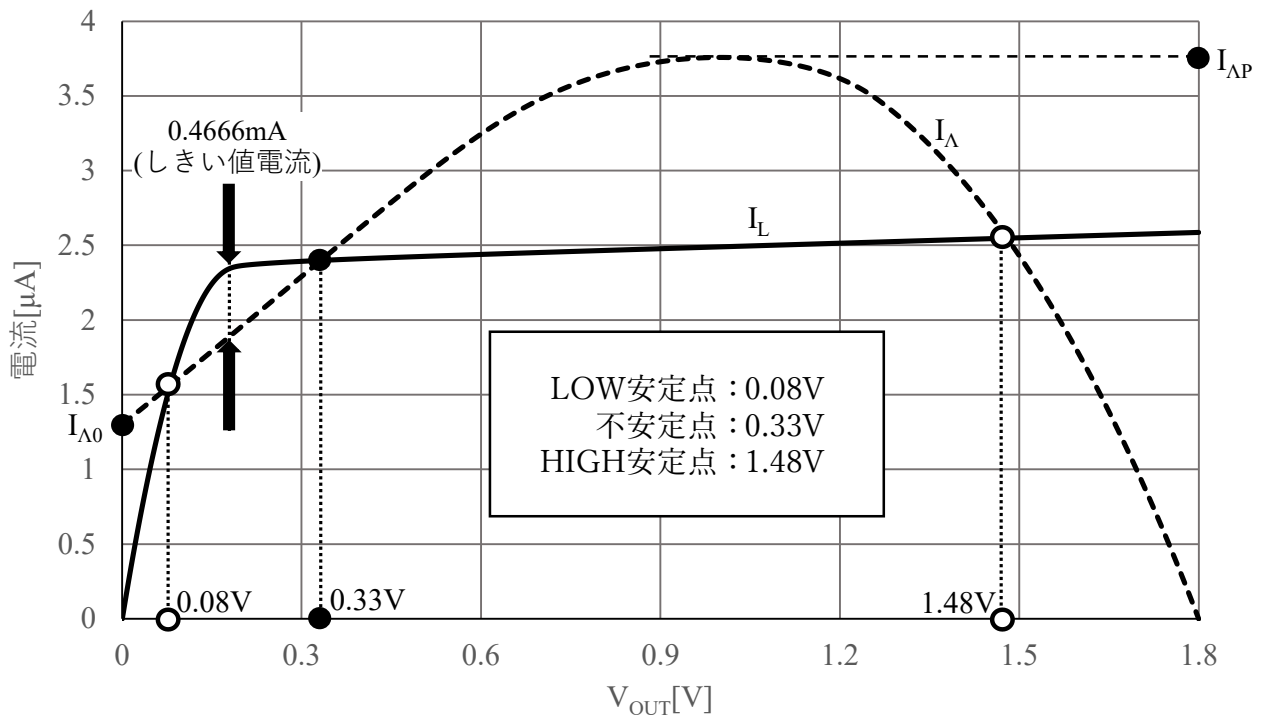


図 2.3.7 他励振モデル用に設計した多安定回路の特性

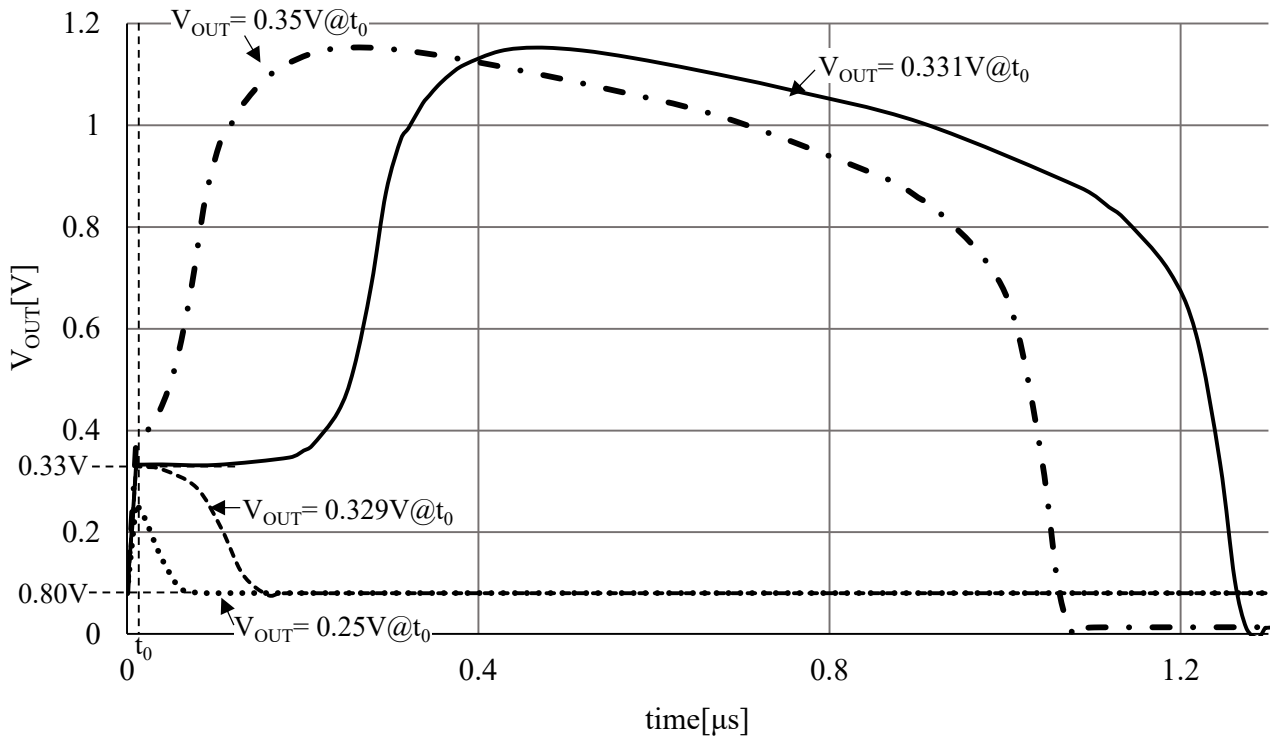


図 2.3.8 電圧しきい値の動作

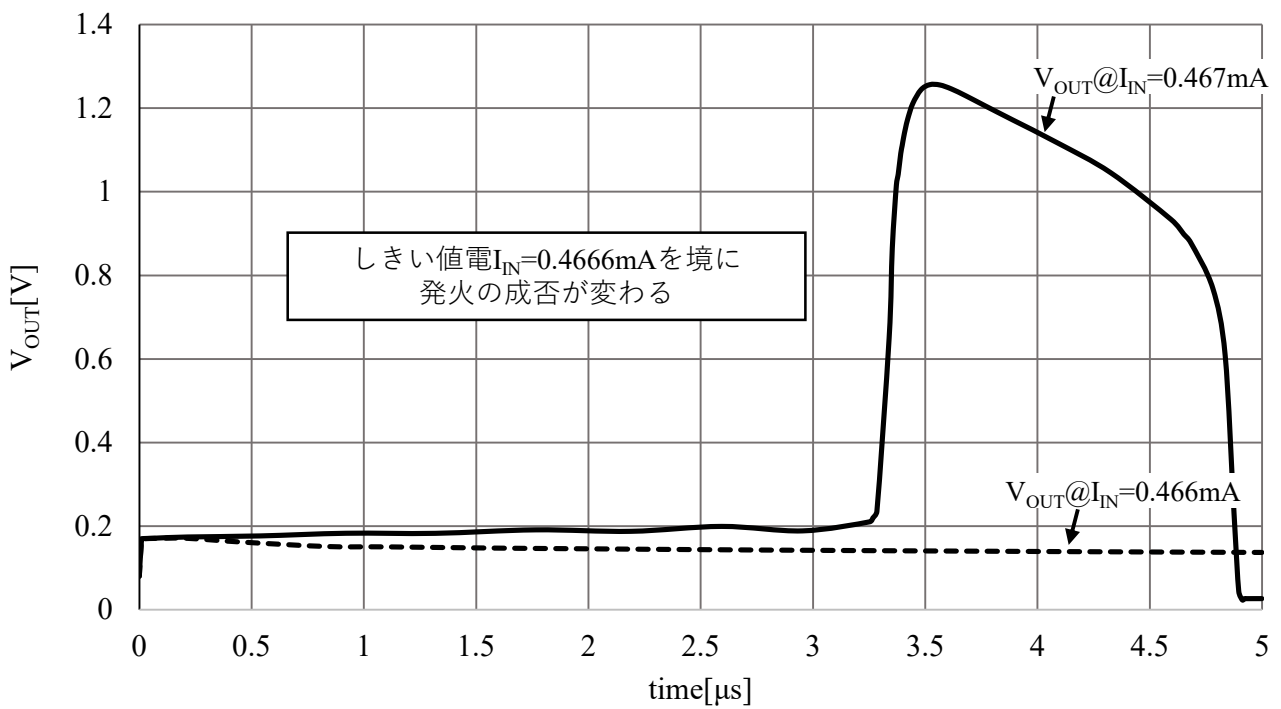


図 2.3.9 電流しきい値の動作

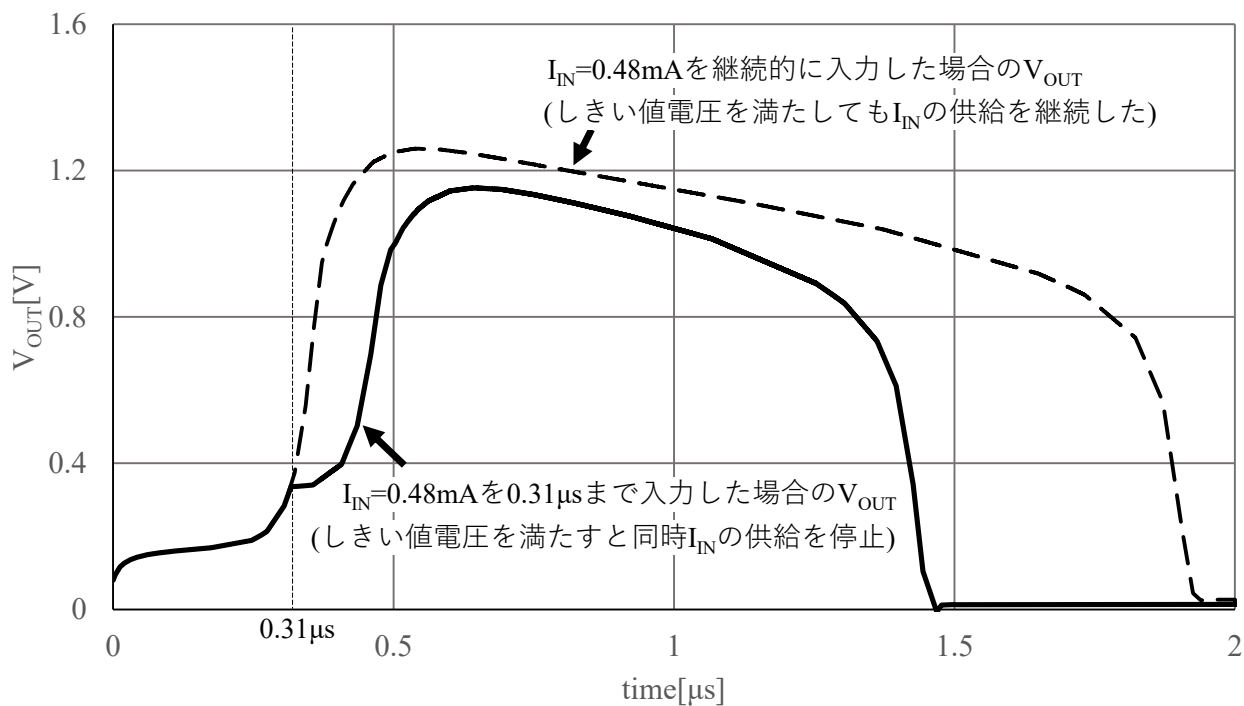


図 2.3.10 入力電流 I_{IN} の波形に対する影響(継続入力)

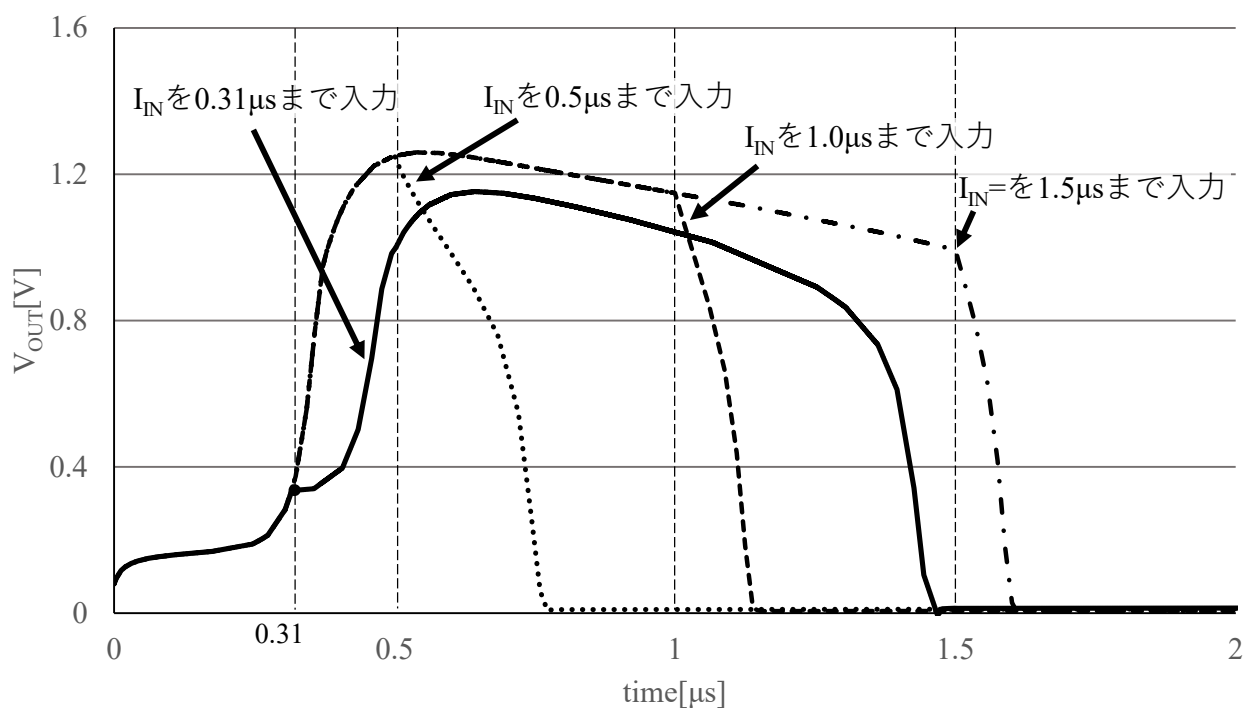


図 2.3.11 入力電流 I_{IN} の波形に対する影響(間欠入力)

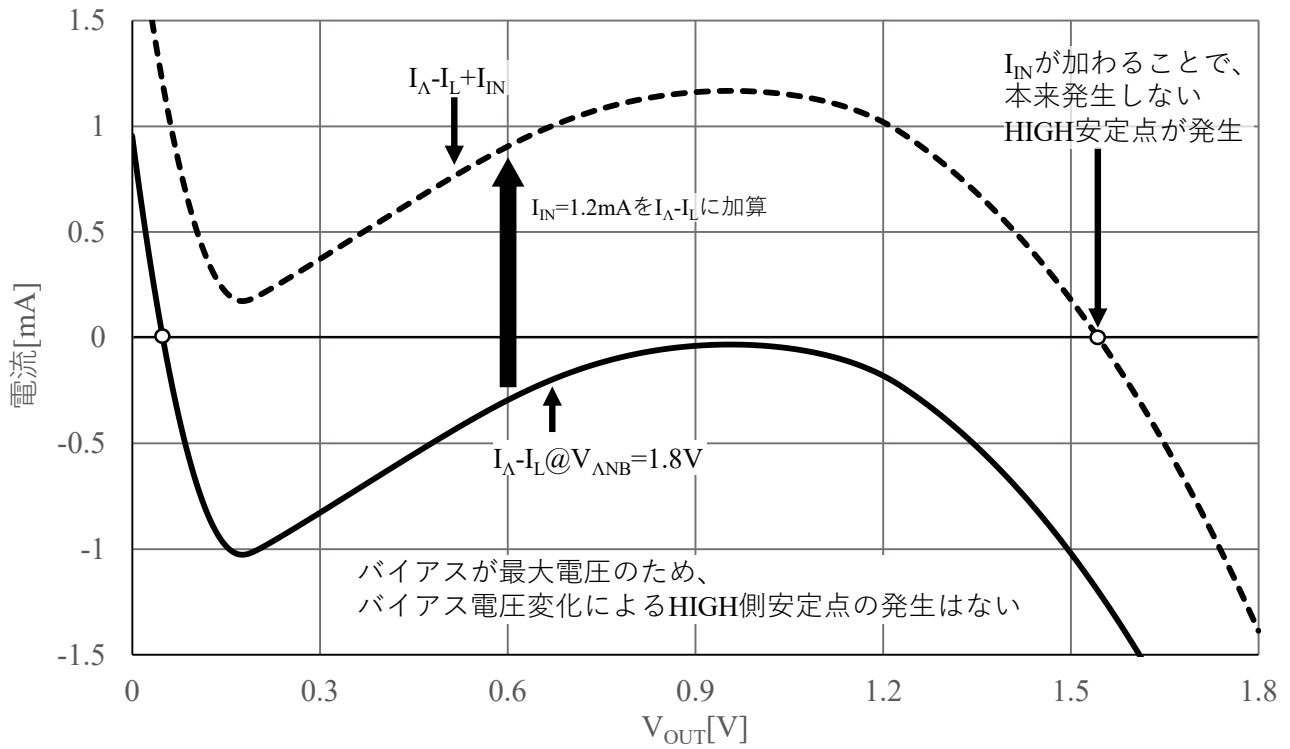


図 2.3.12 HIGH 側の安定点を持たない設計(不応期想定)

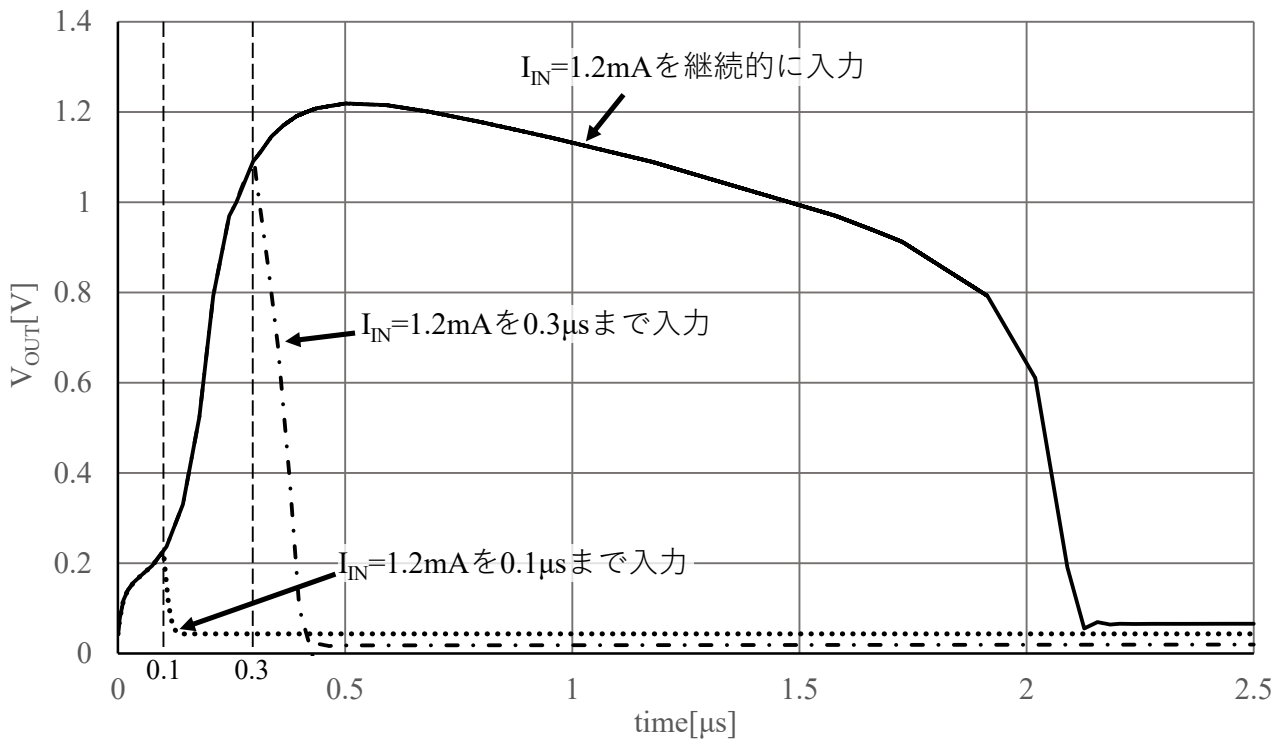


図 2.3.13 入力電流 I_{IN} の波形に対する疑似発振動作

2.4 まとめ

本章の内容をまとめると、下記のとおりとなる。

P-HCNM は南雲の回路(BVP モデル)を基に作製されている。南雲の回路は微分方程式を基にした L,C,R および負性抵抗を用いた発振回路であり、P-HCNM は MOSFET とコンデンサを用いて L,C,R および負性抵抗の等価素子を構築した回路である。MOSFET の静特性を使用しているため、L,C,R および負性抵抗は MOSFET の静特性形状に依存する。南雲の回路は微分方程式を基に L,C,R および負性抵抗を用いて構築した回路であるため、発振条件は L,C,R および負性抵抗の値に依存する。南雲の回路を基にした P-HCNM の発振条件も L,C,R および負性抵抗に依存するが、非線形な静特性を持つ MOSFET により等価的に作製された素子を用いるため、等価素子の値を正確に設定することは困難である。特に、P-HCNM を VLSI 上に作製する場合、MOSFET が様々な要素により特性ばらつきをもつため、等価素子の値を正確に設定すること、および素子値を補正することはより困難である。一方で、P-HCNM を用いてニューラルネットワークを構築するためには、自励振モデルおよび他励振モデルをそれぞれ設計可能である必要がある。そのためには、P-HCNM の励振状態を補償可能な回路構成を提案する必要がある。P-HCNM を補償することが困難である理由は、MOSFET の静特性により等価素子を構築する複雑性にある。したがって、補償を行うためには、解決すべき課題の単純化が求められる。本章では、P-HCNM が Λ 形負性抵抗を用いた多安定回路であるとみなし、多安定回路が持つ3つの安定状態(単安定 LOW, 多安定状態, 単安定 HIGH)により P-HCNM の動作原理を説明することにより、負性抵抗の出力電流 $I_{\Lambda 0}$ と負荷電流源 I_L の大小関係という単純な比較のみで励振状態を説明できるか検討した。また、P-HCNM が持つ各課題の解析を行った。

(1)P-HCNM を多安定回路とみなす際に使用する、多安定回路内の Λ 形負性抵抗素子を解析した。解析の結果、P-HCNM の励振状態制御に必要な、バイアス電圧による $I_{\Lambda 0}$ の制御が可能であることを明らかにした。

(2) Λ 形負性抵抗を用いた多安定回路について解析を行った。その結果、P-HCNM の励振状態制御に必要な、 Λ 形負性抵抗のバイアスに応じて多安定回路の安定状態を変更可能であることを明らかにした。

(3)多安定回路の安定状態を設計し、各安定状態での P-HCNM の挙動について解析を行った。その結果、単安定(HIGH)は自励振モデルとして、多安定状態は他励振モデルとして動作することを明らかにした。

(4) P-HCNM の過渡解析において、P-HCNM のバイアス部に基板電流が発生し、電源へ逆流することを明らかにした。また、基板電流が P-HCNM の振幅低減および静電容量の肥大化を引き起こすことを明らかにした。このバイアスに起因する課題は、発振条件には影響を与えないものの、励振状態を制御する回路のバイアス電圧として使用するため、まずバイアス回路について検討を行う必要があることを示した。

(5) 他励振モデルとして設計した P-HCNM の過渡解析において、P-HCNM に対し入力する外部電流が、P-HCNM の発火波形のひずみを引き起こすことを明らかにした。また、本来は入力電流に対し発火応答を示さない期間においても、継続的な電流入力によりパルスが発生してしまうことを明らかにした。この課題は、励振状態の制御と同じ、P-HCNM の入出力回路に起因する課題であることから、励振状態とともに入力電流の影響についても検討する必要があることを明らかにした。

第3章 基板電流および振幅に着目した

パルス形ハードウェアカオスニューロンモデル

2章で示したとおり、P-HCNMの励振状態を制御するためには、P-HCNMの入出力回路について検討を行う必要がある。しかし、P-HCNMのバイアス回路に、MOSFETの基板を通じた電源に対する逆流電流が発生し、P-HCNMの出力低減や、使用するコンデンサの肥大化が引き起こされる。また、電源への逆流電流の一部は Λ 形負性抵抗や、P-HCNM以外の別回路へと供給されるため、電源への瞬間的な影響はさほど大きくなることはないと考えられるが、長期的な動作をした際に電源の劣化を誘発する可能性がある。また、瞬時的な影響として、ICチップ内の配線がもつ微小な抵抗により電源ラインの電位が一時的に変化するため、この変動が電源ノイズとなる可能性が高い。電源ラインはICチップ上では分割をすることが困難であり、またニューラルネットワークを構築する際には本モデルを多数使用するため、電源ラインを通して他の機能ブロックに多大なノイズを加えることとなり、動作を不安定な状態とする可能性がある。また、PN接合部に多大な電流が流れるため基板電位が揺らぎ、MOSFETのしきい値電圧が不定となり意図しない挙動をする可能性がある。

式(2.8)により、P-HCNMの入出力回路を1つの制御電圧により制御するためには、P-HCNMのバイアス電圧が設計済みであることが求められる。したがって、励振状態を制御する回路を提案する前に、P-HCNMのバイアス回路に起因する課題を解決する必要がある。本章では、 M_{DD} に使用していたp型MOSFETをn型MOSFETに変更することで基板への影響を抑え、また新たに電流経路を設けることで電源への影響を抑えることが可能か検討を行った。

3.1 基板電流を改良したモデル

3.1.1 電源逆流対策モデルの構成と動作原理

図3.1.1に、電源逆流対策をしたモデルと、比較用として従来回路モデルを示す。同図に示すとおり、 Λ 形負性抵抗を構成するCMOSペアである M_{AP} および M_{AN} に対し負荷電流源 M_L を直列に接続することで多安定回路を構成し、 Λ 形負性抵抗の M_{AN} に対するバイアス電圧を C_G にて生成し、多安定回路の出力電流を膜容量 C_M にて出力電圧へと変換する回路構成については、従来モデルと共通する項目である。従来モデルとの違いとして、図3.1.2の左図に示すように従来モデルでは C_G の充電経路および放電経路の両方をp型MOSFETである M_{DD} が担っていたが、電源逆流対策モデルでは M_{DD} をn型MOSFETへと変更した。この変更により、 M_{DD} は C_G に対して充電経路のみを提供する素子となる。一方で、発火波形の電位減少動作を実現するためには C_G の放電経路を確保する必要がある。放電経路に求める仕様は、 V_{OUT} の電位上昇動作時にのみ放電経路を開放す

るというシンプルなものである。したがって、 V_{OUT} が高電位となることをトリガーとして活用し、電流を流すことが可能な素子である n 型 MOSFET を M_{DR} として V_{ANBIAS} と接地電位に接続した。これらの仕様変更により、従来モデルから電源逆流対策モデルを構築した。

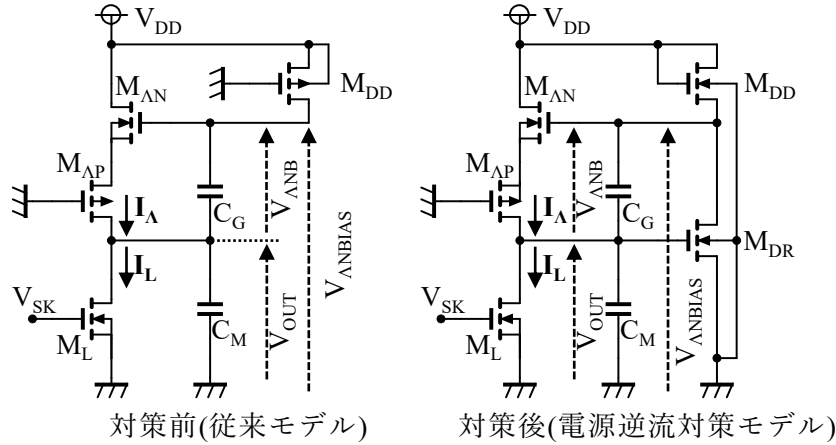


図 3.1.1 P-HCNM の基板を通じた逆流電流対策前および対策後の回路構成

図 3.1.2 に、 C_G に対する充放電経路を示す。図 3.1.1 でも一部述べたが、 C_G の充放電動作は M_{DD} および M_{DR} がその役割を担っている。従来モデルでの充放電アルゴリズムとして、まずは V_{ANB} および V_{OUT} が初期状態、すなわち $0V$ の状態における充電動作について述べる。 M_{DD} のゲート電位は接地電位であり、また V_{ANB} と V_{OUT} の和である V_{ANBIAS} は $0V$ であるため、 M_{DD} のソース電位は電源電圧である V_{DD} となる。これらの条件から、 M_{DD} のゲート-ソース間電圧 V_{SGP} およびドレイン-ソース間電圧 V_{SDP} は V_{DD} となる。したがって、 M_{DD} の出力電流 I_{MDD} は

$$I_{MDD} = K_{PD}(V_{DD} - V_{THD})^2 \quad (3.1)$$

となる。なお、この式は簡単化のため M_{DD} が MOSFET の飽和領域で動作していると仮定しているが、 V_{SGP} および V_{SDP} が同電位であるため本来は線形領域として取り扱うことが妥当である。また、 V_{SPG} が高電位であるため飽和領域であっても、飽和領域の傾き成分である λ が残る。今回は、 C_G の充電波形の形状に対して V_{SDP} および λ が与える影響が、式(3.1)に対して十分小さいため存在しないとみなした。この状態において、 M_{DD} の n 型基板電位は V_{DD} であるため、 M_{DD} の p 型ソース電極と基板の接合により発生する PN 接合ダイオード部は両端電位が $0V$ となるため、この経路に対し電流は流れない。以上により、従来モデルでは C_G に対し充電動作を行う。

次に、 C_G に十分に電荷が供給され、 V_{ANB} が V_{DD} と同電位となった後の放電動作について述べる。この状態になると、 Λ 形負性抵抗が動作するのに十分なバイアス電圧が与えられるため、 V_{OUT} に対する刺激電流等の条件を満たせば V_{OUT} は電位上昇動作を行う。その際、 V_{ANBIAS} は V_{ANB} と V_{OUT} の和であり、さらに先の動作により V_{ANB} は V_{DD} となるまで充電が行われた状態であるため

$$V_{ANBIAS} = V_{DD} + V_{OUT} > V_{DD} \quad (3.2)$$

となる。したがって、 M_{DD} のソース電位は V_{DD} から V_{ANBIAS} へと切り替わる。 M_{DD} のゲート電位は

接地電位のままであるため、M_{DD}のV_{SGP}はV_{ANBIAS}となるが、充電動作時とは違いV_{SDP}はV_{ANBIAS}とV_{DD}の差分となる。なお、C_Gからの放電動作が行われるまでは、差分電圧はV_{OUT}となる。発火動作はV_{OUT}が低電位の状態から開始されるため、M_{DD}を飽和動作させるのに十分な電位は確保できない。したがって、M_{DD}のドレイン電流I_{MDD_D}は

$$I_{MDD_D} = K_{PD} \cdot (V_{ANBIAS} - V_{THD}) \cdot (V_{ANBIAS} - V_{DD}) \quad (3.3)$$

となる。充電動作の場合、PN接合ダイオード部に電流が流れないため式(3.3)がそのままI_{MDD}となったが、M_{DD}のp型ソース電位に比べ基板電位が低くなるため、ソース電極-基板電極の接合により発生するPN接合ダイオード部は順バイアスとなる。したがって、I_{MDD}は、式(3.3)に加え、ダイオード特性を加味した

$$I_{MDD} = I_{MDD_D} + I_S \cdot e^{\frac{q \cdot (V_{ANBIAS} - V_{DD})}{kT}} \quad (3.4)$$

となる。I_{MDD}の成分は、一次関数であるI_{MDD_D}に比べ、指数関数であるダイオードによる電流が支配的になる。なお、基板電位とソース電位が同電位でないため、V_{ANBIAS}に応じてM_{DD}のしきい値電圧V_{THD}が変化するため式(3.3)の値にも影響が出るが、しきい値を変化させるのに十分なV_{ANBIAS}となる条件ではすでにダイオード側からの電流が支配的となっているため、波形の形成に対する影響は低い。以上により、従来モデルではC_Gに対し放電動作を行う。このように、従来モデルではM_{DD}のみをC_Gの充放電経路として使用していたため、電源経路に対して放電せざるを得ない構成となっていた。

次に、電源逆流対策モデルの充放電アルゴリズムについて述べる。先に述べたとおり、電源逆流対策モデルではM_{DD}をp型MOSFETからn型のMOSFETに変更している。これは、チャージポンプの特徴を備えている本モデルでは電源電圧を超える電圧の生成を抑えることができないため、p型MOSFETをその電位と接続させる場合、必ずPN接合部に順バイアスが生成されてしまうことに由来する。したがって、図3.1.2に示すように、M_{DD}はソース電位およびドレイン電位が高電位となった場合でも順バイアスが生成されないn型MOSFETへと変更した。

C_Gに対する充電動作であるが、C_GおよびC_Mが初期状態、すなわち0Vであった場合、この2電圧の和であるV_{ANBIAS}も0Vであるため、M_{DD}のソース電位はV_{ANBIAS}となる。したがって、M_{DD}はゲート電極とドレイン電極を短絡させたMOSダイオードとして機能する。なお、M_{DD}のPN接合ダイオードは逆バイアス状態となっているため、ドレイン-ソース間電流の電流特性としてのダイオード挙動である。V_{OUT}=0Vである場合、M_{DR}の放電経路に電流は流れないため、M_{DD}から供給される電流はC_Gへと収集される。これにより、C_Gに対し充電が行われる。なお、従来モデルでは充電方法としてp型MOSFETを用いた定電流源により実行したため、C_Gの両端電位をV_{DD}まで昇圧することが可能であった。本構成ではn型MOSFETを用いたMOSダイオードによる充電方法を採用しているため、C_Gの両端電圧が上昇するほど供給可能な電流値が指数関数的に減少していくため充電完了までの時間が長くなる。またV_{OUT}=0Vを印加したM_{DR}に対してインピーダンスのオーダーが同等となるため、M_{DD}とM_{DR}によりV_{DD}を分圧することになり、C_Gの両端電位は最終的

に V_{DD} まで到達しない。したがって、 Λ 形負性抵抗のピーク電流が低くなり多安定回路の HIGH 側安定点が生成されづらく、また V_{ANB} の回復速度も遅いため高速な発振動作を本モデルで行うことは困難である。一方で、生体においてはミリ秒オーダーの発振周期により情報のやり取りが行われていると言われているため、ネットワークを構築した際には問題が発生することはないと考えられる。

次に、放電動作について述べる。直前で述べたとおり、 C_G の両端電位が V_{DD} とならないため、 V_{OUT} の小さな変化では V_{ANBIAS} が V_{DD} を超過することはない。しかし、本構成において V_{ANB} は $V_{DD}-V_{ATN}$ 程度となるため、 V_{OUT} が M_{DD} のしきい値電圧を超える電位となると、 V_{ANBIAS} は V_{DD} を超過する。この場合、 M_{DD} のソース電位は V_{DD} へと切り替わるが、 M_{DD} のゲート電位も V_{DD} であるためゲート-ソース間電位は $0V$ となるため電流供給能力を失い、 M_{DD} を経路とした V_{DD} への逆流電流の発生を、暗電流を除いて防ぐことができる。ただし、従来モデルでは逆流電流により C_G を放電させていたため、代替となる放電経路として M_{DR} を配置している。 M_{DR} は、 V_{OUT} が M_{DR} のしきい値電圧を超えると動作し、 C_G および C_M の直列合成容量を電源として放電動作を行う。 M_{DR} は単純な $V_{GS}-I_{DS}$ 特性を持つ素子として動作するため、 V_{OUT} の電位上昇に対して I_{DS} は 2 乗の増加となる。したがって、 M_{DR} のアスペクト比を低く設定しない場合、 V_{ANB} が急激に減少し発火振幅が小さいものとなる可能性がある。以上の動作により、電源逆流対策モデルの C_G に対して充放電を行うことができる。なお、電源から接地電位へと経路を生成したため、バイアス回路における消費電力の面では、回生充放電が可能な従来モデルに劣る。

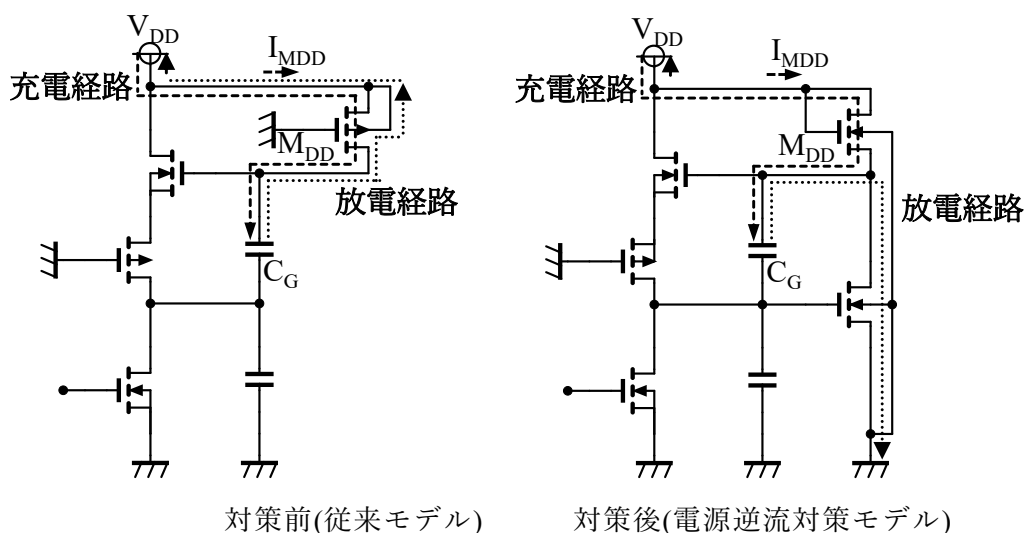


図 3.1.2 C_G の充放電経路

3.1.2 シミュレータによる動作確認

表 3.1 図 3.1.1 で使用した素子値

name	改良モデル	従来モデル
M _{AP}	L=1.0 μm, W=1.0μm, M=2	L=1.0μm, W=1.0μm, M=2
M _{AN}	L=1.0μm, W=1.0μm, M=2	L=1.0μm, W=1.0μm, M=2
M _{SK}	L=1.0μm, W=1.0μm, M=2	L=1.0μm, W=1.0μm, M=2
M _{DD}	L=1.0μm, W=1.0μm, M=2	L=5.0μm, W=0.5μm, M=1
M _{DR}	L=5.0μm, W=0.5μm, M=2	None
C _M	100fF, M=1	100fF, M=1
C _G	100fF, M=1	100fF, M=3

表 3.1 に、図 3.1.1 をシミュレーションする際に使用した素子値を示す。使用する素子値の設計指針として、アナログ回路であるためデジタル素子に比べばらつきに非常に弱いことから MOSFET のゲート長はサブミクロンを使用せず、最低値として 1μm を設定した。なお、通常のアナログ設計においてばらつき耐性を持たせる場合、ゲート長は 2μm 以上とすることが一般的には推奨されるが、ニューラルネットワークを構築するためには本モデルを多数使用する必要があるため、ゲート長が 1μm でも正常に動作することを目標として設計を行った。また、MOSFET の並列数 M は 2 と設定しているが、これはコモンセントロイド等の設計を見据えた設定値とした。静電容量値は、MOSFET の合計面積に対し約 10 倍程度となるよう設定した。これは、MOSFET のもつ寄生容量に対し十分とはならないが、使用する専有面積を考慮しこの値を下限値とした。設計指針から外れる値として、バイアスに関わる MOSFET はアスペクトが小さくなるよう設計した。特に、従来モデルではソース電極の面積が大きくなるほど寄生ダイオードに流れる電流値が大きくなるため、設計可能な最小のゲート幅、および最大のゲート長を使用している。その他として、従来モデルの C_G は他の静電容量値と比べ 3 倍となるよう設計した。これは、設計した M_{DD} のアスペクト比では C_G の電位回復に要する時間が短いため、電位が減少しきる前に安定点が再び生み出されることで電位が収束してしまうことを防止するため設定した。なお、C_G の容量値を本設計値よりも下回らせるとシミュレーション上では発火が成立しなかったため、本設計値が最小の静電容量値となる。

図 3.1.3 に、表 3.1 に記載したパラメータを適用した図 3.1.1 に対し、回路シミュレータ HSPICE にて過渡解析を行った結果を示す。なお、使用想定プロセスは Rohm 社の 0.18μm CMOS プロセスとした。シミュレーション条件として、SPICE の初期化命令にて V_{OUT} を 0V と設定し、その他の電圧および電流は収束演算の結果を使用した。また、電源電圧 V_{DD} は 1.8V とし、M_{SK} の飽和電流値は改良モデルでは 4.7μA、従来モデルでは 9.4μA となるよう V_{SK} を設定した。M_{SK} の飽和電流の違いは、Λ 形負性抵抗に印加されるバイアス電圧の大きさに応じ、初期状態にて HIGH 側安定点のみを持つ多安定回路となるよう調整した結果である。なお、本モデルは自励振モデルとなるよう設

計したため、外部刺激電流である I_{IN} は印加していない。同図において、横軸を経過時間、縦軸を各モデルの出力電圧 V_{OUT} とし、破線に従来モデルの結果を、実線に改良モデルの結果を示す。同図に示すとおり、従来モデルおよび改良モデルの両者ともに、生体に見られるアナログパルスを形成することができる。ただし、振幅を比較すると、従来モデルでは約 1.3V、改良モデルでは約 1.0V と 0.3V 程度の差が生じている。この差は、図 3.1.2 の左図で示した従来モデルの M_{DD} は指数関数特性を持つダイオードであるため明瞭なしきい値が存在し、しきい値を超える程度の V_{OUT} を加える必要があるため一定の振幅が保証されるが、図 3.1.2 の右図で示した改良モデルの M_{DR} は 2 乗関数特性を持つ MOSFET であるため微小な V_{OUT} に対しても C_G を放電させることが可能であることから V_{OUT} が上昇しきる前に V_{ANB} を減少させてしまったからであると考えられる。この問題に対しては、 M_{DR} のアスペクト比をさらに下げる処理を行うことで一定の緩和を行うことはできるが、ダイオードほどの明確なしきい値を与えることは困難であるため一定の振幅を保証することは困難である。この問題に対しては、次項にて対策を行う。発振周波数は従来モデルでは 7660kHz、改良モデルでは 40kHz となった。必要となる発振周波数はニューラルネットワークの使用用途により異なるが、生体においてはメガヘルツ帯を求められることはないため、現状では対策を行う必要はない。なお、VLSI 化する際に必要となる専有面積については、従来に比べ MOSFET が 1 素子増えたが、表 3.1 に示したとおり必要となる静電容量を大幅に下げることが可能であるため、従来に比べおよそ 50%程度に減じることが可能である。

図 3.1.4 に、電源から M_{DD} を経由して流れる電流の過渡解析結果を示す。同図において、横軸を経過時間、縦軸を各モデルの出力電圧 V_{OUT} とし、破線に従来モデルの結果を、実線に改良モデルの結果を示す。同図において、 I_{MDD} が正である場合は電源から吐き出された電流を、負である場合は電源に逆流した電流を示す。同図に示すとおり、実線で示した改良モデルの I_{MDD} は負とならず、常に一方向にのみ出力を行っている。従来モデルの逆流電流は μA オーダーであり、改良モデルは pA オーダーである。これは、従来構成に比べ電源逆流電流を 100 万分の 1 以下に抑制可能であることを示している。

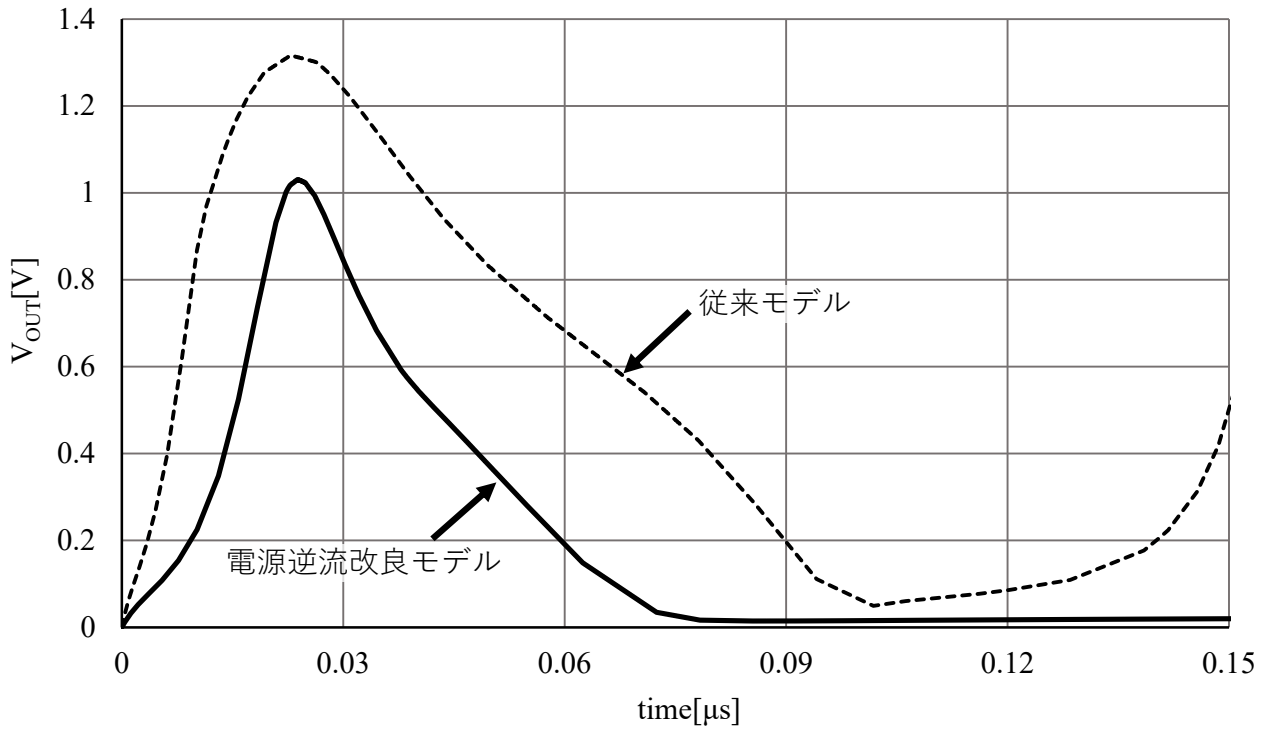


図 3.1.3 過渡解析検証結果(自励振モデル)

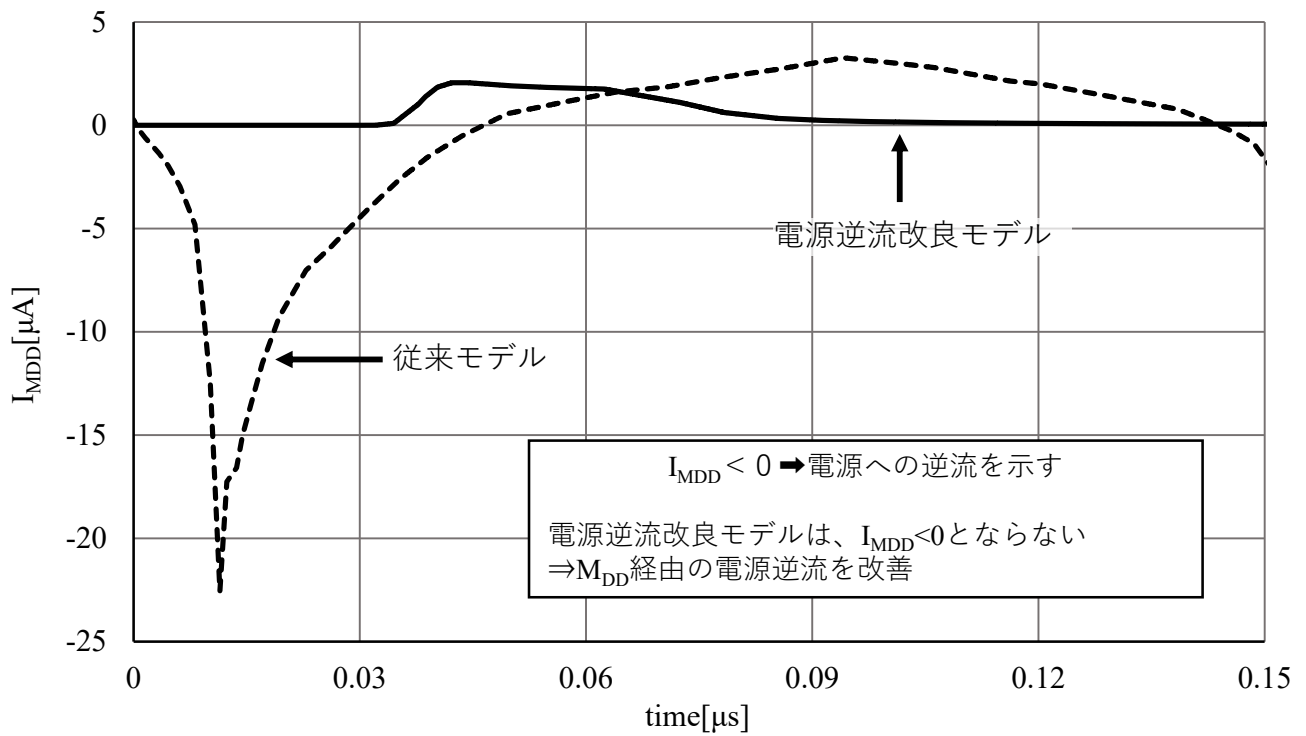


図 3.1.4 M_{DD} を経路とした電源電流

3.2 振幅を補償したモデル

3.2.1 電源逆流対策モデルの問題点と改良指針

前項により、従来モデルにて発生していた電源ラインに対する電流逆流の改善を行うことができ、さらに VLSI 化をするうえで専有面積が非常に大きくなる静電容量である C_G を低容量化することが可能となり、低面積化することができることを示した。しかし一方で、前項の改良による副次的な作用により、発火振幅の減弱が発現した。S/N 比やしきい値処理などを考えた場合、発火振幅の減弱は大きな不利として働くことが予想されるため、減弱した振幅を補償する必要がある。通常、振幅の補償には演算増幅器を使用することが考えられるが、P-HCNM の最低電圧が 0V であるため凸ピーク、および凹ピークはどちらも正の値であるためそのまま増幅すると電源電圧の制約により凸ピークが上限電圧に達し、凹ピークも増幅されることから振幅が減少してしまう可能性がある。また、演算増幅器は VLSI 化をするうえで面積の占有率が非常に高い素子となるため、多数実装する P-HCNM の振幅補償用途としては不適切である。このことから、演算増幅器に頼らない振幅補償を行う必要があり、またその補償は少ない専有面積にて実施可能であることが望ましい。振幅の補償を行うにあたり、振幅の減弱原因について述べるため、 V_{OUT} に対する C_G の充放電流アトラクタを作成した。

図 3.2.0 に V_{OUT} に対する C_G の充放電流アトラクタを示す。同図において、横軸を経過時間、縦軸を各モデルの出力電圧 V_{OUT} とし、●プロットに従来モデルの結果を、△プロットに改良モデルの結果を示す。図 3.1.3 の発火時における C_G への充放電流をアトラクタ化したものである。同図に示すとおり、 C_G の充放電流が負の値をとる、すなわち C_G の両端電位減少が発生する V_{OUT} が、従来モデルと比べ改良モデルのほうが -0.31V 程度シフトしている。 V_{OUT} の振幅差は 0.3V 程度であるため、 C_G の放電が生じはじめる V_{OUT} の差が振幅に対し直接的に影響を与えていることが推定できる。この差は、前項でも述べたとおり、従来モデルでは C_G の放電を M_{DD} の PN 接合ダイオードが大部分を担っており、 M_{DD} のドレイン-ソース間電圧 V_{MDD_DS} は

$$V_{MDD_DS} = V_{OUT} + V_{ANB} - 1.8V \quad (3.5)$$

となるが、 V_{ANB} が V_{DD} を下回る状態の場合、 V_{MDD_DS} がダイオードのしきい値 V_{TH} を満たすためには

$$V_{OUT} > V_{TH} + (V_{ANB} - 1.8V) \quad (3.6)$$

となる必要がある。 V_{ANB} の最大値は電源電圧である 1.8V であるが、 V_{OUT} の微増で V_{ANB} は多少でも減少するため、その減少分が V_{OUT} の上昇余裕として転用される。一方で、改良モデルでは、ドレイン-ソース間電圧が飽和領域となるのに十分な値であるため、 V_{ANB} が微小に減少をした場合でも、飽和領域における MOSFET のドレイン-ソース間電流に変動は発生しづらいため、 V_{OUT} の上昇余裕として転用されない。以上により、従来モデルと改良モデルの振幅差が発生している。この問題は、 C_G の放電が開始される V_{OUT} の差により発生するため、問題解決のためには、 C_G から放電が

始まる V_{OUT} を高電位側にシフトすればよい。通常、特性を単純にシフトさせる場合は、シフト量に応じた外部電源を用いることが考えられるが、VLSI 化するうえで複数の電源電圧を使用することは容易でないため、MOS ダイオードを疑似的な電源としてシフトさせる構成を採用する。

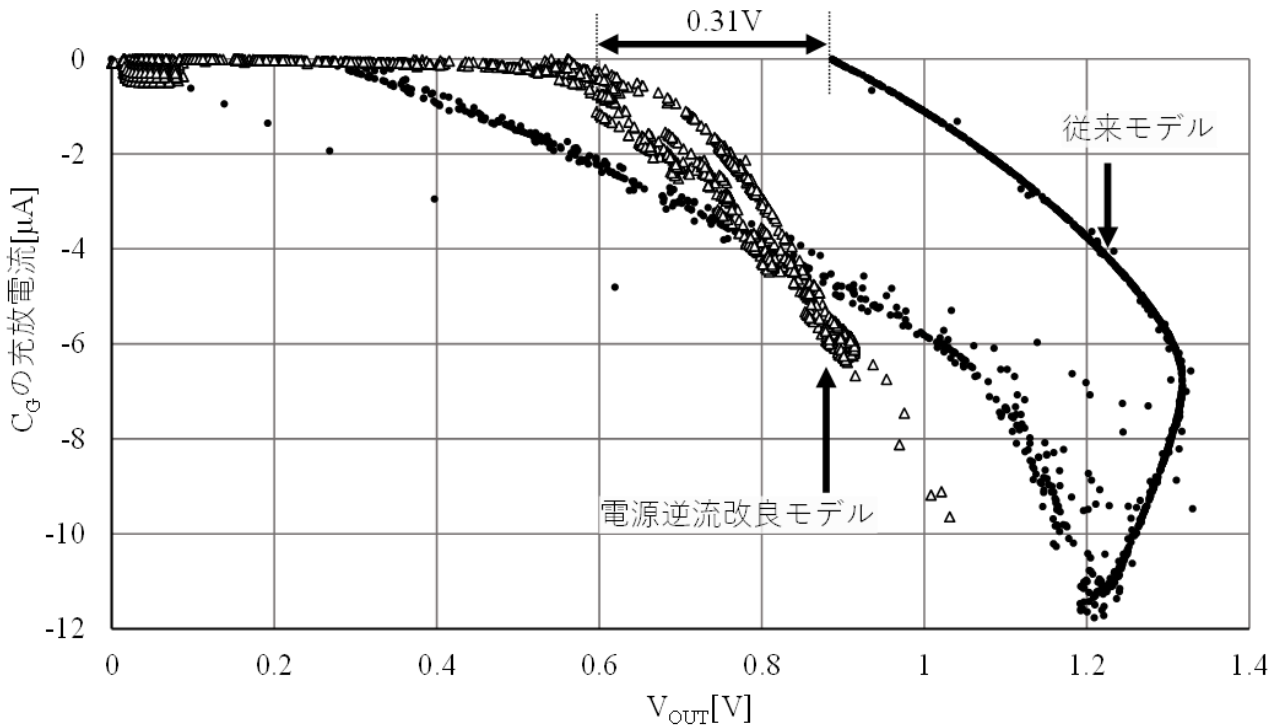


図 3.2.0 V_{OUT} に対する C_G の充放電流アトラクタ

3.2.2 振幅補償モデルの構成と解析結果

図 3.2.1 の右図に、振幅補償を施したモデルを示す。同図は、図 3.1.1 で示した電源逆流対策モデルの M_{DR} ソース電位に対して電位シフト用素子 M_{LT} を挿入した構成とした。 M_{LT} はゲート電位とドレイン電位を短絡した MOS ダイオードであるため、 M_{DR} が一定以上の電流を流そうとした際に、 M_{LT} の両端に安定的な電位を発生させることができる。この電位は疑似的な電源としてみなすことができるため、図 3.2.0 の特性を右へとシフトさせることができる。 M_{LT} の効果を確認するため、回路シミュレータにてシミュレーションを行う。使用する素子値は表 3.2 に示すとおりである。表 3.1 に記載した項目に手を加えず、新たに追加した M_{LT} は M_{DR} と同じ素子値とした。

図 3.2.2 に、表 3.2 に記載したパラメータを適用した図 3.1.1 に対し、回路シミュレータ HSPICE にて過渡解析を行った結果を示す。シミュレーション条件は図 3.1.3 と同様とした。同図において、横軸を経過時間、縦軸を各モデルの出力電圧 V_{OUT} とし、実線に改良モデルの結果を、破線に従来モデルの結果を、点線に電源逆流改良モデルの結果を示す。同図に示すとおり、振幅補償モデルの出力波形は 1.68V まで到達しており、0.6V 程度の振幅補償ができています。従来モデルと比較しても 0.3V 以上の改善することができており、また設計した HIGH 側安定点である 1.74V をほぼ満た

すことができているため、十分な S/N およびしきい値余裕を確保できている。これは、振幅補償を用いることで、電源電圧に対する振幅電圧を従来の 73.8% から 94.4% へと改善することが可能であることを示している。

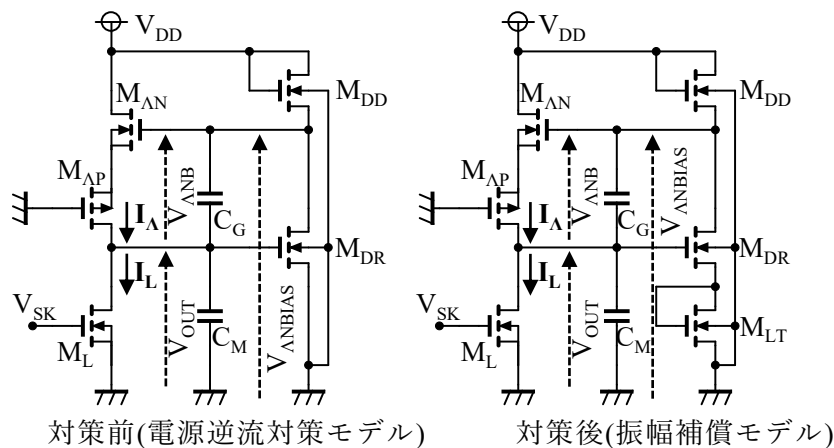


図 3.2.1 振幅補償モデルの構成

表 3.2 図 3.1.1 で使用した素子値(表 3.1 からの変更点)

name	振幅補償モデル	改良モデル
M _{LT}	L=5.0μm, W=0.5μm, M=2	none

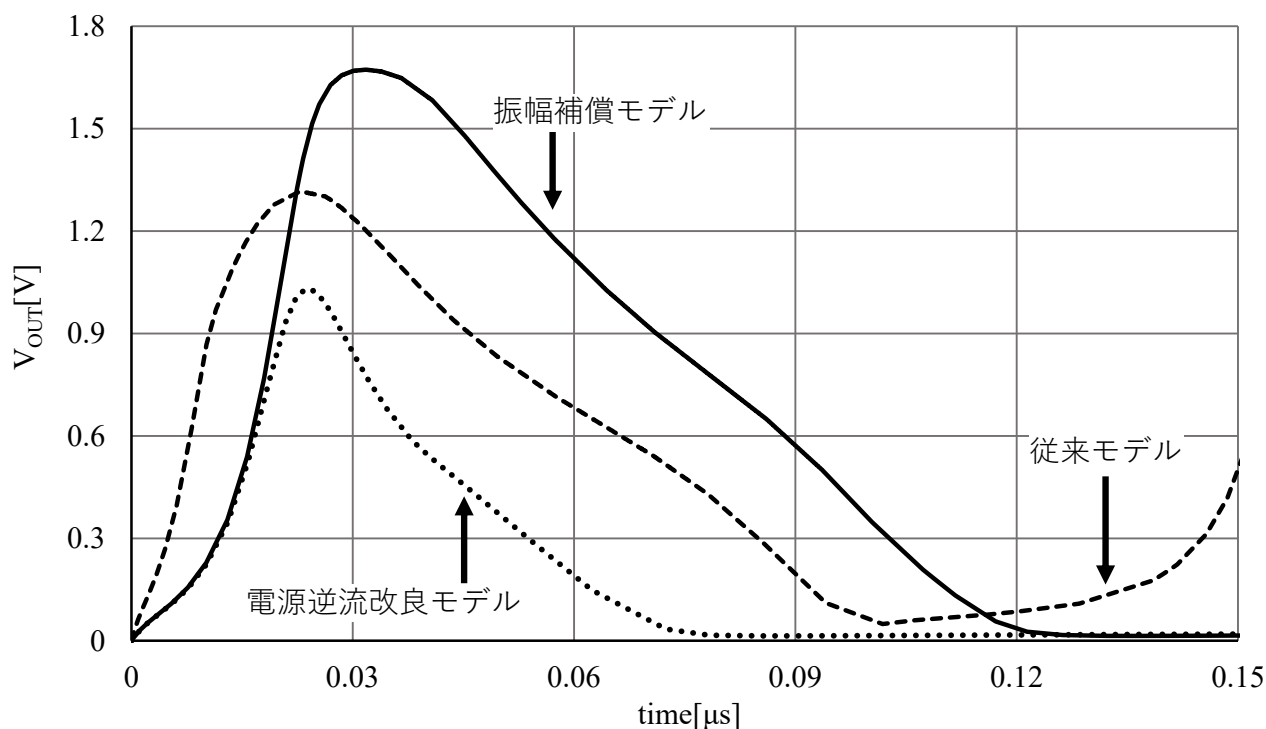


図 3.2.2 過渡解析検証結果(自励振モデル)

図 3.2.3 に、 M_{LT} の動作を確認するため、 V_{OUT} に対する C_G の充放電流をアトラクタ化したグラフを示す。同図において、横軸を V_{OUT} 、縦軸を C_G の充放電流とし、 \triangle プロットに電流逆流改良モデルの結果を、 \blacksquare プロットに振幅補償モデルの結果を示す。同図に示すとおり、 C_G が放電される V_{OUT} が 0.4V 程度とシフトされている。これは、 V_{OUT} が上昇前の V_{ANB} が低下を抑制することにより、振幅を補償すること可能であることを示している。

図 3.2.4 に、 V_{OUT} に対する V_{ANB} の変動アトラクタを示す。同図において、横軸を V_{OUT} 、縦軸を各モデルのバイアス電圧 V_{ANB} とし、 \bullet プロットに従来モデルの結果を、 \triangle プロットに電流逆流改良モデルの結果を、 \blacksquare プロットに振幅補償モデルの結果を示す。同図に示すとおり、電流逆流改良モデルの描くアトラクタに対し、振幅補償モデルのアトラクタは V_{OUT} が低電位である場合はほぼ同等の軌道となる。一方、 V_{OUT} が高電位である場合は、急激な減少に転じる V_{OUT} が 0.7V 以上差がある。 V_{OUT} の低電位側に影響を与えず、高電位側のみに変化を与えることが出来ていることから、電源逆流対策モデルに対し振幅補償のみを付加することが出来ている。以上により、本構成を用いることで、逆流対策を損なうことなく振幅に対して保証を行うことが出来ることを示した。なお、電源逆流対策モデルに対し 1 素子追加をした構成であるため、レイアウト面積が $5\mu\text{m}^2$ 増加する。キャパシタのレイアウト面積が $200\mu\text{m}^2$ であるため、レイアウト面積の増加による影響は限定的である。

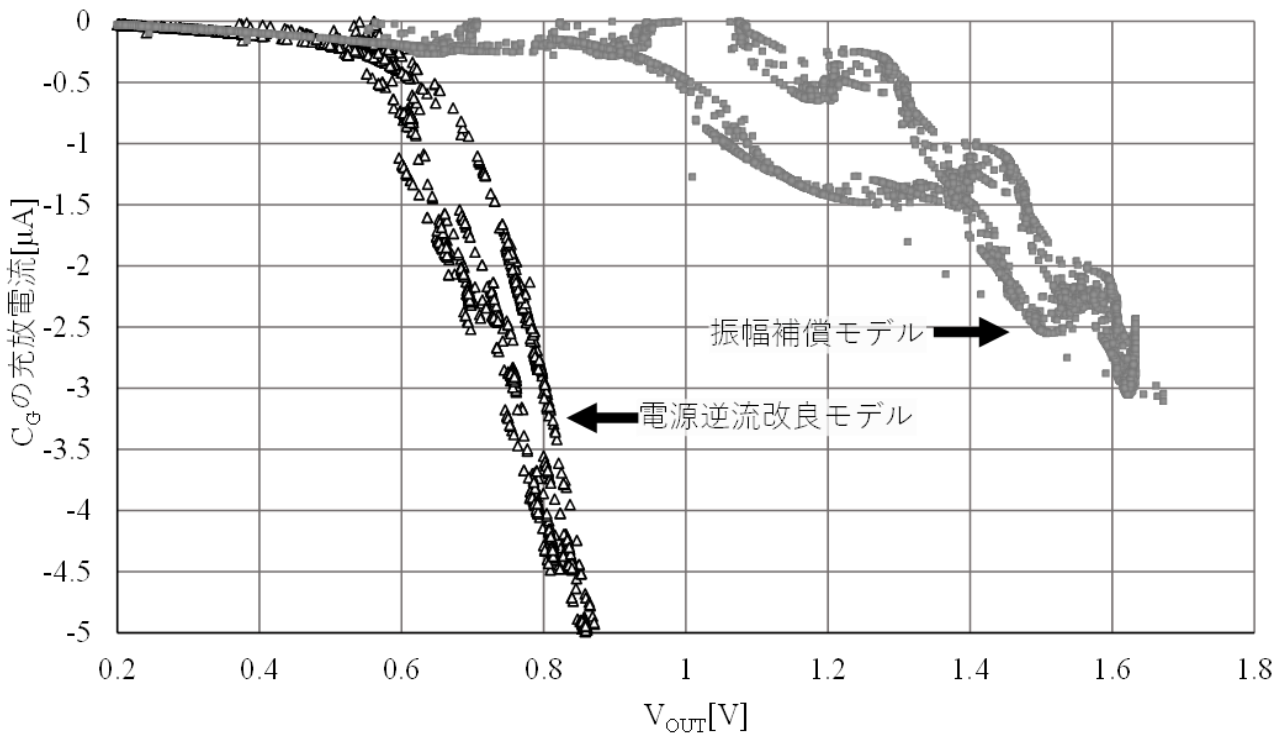


図 3.2.3 V_{OUT} に対する C_G の充放電流アトラクタ

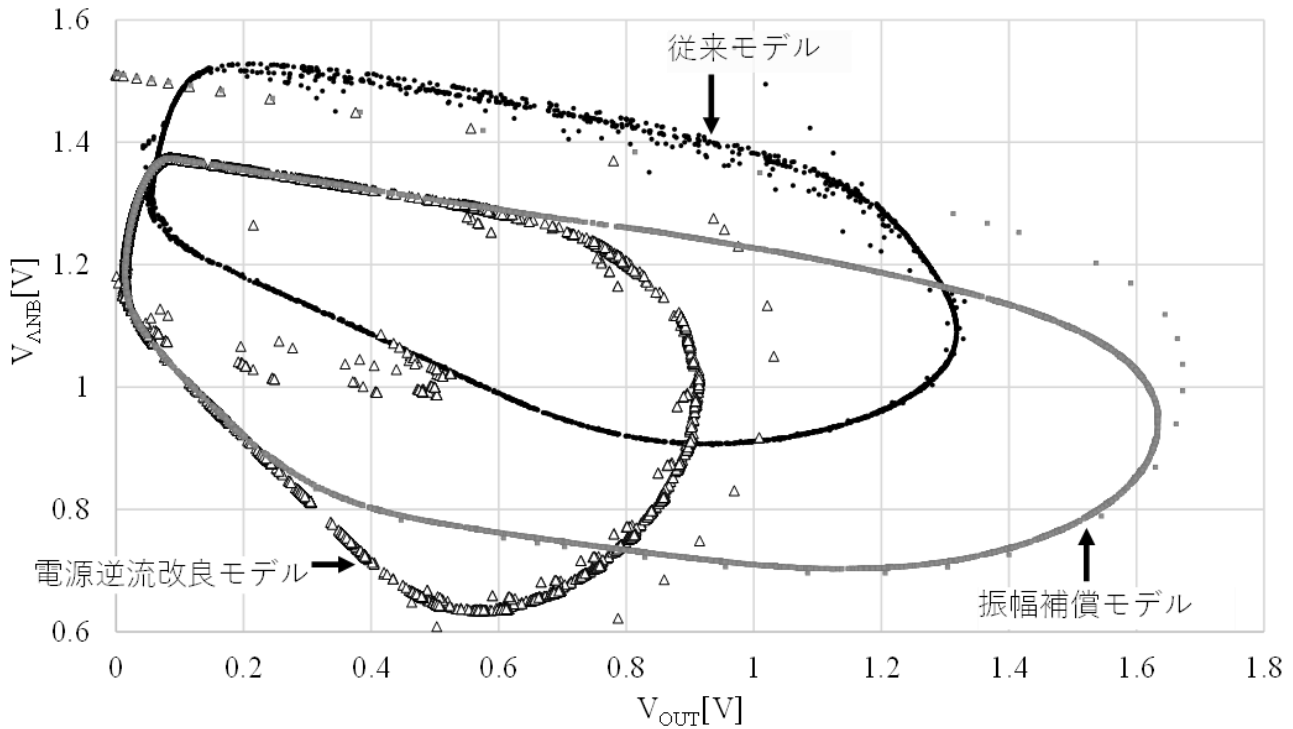


図 3.2.4 V_{OUT} に対する V_{ANB} のアトラクタ

3.2.3 素子ばらつきによる発振への影響

2章で示したとおり、 Λ 形負性抵抗はばらつきに対して敏感に反応し、特性が変わる素子である。したがって、 Λ 形負性抵抗を組み込んでいる P-HCNM もその影響を大きく受ける。特に、自励振モデルを設計する場合は出力電圧が 0V における出力電流 n を、負荷電流源の電流値と比較して大きくなるよう設計する必要がある。他励振モデルを設計する場合は Λ 形負性抵抗の出力電圧が 0V における出力電流 I_{Λ} を、負荷電流源の電流値 I_L を比較して小さくなるよう設計する必要がある。一方で、極端な設計をした場合は 2 つの単安定状態を行き来することが出来ず発火が成立しないことがあるため、出力電圧が 0V における I_{Λ} と I_L は、かけ離れた設計をすることが出来ない。したがって、ばらつきの影響により生じたわずかな出力電圧が 0V における出力電流の変化が、自励振モデルおよび他励振モデルは設計とは異なる挙動を招く可能性がある。ばらつきの影響を観測するため、P-HCNM に対しても 2.1.3 と同様にコーナー解析を行う。ただし、NSPS,NFPP,NFPS,NSPF のみを行う本来のコーナー解析とは異なり、TYPICAL を含めた解析を行った。コーナー解析の結果を表 3.3 に示す。表に示すとおり、自励振として設計した図 3.2.2 の P-HCNM における NSPS,NTPS,NSPT の 3 コーナーで、自発的な発振が確認できない、他励振モデルとしての状態へと切り替わっている。NTPT,NFPP 間では発振周波数が 100 倍程度の違いが生じている。このモデルをネットワークに使用した場合、意図しない挙動、例えば刺激電流を受けて信号を発することで想起表現を行うネットワークにて、刺激電流がない状態で発火動作を行い、本来必要であった発火時

間差や発振周波数の相関関係を破損させるなどが考えられるため、対策が必要である。

表 3.3 コーナー解析結果(設計：自励振)

コーナー解析		n 型 MOSFET		
		SLOW	TYPICAL	FAST
p 型 MOSFET	SLOW	Failure	Failure	74kHz
	TYPICAL	Failure	42kHz	1.1MHz
	FAST	23kHz	73kHz	4.6MHz

3.3 まとめ

第 3 章冒頭で述べたとおり、P-HCNM の入出力回路を 1 つの制御電圧により制御するためには、P-HCNM のバイアス電圧が設計済みであることが求められる。したがって、本章では励振状態を制御する回路を提案する前に、P-HCNM のバイアス回路に起因する課題について検討を行った。本章の結果をまとめると、以下ようになる。

- (1) バイアス電圧を時間的にダイナミックに変化させる電流経路に用いた MOSFET を p 型 MOSFET から n 型 MOSFET へと変更することで、電源への逆流を防ぐことができ、またバイアスに用いてきたキャパシタの容量値を 3 分の 1 に削減することが可能であることを明らかにした。この結果により、IC チップを作製した際の電源電圧変動を抑えることが期待でき、また静電容量を削減することでより高集積化することが可能となる。
- (2) バイアスに用いてきたキャパシタを低容量化することにより発振周波数が上昇し、それに伴い出力電圧が n 型 MOSFET のしきい値を満たすことが困難となった。その対策として、バイアスに用いてきたキャパシタの放電経路に疑似電源としてダイオード接続した n 型 MOSFET を挿入することで対策を行った。その結果、電源電圧 1.8V を使用したモデルの場合、対策前に比べ 0.6V の振幅補償が可能であることを明らかにした。また、振幅補償を用いることで、電源電圧に対する振幅電圧を従来の 73.8%から 94.4%へと改善することが可能であることを明らかにした。
- (4) 本章では、P-HCNM のバイアス回路に対する検討を行ったが、励振状態に関わる P-HCNM の入出力回路部に対しては検討を行っていない。素子特性ばらつきに対する補償機構を提案していないため、電源逆流の対策や振幅補償を行う構成のみでは、グローバルばらつきに対する耐性をもたないことを解析により明らかにした。そのため、P-HCNM において VLSI のばらつきに関わらず自励振モデル・他励振モデルを安定して設計するためには、VLSI のばらつきによる MOSFET の静特性形状の変化に関わらず、励振状態を制御可能な回路構成を提案する必要がある。

第4章 VLSI実装を考慮した自動補正機構を有する

パルス形ハードウェアカオスニューロンモデル

4.1 負性抵抗素子特性の原点補正回路を用いた他励振制御モデル

前章にて述べたとおり、P-HCNMはVLSIの製造ばらつきや温度変化などによる素子の静特性ばらつきにより、自励振モデルや他励振モデルなどの励振状態が変動する。これは、主に図2.1.5に示した、VLSIのグローバルばらつき(ロットばらつき)によるP-HCNMが0Vにおける Λ 形負性抵抗出力電流の $I_{\Lambda 0}$ が大きく変動し、図2.0.3に示した多安定回路の状態が変動することに起因する。したがって、励振状態を正しく設定するためには、VLSIのばらつきに依存せず、一意の $I_{\Lambda 0}$ に設定できる必要がある。しかし、 $I_{\Lambda 0}$ を制御する方法はこれまで提案されていない。ここで、図2.1.2で示した、 Λ 形負性抵抗の(I)無通電領域(II)負性抵抗領域(III)正抵抗領域(IV)通電領域の4領域について考える。この領域の中で、 $I_{\Lambda 0}$ に関係する領域は(I)および(II)である。この2つの領域の境界は、式(2.8)に示したとおり、MOSFETのしきい値電圧と、 Λ 形負性抵抗に印加したバイアス電圧のみで表すことが可能である。この境界となる電圧が、P-HCNMの出力電圧 $V_{OUT}=0V$ となるようなバイアス電圧を与えたとき、 $I_{\Lambda 0}$ は0Aとなることを保証できる。なお、 V_{OUT} および $I_{\Lambda 0}$ がそれぞれ0であるため、静特性グラフ上のy軸切片が原点にくるよう補正を行うことに等しい。そのため、 Λ 形負性抵抗に用いたMOSFETのしきい値についてのみ着目し、しきい値電圧を常にモニタリングすることで適切なバイアス電圧となるよう補正を行えば、VLSIのばらつきによる静特性形状が変化した場合でも、一意の $I_{\Lambda 0}$ を保証することが可能である。したがって、本項では Λ 形負性抵抗に用いたMOSFETのしきい値電圧から適切なバイアス電圧を供給可能な原点補正回路を提案し、P-HCNMの過渡応答について解析を行った。 $I_{\Lambda 0}$ が0Aであることから常に負荷電流 I_L を下回る、これは、図2.0.3に示したとおり、P-HCNMを他励振モデルとしてのみ動作させることが可能である。本来であれば安定的に自励振モデル・他励振モデルの両方を設計できることが望ましいが、他励振モデルを安定的に設計できる場合、他励振モデルに対し一定の刺激電流を印加することで自励振モデルと等価なモデルとして使用することが可能であると考えた。

4.1.1 素子ばらつきによる自励振、他励振モデルの移行要因

図4.1.1に、P-HCNM内の Λ 形負性抵抗出力電流及び負荷電流源の静特性を示す。同図は、2章の多安定回路にて説明したとおりであるが、 Λ 形負性抵抗と負荷電流源の2特性が多数の交点を持つことにより、多安定解をもつようになる。この特性のうち、自励振モデルとなりうるのは、図中のバイアス1.5Vおよび2.1Vであるが、発火を成立させるためには発火動作中にバイアス電圧が低下し、バイアス0.8Vの状態へと移行する必要がある。発火中に変動すべきバイアス電圧の値

が大きい場合、バイアス 0.8V の状態になる前に安定解にたどり着き、減少動作が停止することで発火波形と呼ぶことのできない状態が形成される可能性がある。したがって、変動するべきバイアス電圧の大きいバイアス 2.1V の特性ではなく、バイアス 1.5V の状態にすることが望ましい。一方、他励振モデルとなりうるのは、図中のバイアス 0.9V および 1.4V であるが、バイアス電圧が低くなるほどしきい値電圧は高くなり、振幅は小さくなる。また、バイアス電圧を低く設定しすぎた場合、バイアス 0.8V の単安定回路状態となり、どのような刺激に対しても発火が成立しない状態となる。発火しきい値および単安定回路化までの電圧余裕を考えると、バイアス 1.4V の状態にすることが望ましい。以上から、自励振モデルではバイアス 1.5V の状態に、他励振モデルではバイアス 1.4V にすることが望ましいが、この 2 状態は負荷電流源特性を挟んで非常に近接した特性関係にあり、小さなばらつきで他励振と自励振が入れ替わる可能性がある。表 3.3 で発生した事例は、MOSFET 導電率が下がる SLOW 条件となることで Λ 形特性が下方へとシフトし、負荷電流源特性と交点を持ってしまったことにより自励振モデルから他励振モデルへと移行したと考えられる。この変動は、出力電圧が 0V における出力電流の設計により、 Λ 形負性抵抗特性が常に負荷電流源特性を上回るか、一部において下回るかにより決まるが、 Λ 形負性抵抗の負性抵抗特性を制御することは困難である。一方で、第 2 章の式(2.9)に示したとおり、 Λ 形負性抵抗がしきい値を満たし電流を流し始める V_{OUT} を探すことはとても容易である。しきい値電圧を $V_{OUT}=0V$ に設定した場合、 Λ 形負性抵抗特性は原点を通る特性になるため、出力電圧が 0V における出力電流も同時に 0A となる。この特性は、出力電圧が 0V における出力電流が 0A であるため必ず負荷電流源特性と交点を持つことが出来る。したがって、このしきい値電圧を満たすバイアス電圧を生成することが出来れば、安定して他励振モデルとして稼働可能なモデルを構築することが出来る。本項では、このしきい値を満たすことが可能なバイアス回路の構築を行った。

図 4.1.2 に、外部からバイアス制御を受けることが可能な P-HCNM の回路図を示す。バイアスを設計する場合において、 V_{ANB} はキャパシタで構成される動的に変動する値であるため、こちらの値を用いて補正を行うことは困難である。したがって、これまでの回路上では接地電位としていた M_{AP} のゲートを用いて補正を行う構成とした。この回路の V_{APBIAS} 端子に対し、式(2.9)を満たす入力を加えればよい。 V_{APBIAS} は

$$V_{APB} = V_{DD} - V_{APBIAS} \quad (3.7)$$

であるため、

$$(V_{ANB} + V_{APB}) = (V_{ATP} + V_{ATN}) + (V_{DD} - V_{OUT}) \quad (2.9')$$

に代入すると

$$V_{APBIAS} = V_{ANB} - (V_{ATP} + V_{ATN}) + V_{OUT} \quad (3.8)$$

となる。ここで、今回は原点にて Λ 形負性抵抗のしきい値条件が持たされるため

$$V_{OUT} = 0 \quad (3.9)$$

となり、また V_{ANB} は

$$V_{ANB} = V_{ANBIAS} - V_{OUT} \quad (3.10)$$

であるため式(3.9)を代入すると

$$V_{ANB} = V_{ANBIAS} \quad (3.11)$$

となる。よって、式(3.8)は

$$V_{APBIAS} = V_{ANBIAS} - (V_{ATP} + V_{ATN}) \quad (3.12)$$

となる。この数式を見ると、 V_{ANBIAS} から Λ 形負性抵抗として使用している 2 つの MOSFET のしきい値を減算した電圧を P-HCNM に印加すればよい。 V_{ANBIAS} は M_{DD} , M_{DR} および M_{LT} で構成されるバイアス部の $V_{OUT}=0V$ における静的な電圧であるため、 C_M および C_G を開放として考え、 $V_{OUT}=0V$ とした構成を用いることで生成することが可能である。この値から、 Λ 形負性抵抗のしきい値を減算する回路構成を構築することで、 $V_{OUT}=0V$ に Λ 形負性抵抗のしきい値条件を満たすことが可能な V_{APBIAS} を生成するバイアス回路ができる。

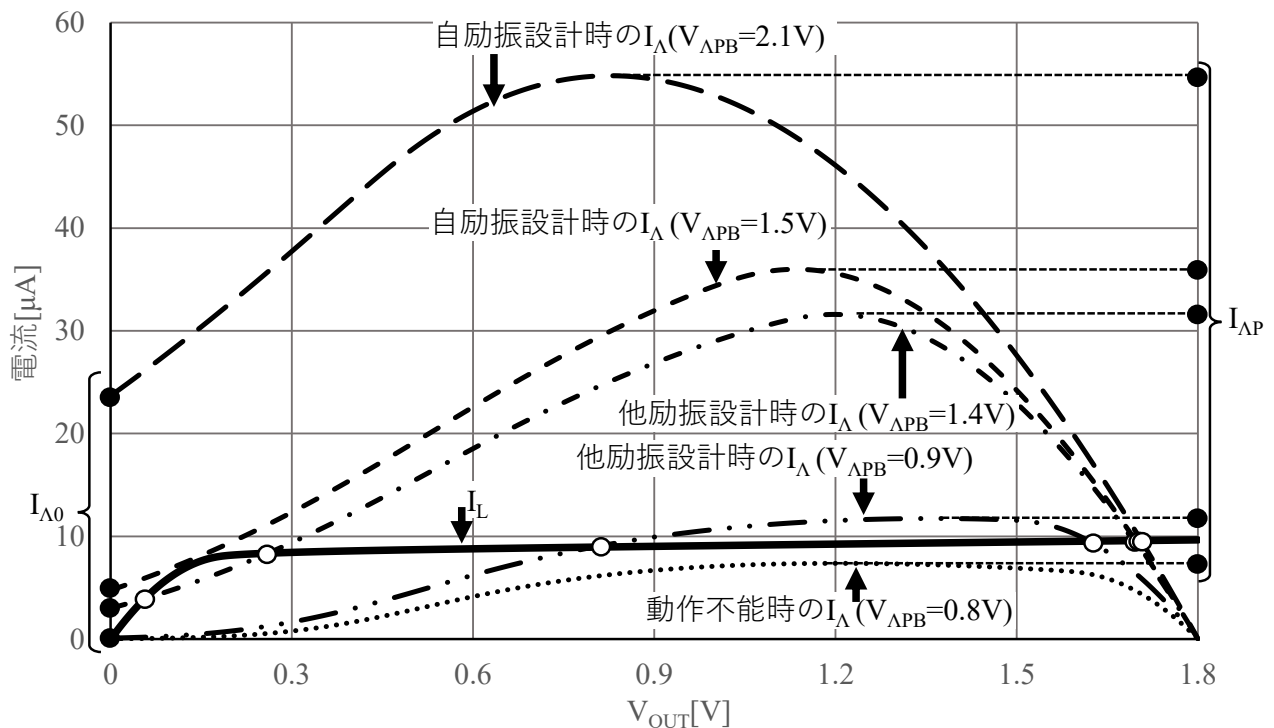


図 4.1.1 バイアス設計

4.1.2 Λ 形負性抵抗の原点補正回路

図 4.1.3 に、 Λ 形負性抵抗特性原点補正回路の構成を示す。同図は、基本の構成及びパラメータを図 4.1.2 と同一のものとし、時定数要素である C_G および C_M を除外したものである。同図の構成は、 M_{DDD} および M_{DDR} , M_{DLT} にて疑似的な V_{ANBIAS} を生成し、 Λ 形負性抵抗を想定した n 型 MOSFET である M_{DAN} のゲートに印加する。 M_{DAN} はドレイン電圧が固定されたソースフォロアとして動作するため、 M_{DAN} のソース電位 V_{AD} は

$$V_{AD} = V_{ANBIAS} - V_{ATN} \quad (3.13)$$

となる．なお， Λ 形負性抵抗の出力電流は $0A$ であることを想定しているため本来 I_D に設定すべき電流値も $0A$ であることが望ましいが，ソースフォロアがしきい値分の電位減少を引き起こすためには最小限の電流負荷が必要である．今回， I_D は Λ 形負性抵抗が流す電流オーダーが μA であることを踏まえて $0.1\mu A$ に設定した．目的となる V_{APBIAS} を生成するためには，さらに Λ 形負性抵抗 M_{AP} のしきい値分を減算する必要があるが， M_{AN} とは異なりドレイン側に電位を生成する必要があるためソースフォロアによる減算はできない．したがって， M_{DAP} のゲート電位とドレイン電位を短絡した MOS ダイオード構成を用いることで， V_{APBIAS} の電位は V_{AD} から MOS ダイオードしきい値分減算された

$$V_{APBIAS} = V_{ANBIAS} - V_{ATN} - V_{ATP} \quad (3.14)$$

となる．この値は式(3.12)と同一であるため，本構成を用いることで Λ 形負性抵抗の原点補正回路を構成することが出来る．

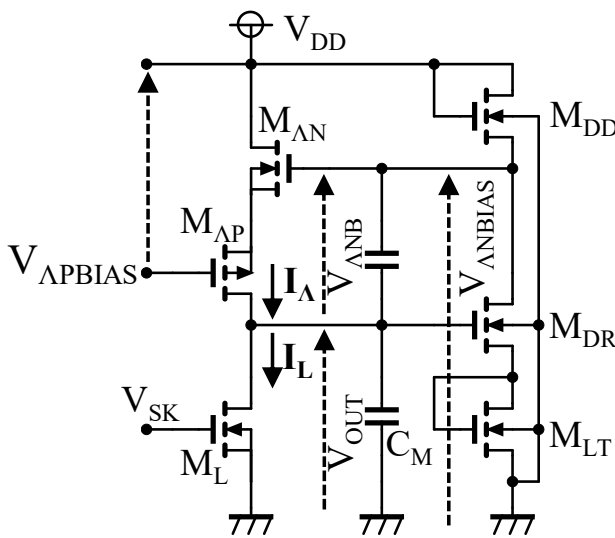


図 4.1.2 振幅補償モデル(補正対象)

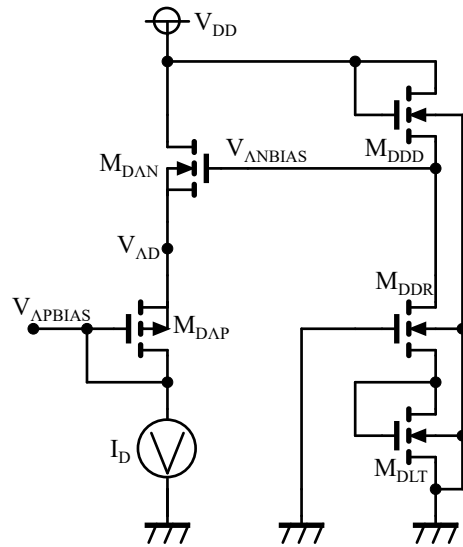


図 4.1.3 原点補正回路の構成

図 4.1.4 に補正用バイアス回路を用いない場合のコーナー解析を，図 4.1.5 に補正用バイアス回路を用いた場合のコーナー解析を示す．同図において，横軸に V_{OUT} を，縦軸に Λ 形負性抵抗出力電流を示す．なお，素子値は表 3.2 のパラメータを使用した．また，図 4.1.3 の素子値についても表 3.2 と同様とした．図 4.1.4 に示すとおり，補正回路を用いない場合，素子特性のばらつきによりピーク値で $17\mu A$ ，出力電圧が $0V$ における出力電流で $7\mu A$ の差が生じている．それに対し，図 4.1.5 に示すとおり，補正回路を用いた場合はピーク値で $5\mu A$ ，出力電圧が $0V$ における出力電流では $0.01\mu A$ の差まで収まっている．特に，出力電圧が $0V$ における出力電流は最大でも $0.101\mu A$ であるため，原点補正が機能していることを示している．これは，負荷電流源を $0.1\mu A$ 以下に設定しない条件において，他励振モデルとして設計した P-HCNM が自励振モデルとして誤作動しないことを示している．

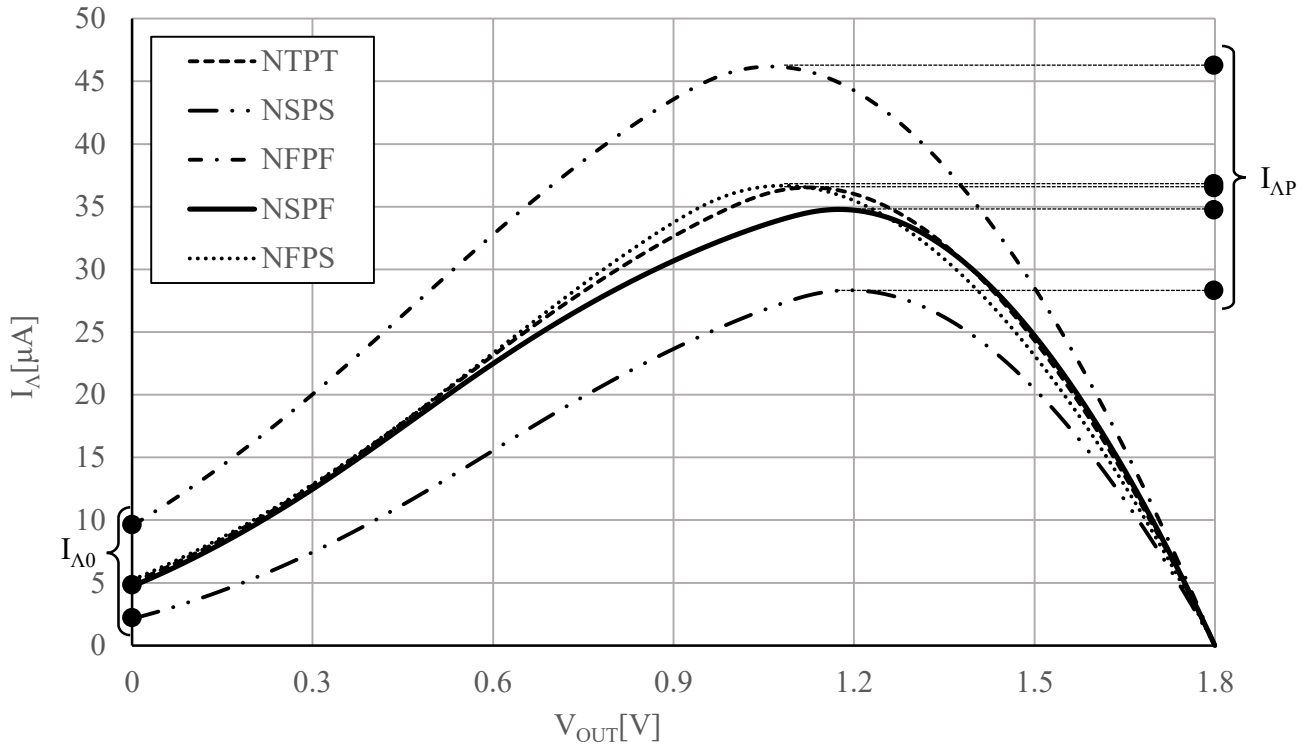


図 4.1.4 コーナー解析(補正回路なし)

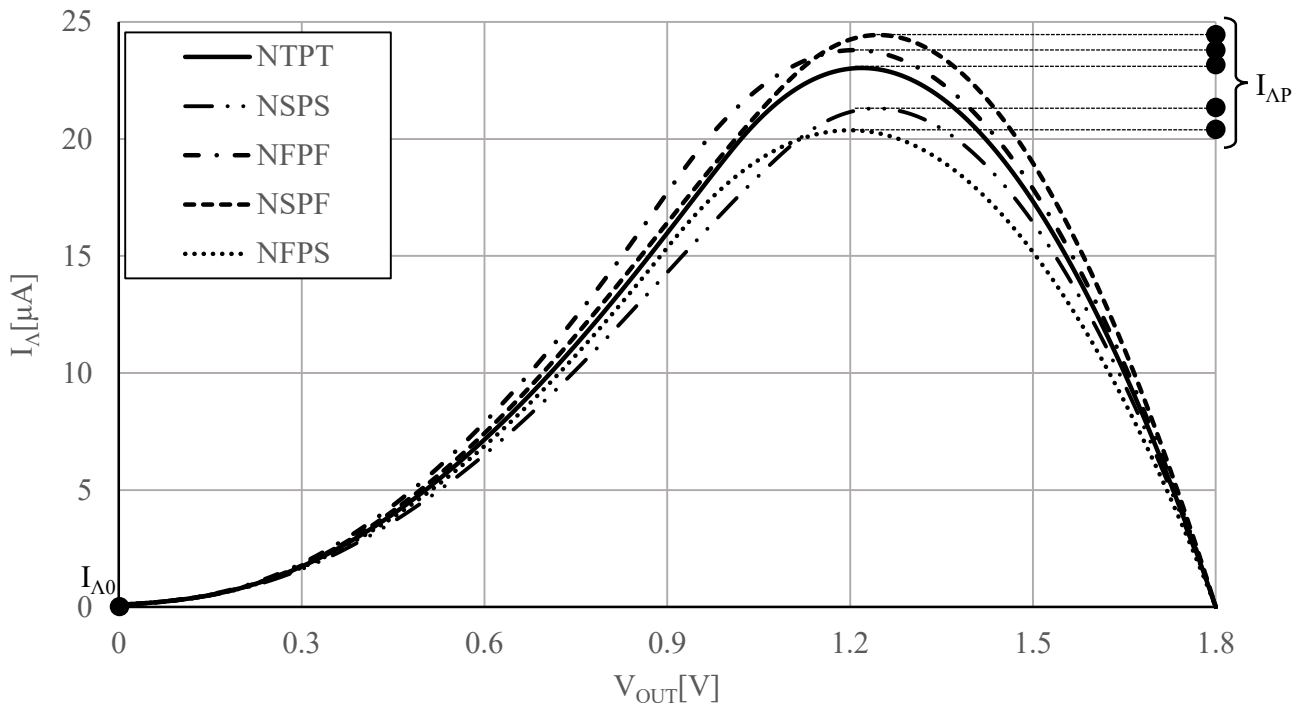


図 4.1.5 コーナー解析(補正回路あり)

4.1.3 ニューロンモデルのグローバルばらつき耐性への影響

表 4.1 および表 4.2 に、 Λ 形負性抵抗の原点補正回路を使用した図 4.1.2 の過渡解析結果（コーナー解析）結果を示す。素子値は引き続き表 3.2 を使用した。表 4.1 は、他励振として設計したモデルが自発的振動をしないことを確認する目的でシミュレーションを行った。シミュレーション条件として V_{OUT} の初期電圧を 0V に設定し、P-HCNM に対しては外部刺激電流を加えないものとした。自発的振動をしないことを確認できるサンプルを正常品としたため、表 4.1 に望むべき結果は 0Hz となる。表 4.1 に記載のとおり、どのコーナーに対しても発振周波数は 0Hz(発火せず)であるため、他励振モデルとみなす条件の一つである自発的発振をしないことを示している。表 4.2 は、他励振モデルとして設計したモデルが、外部刺激に対して発振動作することを確認する目的でシミュレーションを行った。シミュレーション条件として、 V_{OUT} の初期値を 0V に設定し、0~1ms は外部刺激電流を入力せず、1ms 以降に外部刺激電流として $4\mu\text{A}$ を入力した。その結果、0~1ms の間は発振せず、1ms 以降は表 4.2 に示すようにどのコーナーにおいてもほぼ一定の周波数で発振する。これは、他励振モデルとみなす条件の一つである外部刺激に対する継続発振を行うことが出来ることを示している。以上により、本モデルを用いることで、グローバルばらつきに対して高い歩留まりで他励振モデルとして動作させることが可能である。なお、自励振モデルは、他励振モデルに対して内部に吐き出し電流源を持つことで疑似的に作製することが出来る。

表 4.1 コーナー解析結果(設計：他励振+外部刺激なし)

コーナー解析		n 型 MOSFET		
		SLOW	TYPICAL	FAST
p 型 MOSFET	SLOW	0Hz(発火なし)	0Hz(発火なし)	0Hz(発火なし)
	TYPICAL	0Hz(発火なし)	0Hz(発火なし)	0Hz(発火なし)
	FAST	0Hz(発火なし)	0Hz(発火なし)	0Hz(発火なし)

表 4.2 コーナー解析結果(設計：他励振+外部刺激 $4\mu\text{A}$)

コーナー解析		n 型 MOSFET		
		SLOW	TYPICAL	FAST
p 型 MOSFET	SLOW	30.2kHz	27.5kHz	27.7kHz
	TYPICAL	30.3kHz	27.5kHz	27.9kHz
	FAST	32.3kHz	29.2kHz	29.7kHz

4.1.4 レイアウト設計図

グローバルばらつきに対する耐性をシミュレーションにて確認したので、本項では実際の IC チップに本回路をレイアウト実装し実測を行う。レイアウトにはローム社の CMOS プロセス(0.18 μm)を用い、ターゲットチップサイズは 2.5mm 角、パッケージにはセラミックタイプの QFP80(80 ピン)を用い、IC チップとピンの接続として金ワイヤボンディングされている。なお、IC チップ-パッケージ間に対して樹脂埋めは行われていない。これは、完成したチップの顕微鏡による観察目的のほかに、樹脂パッケージが IC チップに対して与える圧力による特性ばらつきを防ぐための措置であり、本チップにおいて IC チップに対して加えられる圧力ソースはボンディングワイヤのほか、IC チップとパッケージを固定するための接着剤の 2 系統に限定される。したがって、IC チップ中央に対しレイアウトを行うことで、圧力に対する試作品への影響を最小限に抑えることが出来る。今回のレイアウトは、主に IC チップ中央に対して配置を行った。IC チップにレイアウトした P-HCNM の素子値を表 4.3 に示す。ローカルばらつきの影響を抑え、グローバルばらつきの影響のみを見るため、すべての素子において表 3.2 より大きい値を使用した。また、ダミーを簡易的に作るため、マルチ数は主に 1 とした。

図 4.1.6 に、P-HCNM のレイアウト図を示す。同図は、P-HCNM を 4 個実装したものである。本レイアウトは IC チップの中央部に作製しており、IC チップ外周に設置されている電源/GND ラインとの距離が長く配線インピーダンスが高くなり、またアンテナ効果によりノイズが乗りやすくなるため、レイアウト中央右に対し 960fF のデカップリングコンデンサを 2 つ追加実装した。レイアウトは主に 4 つのブロックに分けて実装し、レイアウト右下には Δ 形負性抵抗およびバイアス回路を、レイアウト左下には基準電流源を、レイアウト左上には基準電流源をもとにした負荷電流源を、レイアウト右上には C_M および C_G を実装した。今回は発火動作に対してのみ着目するため、レイアウト面積効率については考えていない。

表 4.3 レイアウト用パラメータ

name	ゲート長	ゲート幅	マルチ数	備考
M_{AP}	1.8 μm	5.0 μm	1	
M_{AN}	1.8 μm	5.0 μm	1	
M_{SK1}	1.8 μm	5.0 μm	1	
M_{SK2}	1.8 μm	5.0 μm	1	
M_{DD}	1.8 μm	10 μm	1	
M_{DR}	4.16 μm	2.5 μm	1	
M_{LT}	4.16 μm	2.5 μm	1	PMOS を使用
C_M	8 μm	30 μm	4	960fF
C_G	8 μm	30 μm	4	960fF

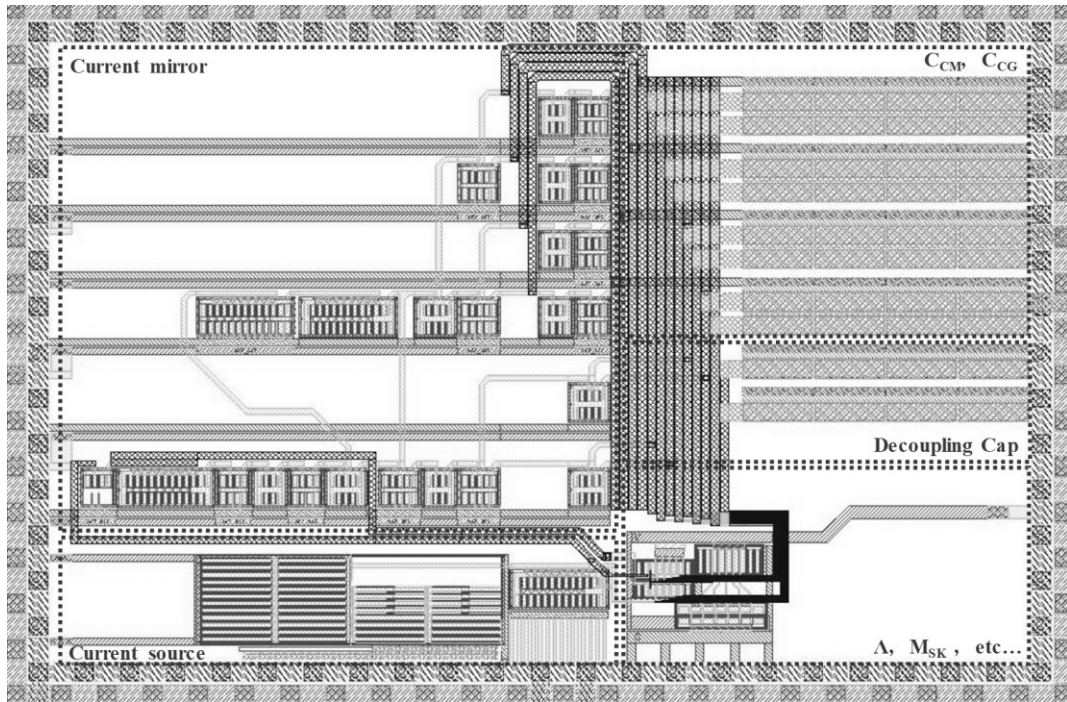


図 4.1.6 レイアウト配置図

なお、作製した 4 つの P-HCNM のうち、2 つは他励振モデル、残り 2 つは他励振モデルに定電流源を付加した自励振モデルである。Λ 形負性抵抗の原点補正回路は 1 つのみレイアウトを行い、このバイアス回路により生成した V_{APBIAS} を 4 つの P-HCNM にて共有した。

4.1.5 測定環境

表 4.4 に、IC チップ実測に使用した測定器具を示す。測定条件として、測定中のピン以外をすべて GND もしくは V_{DD} へと短絡し、動作を停止させた。これは、測定対象外の P-HCNM 動作が寄生容量および相互インダクタンスを通じてクロストークノイズを引き起こす可能性があるため、停止可能なモデルについては処理を行ったものである。なお、外乱ノイズ対策として、アース処理を行った金属ケース内に測定基板を封入し測定を行った。

表 4.4 使用器具一覧

品名	型番	メーカー	用途
オシロスコープ	DCS-2204E	TEXIO	波形観測用
ファンクションジェネレータ	FGX-2220	TEXIO	刺激入力用
デジタルマルチメータ_1	7352E	ADCMT	V_{DD} 監視用
デジタルマルチメータ_2	7352E	ADCMT	電流監視用
直流安定化電源_1	PMX18-2A	KIKUSUI	V_{DD}

直流安定化電源_2	PMX18-2A	KIKUSUI	基準電流トリム
直流安定化電源_3	PMX18-2A	KIKUSUI	予備
ソケット	80QFP	VDEC	IC 実装用
プローブ	GTP-200B-4	TEXIO	オシロスコープ用
同軸ケーブル	-	-	オシロスコープ用
ワニ口-同軸ケーブル	-	-	刺激入力用
ピンケーブル	-	-	電源用
電解コンデンサ	50V3.3 μ F	ルビコン	電源デカップリング
基板加工機	CIP100	オリマイ	IC 実装用

4.1.6 試作 IC チップの動作解析

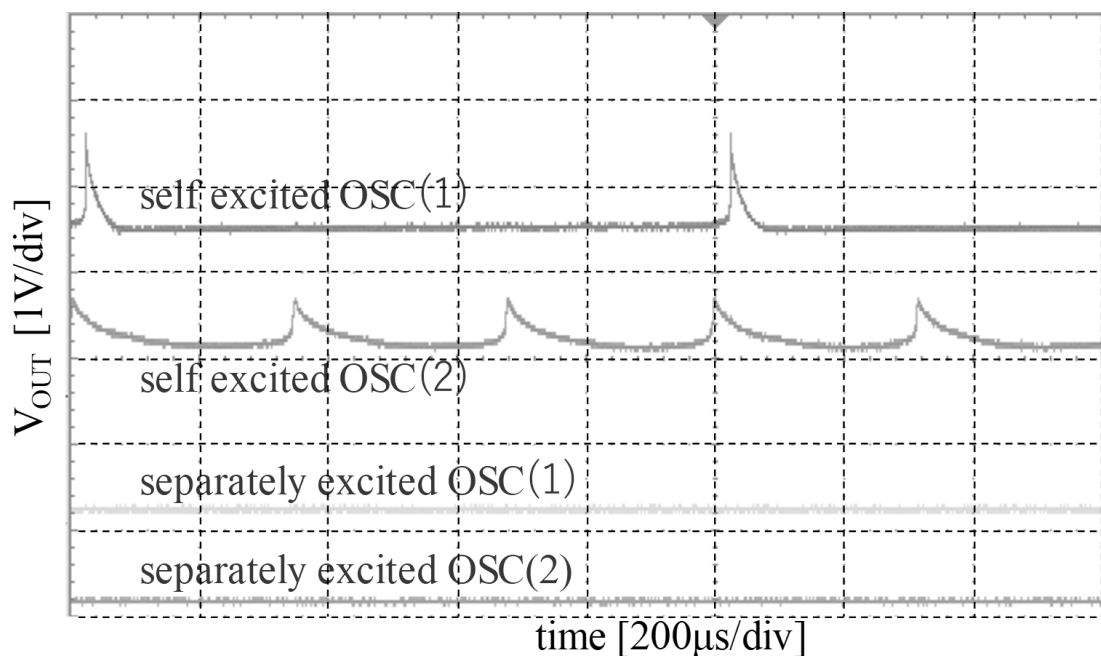


図 4.1.7 実測波形

図 4.1.7 に、試作チップの P-HCNM の出力波形観測結果を示す。測定条件として、IC チップに対して電源電圧のみを印加し、外部刺激を入力せず経過を観察した。同図に示すとおり、自励振モデルとして設計した P-HCNM は自発的な振動を行い、他励振モデルとして設計した P-HCNM は外部刺激を加えていない状態では発火動作をしない。ただし、同図は同一チップ内部の集中レイアウトにて複数作製した P-HCNM を測定した結果であるが、同図における self excited OSC(1)と self excited OSC(2)に示すとおり、発振周波数および振幅、発火波形形状に違いが生じている。同一チップ上であるためグローバルばらつきの可能性は限りなく低いため、集中レイアウトや素子サイ

ズのみではローカルばらつきへの対策としては十分ではなく，更なる対策が必要であると考えられる。

表 4.5 試作 IC の歩留まり結果

	自励振モデル	他励振モデル
歩留まり	92%	98%

表 4.5 に，試作 IC の歩留まり結果を示す．自励振モデルの歩留まり条件としては，電源電圧 V_{DD} を 1.8V に設定した状態（設計値）にて，外部刺激なく自発的な振動を確認できることのみを条件とした．振幅・周波数・波形形状については，今回は条件として取り入れない．以上の条件において，自励振モデルの歩留まりを表 4.5 左に示す．表に示すとおり，歩留まりは 92% となった．CPG などの自励振ネットワークに用いることを考える場合，1 集団あたり 3 つの P-HCNM を用いることで 3σ を補償することが出来るため，本個数以上の配置により動作を安定させることが可能である．次に，他励振モデルの歩留まり条件として電源電圧 V_{DD} を 1.8V に設定した状態にて，①刺激入力を加えない状態では自発的な発振を行わない，②直流電流を加えると発振動作を行う，の 2 点に絞り条件を設定した．印加する直流電流の値は定めず，発火に至る電流値が存在すれば成功パターンとして採用した．なお，自励振モデルと同様に，振幅・周波数・波形形状については条件として取り入れない．以上の条件において，他励振モデルの歩留まり結果を表 4.5 右に示す．表に示すとおり，歩留まりは 98% となった．なお，2% については②の条件に抵触した，つまりどのような刺激入力に対しても発火動作を行わなかったサンプル結果である．こちらについても， 3σ 条件を満たすためには 2 つ以上の P-HCNM をパラレルに接続すればよい．以上により，原点補正回路を用いることで，MOSFET 特性ばらつきによる他励振モデルの自励振モデル化を抑制することが可能である．しかし一方で，直流刺激入力に対し発火動作をしないサンプルが存在することが明らかになった．また，刺激入力により発火可能なサンプルであっても，その入力範囲は $0.2\mu\text{A}$ 程度と非常に狭い条件となることがあった．したがって，発火可能な電流入力範囲を決定する要素を解析し，入力範囲の改善を行う必要がある．

図 4.1.8～図 4.1.11 に，直流刺激を加えた場合の多安定回路解析結果を示す．同図において，横軸に多安定回路の出力電圧 V_{OUT} ，縦軸に各素子の電流を示す．同図の条件として，刺激電流は今回直流として入力したため，多安定回路の特性に対しては Λ 形負性抵抗の特性を y 軸方向にシフトさせる働きを持つため， Λ 形負性抵抗の特性は I_{IN} の値に応じ y 軸方向にシフトした特性とした．また，図 4.1.8 および図 4.1.9 の負荷電流源 M_L は IC レイアウトと同様の $L=1.8\mu\text{m}$ ， $W=5.0\mu\text{m}$ ， $M=1$ とし，図 4.1.10 および図 4.1.11 はチャンネル長変調効果を強調するため， $L=180\text{nm}$ ， $W=500\text{nm}$ ， $M=10$ とした．なお， M_L の飽和電流値は $10\mu\text{A}$ に設計し， M_L のゲート電圧はカレントミラー回路にて生成を行った．以上の条件により解析を行った．図 4.1.8 に，刺激入力 I_{IN} を $9\mu\text{A}$ とした場合の特性を示す．同図は，電圧上昇動作を行うことが可能な刺激電流の下限値を入力したものである．同図

に示すとおり、電圧上昇動作が可能な $V_{\text{ANB}}=1.5\text{V}$ において、HIGH 側にのみ安定点を持つ単安定回路として動作するため、発火波形の電位上昇部を形成することが可能であることを示す。一方で、電圧下降動作を実行する $V_{\text{ANB}}=0.6\text{V}$ において不安定点が生成されている。この状態においては、外部から強制的に電位を不安点以下に引き下げない限り HIGH 側の安定点に電位が固定されてしまい、自発的な電位下降動作を行うことが出来ないことを示している。したがって、入力電流 $9\mu\text{A}$ においては、発火動作が成立しない。図 4.1.9 に、刺激入力 I_{IN} を $3\mu\text{A}$ とした場合の特性を示す。同図は、電圧下降動作を行うことが可能な刺激電流の上限値を入力したものである。同図に示すとおり、電圧下降動作が可能な $V_{\text{ANB}}=0.6\text{V}$ において、LOW 側にのみ安定点を持つ単安定回路として動作するため、発火波形の電位下降部を形成することが可能であることを示している。一方で、電圧上昇動作を実行する $V_{\text{ANB}}=1.5\text{V}$ において不安定点が生成されている。この状態においては、外部から強制的に電位を不安点以下に引き上げない限り LOW 側の安定点に電位が固定されてしまい、自発的な電位上昇動作を行うことが出来ないことを示している。したがって、入力電流 $3\mu\text{A}$ においても、発火動作が成立しない。図 4.1.8 および図 4.1.9 の結果から、

$$\text{電位上昇動作可能範囲：} I_{\text{IN}} > 9\mu\text{A} \quad (3.24)$$

$$\text{電位下降動作可能範囲：} I_{\text{IN}} < 3\mu\text{A} \quad (3.25)$$

となるため、上昇動作可能範囲と下降動作可能範囲にオーバーラップが存在しないため、いかなる直流刺激電流に対しても発火が成立しない。今回のレイアウトでは、 M_L を本パラメータとしていたため、刺激に対し反応ができないサンプルが存在したと考えられる。

図 4.1.10 に、チャンネル長変調効果の強い M_L を採用した多安定回路に対し刺激入力 I_{IN} を $8\mu\text{A}$ とした場合の特性を示す。同図は、電圧上昇動作を行うことが可能な刺激電流の下限値を入力したものである。同図に示すとおり、電圧上昇動作が可能な $V_{\text{ANB}}=1.5\text{V}$ において、HIGH 側にのみ安定点を持つ単安定回路として動作するため、発火波形の電位上昇部を形成することが可能であることを示す。また、電圧下降動作を実行する $V_{\text{ANB}}=0.6\text{V}$ において LOW 側にのみ安定点を持つ単安定回路として動作するため、発火波形の電位下降部を形成することが可能であることを示している。したがって、入力電流 $8\mu\text{A}$ において、発火動作が成立する。図 4.1.11 に、刺激入力 I_{IN} を $11.5\mu\text{A}$ とした場合の特性を示す。図 4.1.10 と同様であるため、電位上昇・下降どちらも可能である。したがって、入力電流 $11.5\mu\text{A}$ において、発火動作が成立する。図 4.1.10 および図 4.1.11 の結果から、

$$\text{電位上昇動作可能範囲：} I_{\text{IN}} > 8\mu\text{A} \quad (3.26)$$

$$\text{電位下降動作可能範囲：} I_{\text{IN}} < 11.5\mu\text{A} \quad (3.27)$$

となるため、発火可能な電流範囲は $3.5\mu\text{A}$ となる。このことから、発火を成立させるためには、負荷電流源のほかに抵抗成分を並列に与える必要があり、適切な設定範囲で抵抗値を低くするほど入力可能な電流範囲を広げることが出来る。一方で、チャンネル長変調効果を狙った値で設計することは非常に困難であり、また抵抗をレイアウトに配置するためには非常に大きな専有面積を与える必要があるため、多数の P-HCNM 実装には不向きである。したがって、異なる方式による解決が必要となる。

ここで、この他励振モデルにおいて以上の課題が発生した要因について考える。他励振モデルとして設計した P-HCNM に発火動作を行わせるためには、外部から入出力端子に対して電流を入力する必要がある。この電流は、P-HCNM を多安定回路としてみなすと、多安定回路内の Λ 形負性抵抗の静特性を、y 軸方向にシフトさせる働きを持つ。この働きにより、図 2.0.3 に示した多安定回路の 3 つの状態のうち、多安定状態から単安定(HIGH)へ遷移させる。入力電流を時間的に変化させない場合、 Λ 形負性抵抗のバイアス電圧を変更することで多安定回路を単安定(Low)へと遷移させることが可能であることが求められる。しかし、外部から電流を入力しているため、バイアス電圧が減少した際、 Λ 形負性抵抗のピーク電流 $I_{\Lambda P}$ が I_L を下回ることを保証できない。一方で、第 2 章で示したとおり、励振状態の補償を行うためには、 $I_{\Lambda P}$ に発火の成否が依存せず、 $I_{\Lambda 0}$ および I_L のみで決定づけることが可能である必要がある。以上の動作を成立させるためには、外部電流により $I_{\Lambda 0}$ を制御する方式ではなく、 Λ 形負性抵抗のバイアス電圧を変化させることで $I_{\Lambda 0}$ を制御することが有効である。 Λ 形負性抵抗のバイアス電圧は $V_{\Lambda NB}$ および $V_{\Lambda PB}$ の 2 つがあるが、 $V_{\Lambda NB}$ は動的バイアスとして使用しているため、 $V_{\Lambda PB}$ のみで制御を行う必要がある。しかし、 $V_{\Lambda PB}$ に対する $I_{\Lambda 0}$ の変化は、図 2.1.3 に示したとおり非線形な変化を示す。そのため、制御を行うために適切な $V_{\Lambda PB}$ を推定することが困難である。励振状態の制御を適切に行うためには、 $I_{\Lambda 0}$ をコントロールする回路などを作製することで、 $I_{\Lambda 0}$ を正確に制御可能である必要がある。次節では、P-HCNM の入出力端子に対し外部から直接電流を入力する方式を用いず、 $I_{\Lambda 0}$ を制御可能なコントロールユニットを用いることで発火制御を行う制御方式について検討を行う。

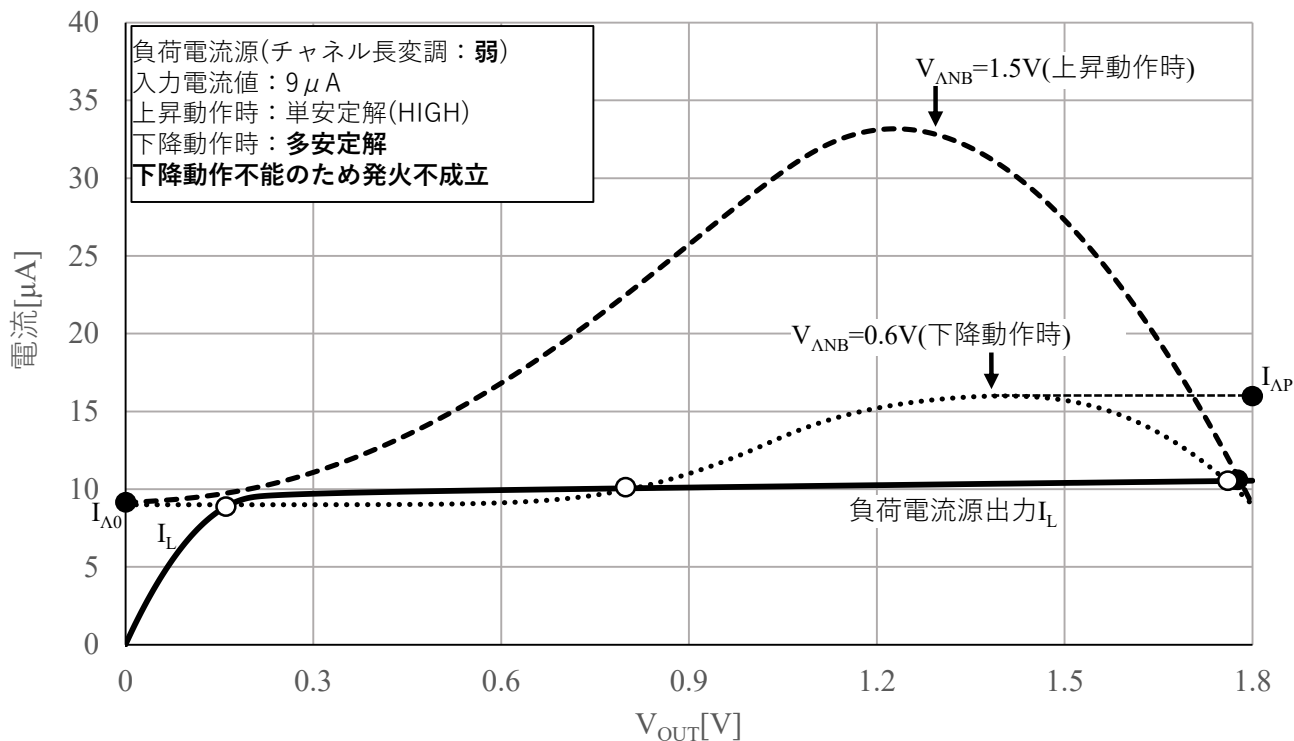


図 4.1.8 単安定(HIGH)が成立する境界の外部電流 $I_{IN} = 9\mu A$ を入力した静特性 (M_L に対するチャンネル長変調の影響が少ないケース)

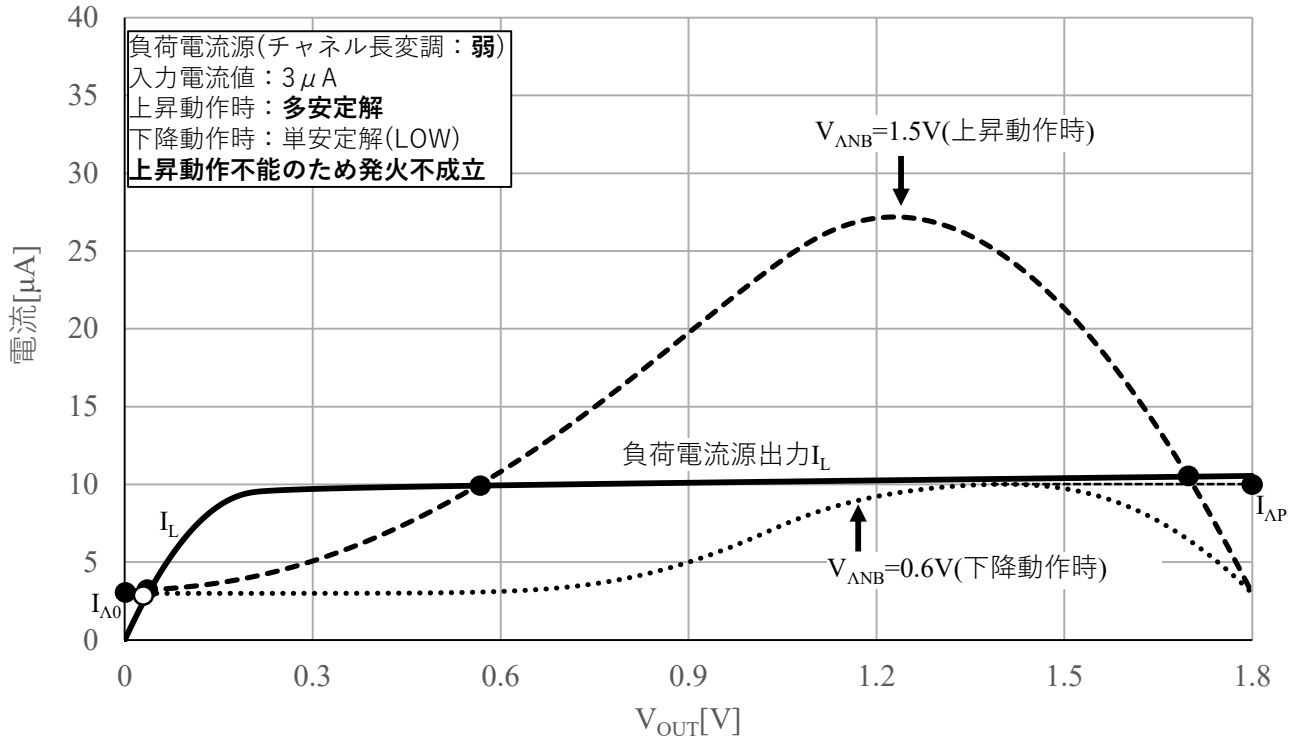


図 4.1.9 単安定(Low)が成立する境界の外部電流 $I_{IN} = 3\mu A$ を入力した静特性
(M_L に対するチャンネル長変調の影響が少ないケース)

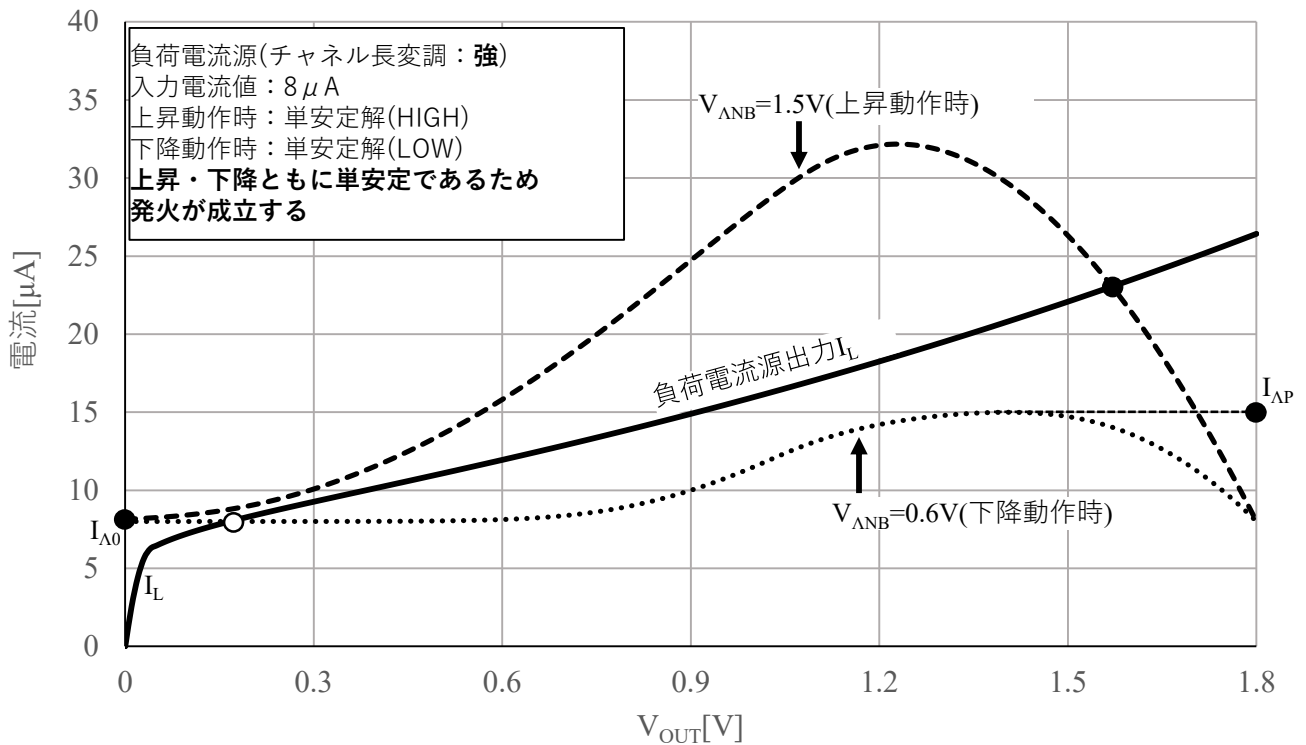


図 4.1.10 単安定(HIGH)が成立する境界の外部電流 $I_{IN} = 8\mu A$ を入力した静特性
(M_L に対するチャンネル長変調の影響が強いケース)

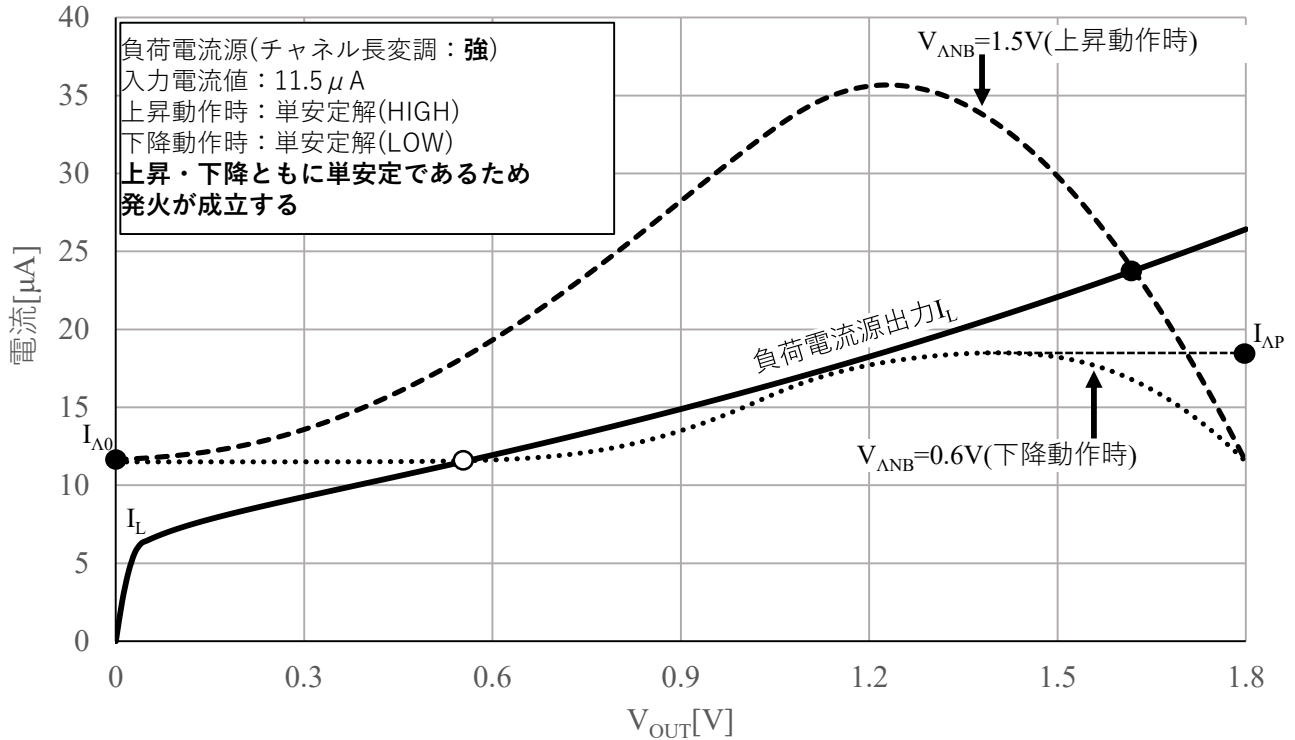


図 4.1.11 単安定(LOW)が成立する境界の外部電流 $I_{IN} = 11.5\mu A$ を入力した静特性 (M_L に対するチャンネル長変調の影響が強いケース)

4.2 コントロールユニットを用いた自動補正機構を有するモデル

原点補正回路を用いた P-HCNM の動作について：

図 4.2.1 に、原点補正回路を用いた P-HCNM のブロック図を示す。本ブロック図は、本論文にて改善を行う以前と同様のブロック図である。同図に示すとおり、1つのパスが入力（電流）、出力（電圧）、出力電圧生成、しきい値電圧の生成、しきい値電流の生成、動的バイアスの変動などすべての要素に関係している。1つのパスで使用できる変数要素は電圧・電流だけであるため、この2変数のみで全要素を表現しようとすると互いに干渉し、意図しない動作を引き起こす。電圧の干渉要素としては、キャパシタが生成した電圧をしきい値処理せず出力電圧として共有しているため、生成された電圧がしきい値条件を満たしたものであるかを判別することが非常に困難になる。また、外部から受け入れた電流をキャパシタにて直接電圧に変換しているため、外部から過剰な電流を与えると発火成立の可否に関わらず出力電圧を電源電圧まで強制的に引き上げてしまい、正常な発火動作を行うことが出来なくなってしまう。電流の干渉要素としては、前項や2章3節3項にて述べたとおり、 Λ 形負性抵抗と負荷電流源により生成した多安定回路の特性を外部から受け入れた電流により強制的に特性をシフトするため、生成したしきい値電圧等が正常に機能しなくなる。したがって、これまで入出力端子として使用してきたパスに持たせる機能を別ブロックに分離し、シンプルな状態にする必要がある。特に、外部電流の変動が波形形状にダイレクトに

影響を与える構造については改良する必要がある。したがって、改良指針として、入力と出力の分離が可能な構成を目指すこととする。一般的に、ニューロンモデルを構築する際には内部ポテンシャルに対し外部から刺激を入力し、その和がしきい値を超えると外部電位が発火波形として生成される。したがって、本モデルでも、入力電流を一度内部電位に変換し、内部電位がしきい値を超えた場合に発火動作するよう設計を見直すこととする。

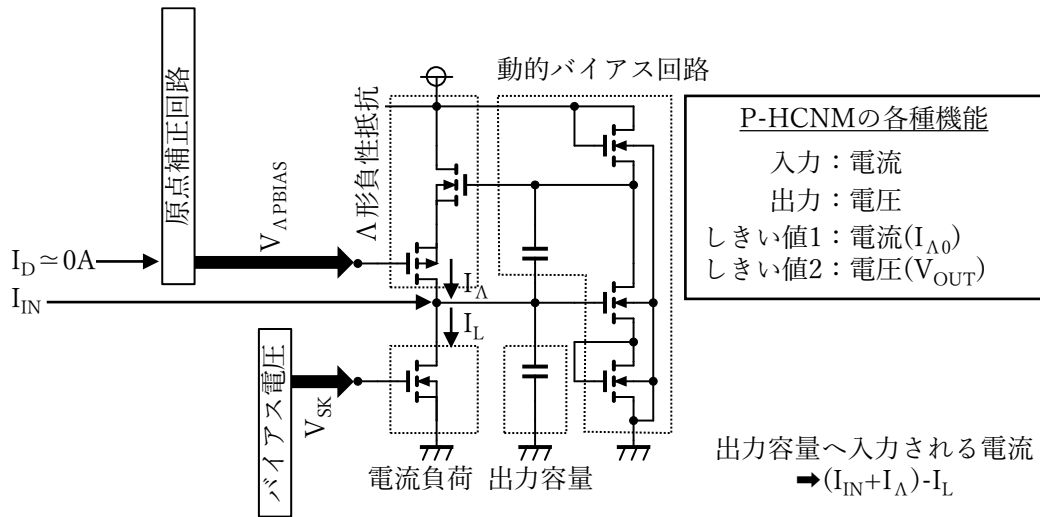


図 4.2.1 原点補正回路を用いた P-HCNM のブロック図

外部電流を出力容量へ直接入力しない構成をもつ P-HCNM の提案：

第 4 章 1 節 6 項の文末にて述べたとおり、P-HCNM の入出力回路部である Δ 形負性抵抗、電流負荷および出力容量に起因する課題である、外部電流による出力動作への影響を解決するためには、入力回路部に対し外部から直接電流を入力せず、 Δ 形負性抵抗の特性をバイアス電圧により変更する必要がある。しかし、これまで提案されてきた P-HCNM を用いたニューラルネットワークへの互換性を保つためには、 I_{IN} を用いて制御を行うことが求められる。そのため、 Δ 形負性抵抗の特性を制御するコントロールユニットは、外部入力電流 I_{IN} をもとに、P-HCNM の出力電圧 V_{OUT} が 0V における Δ 形負性抵抗の出力電流 $I_{\Delta 0}$ を制御可能なバイアス電圧 $V_{\Delta PBIAS}$ を生成可能であることが望まれる。また、コントロールユニットの出力可能なバイアス電圧の最大値は電源電圧と同じ V_{DD} (本論文では 1.8V) であるが、図 2.1.3 の結果よりコントロールユニットにより制御可能な $I_{\Delta 0}$ には上限がある。励振状態を制御するためには、図 2.0.3 に示したとおり、 $I_{\Delta 0} < I_L$ および $I_{\Delta 0} > I_L$ の両状態へとバイアス電圧により可変である必要がある。これを満たすためには、コントロールユニットにより制御可能な $I_{\Delta 0}$ が、 I_L を上回ることが可能であることを保証する必要がある。しかし、これまで I_L を生成する制御電圧 V_{SK} は経験則により設計を行ってきたため、コントロールユニットにより制御可能な $I_{\Delta 0}$ が、 I_L を上回ることが可能であることを保証できない。そのため、コント

ロールユニットの内部電圧を用い、コントロールユニットが制御可能な $I_{\Lambda 0}$ の最大値を推定可能な回路を構築し、推定した最大 $I_{\Lambda 0}$ から最適な負荷電流を生成可能な自動補正機構を構築することが有効である。以上の構成を実現することで、 Δ 形負性抵抗や負荷電流源などの静特性形状に依存することなく、 $I_{\Lambda 0}$ の最大制御値から最適な I_L へと自動的に補正を行うことで、確実な励振状態の制御が可能となる。なお、 $I_{\Lambda 0}$ および I_L のみを制御すればよいため、半導体のばらつきや温度変化による特性形状の変化が生じた場合においても、制御可能な最大 $I_{\Lambda 0}$ に対して最適な I_L を自動補正機構により提供し続けることで、ロバストに制御を行うことが可能である。本項では、以上に示したコントロールユニットや自動補正機構を実現可能な回路構成について提案を行い、その静特性および過渡特性を解析する。また、実際に VLSI 化を行い、作製した VLSI 数に対する歩留まりを確認することで本構成の有効性を示す。なお、インプットユニットは通常のカレントミラー構成を用い、 $I_{IN} \doteq I_{IP}$ として出力した。

図 4.2.2 に、提案構成を示す。同図に示すとおり、図 4.2.1 に対して内部電位を持つインプットユニットとコントロールユニットを付与した構成としている。発火アルゴリズムとしては、①インプットユニットに対して入力した電流 I_{IN} をカレントミラーにてコントロールユニットへと電流 I_{IP} として出力②入力された変換 I_{IP} により、 $I_{IP} = I_{\Lambda 0}$ となるようなバイアス電圧 $V_{\Delta PBIAS}$ を Δ 形負性抵抗に出力③ Δ 形負性抵抗および負荷電流源により構成される多安定回路によりしきい値処理、④しきい値を超えると、キャパシタにて出力電圧を生成というアルゴリズムにて発振を行う。なお、出力電圧は OP-AMP 等でバッファを行う。バッファはコアユニットの電圧を読み取るだけであるため、コアユニットへのアクセスはコントロールユニットのみ可能である。これにより、外部入力がかコアユニットの特性に与える影響を最小限に抑える。なお、 Δ 形負性抵抗の出力電流と負荷電流源の出力電流のみで演算を行うため、しきい値は電流値にのみ与える構成とした。なお、図 4.1.2 で示した P-HCNM のことをコアユニットと再定義し使用した。

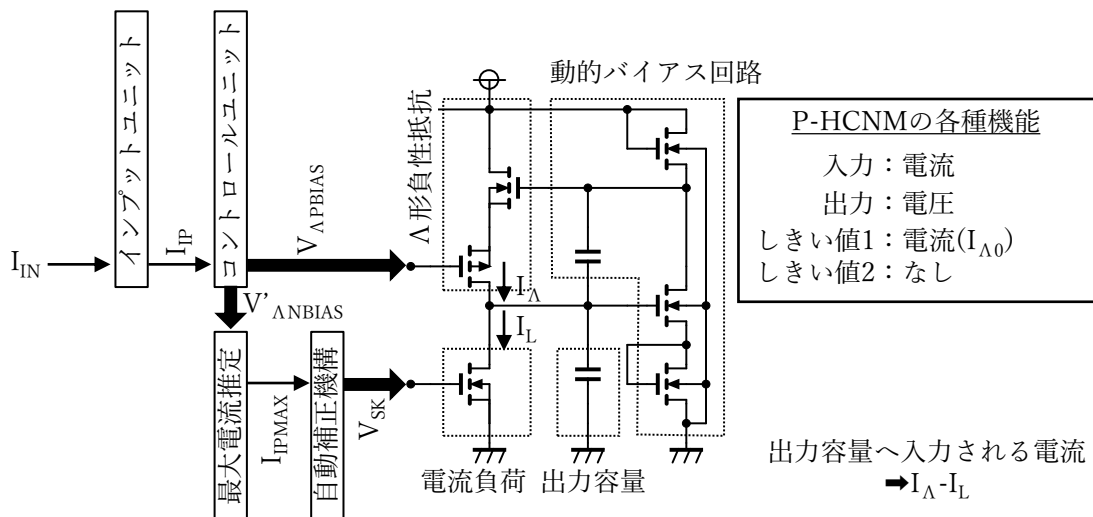


図 4.2.2 外部電流を出力容量へ直接入力しない構成(提案構成)

図 4.2.4 に、コントロールユニットを用いた Λ 形負性抵抗特性の制御を示す。コントロールユニットは、前項では V_{OUT} が 0V となるとき、 I_{Λ} が 0A となるよう補正を行っていた。本モデルでは、コントロールユニットに印加したコントロール電流 I_{IP} により、 V_{OUT} が 0V における I_{Λ} の値を制御する。 Λ 形負性抵抗出力電流特性は第 1 章の式(2.1)および式(2.2)で示したとおりである。この特性は、コントロールユニット側でも同様である。したがって、コントロールユニットの出力電流特性は

$$I_{IP} = K_{DP}(V'_{APG} - V'_{ATP})^2 \quad (3.30)$$

$$I_{IP} = K_{DN}(V'_{ANG} - V'_{ATN})^2 \quad (3.31)$$

となる。ここで、

$$V'_{APG} = (V_{DD} - V'_{AND}) - V_{APBIAS} \quad (3.32)$$

$$V'_{ANG} = V'_{ANBIAS} - (V_{DD} - V'_{AND}) \quad (3.33)$$

であるので、式(3.30)および式(3.31)は

$$\sqrt{\frac{I_{IP}}{K_{DP}}} = V_{DD} - V'_{AND} - V_{APBIAS} - V'_{ATP} \quad (3.34)$$

$$\sqrt{\frac{I_{IP}}{K_{DN}}} = V'_{ANBIAS} - V_{DD} + V'_{AND} - V'_{ATN} \quad (3.35)$$

となる。ここで、式(3.34)を整理すると

$$-V_{DD} + V'_{AND} = -V_{APBIAS} - V'_{ATP} - \sqrt{\frac{I_{IP}}{K_{DP}}} \quad (3.36)$$

であるため、式(3.36)を式(3.35)に代入すると

$$V'_{ANBIAS} = -V_{APBIAS} + (V'_{ATP} + V'_{ATN}) + \left(\sqrt{\frac{I_{IP}}{K_{DN}}} + \sqrt{\frac{I_{IP}}{K_{DP}}} \right) \quad (3.37)$$

となる。ここで一度、 Λ 形負性抵抗の特性について述べる。 Λ 形負性抵抗の $M_{\Lambda N}$ ゲート-ソース間電圧は

$$V_{ANG} = V_{ANBIAS} - (V_{DD} - V_{AND}) \quad (3.38)$$

で表せるため、これを式(2.2)に代入すると

$$I_{\Lambda} = K_N(V_{ANBIAS} - V_{DD} + V_{AND} - V_{ATN})^2 \quad (3.39)$$

となる。また、 Λ 形負性抵抗の $M_{\Lambda P}$ ゲート-ソース間電圧は

$$V_{APG} = (V_{DD} - V_{AND}) - V_{APBIAS} \quad (3.40)$$

であるため、式(2.1)に代入すると

$$\sqrt{\frac{I_{\Lambda}}{K_P}} = V_{DD} - V_{AND} - V_{APBIAS} - V_{ATP} \quad (3.41)$$

となる。今回、コントロールユニットによって制御したいのは V_{OUT} が 0V における特性であるため、

$$V_{ANBIAS} = V_{ANB} + V_{OUT} = V_{ANB} \quad (3.42)$$

である。これは、接地電位からの電位差である V'_{ANBIAS} と同等の条件となるため

$$V_{ANBIAS} = V'_{ANBIAS} \quad (3.43)$$

が成り立つ。したがって、式(3.39)は

$$I_A = K_N (V'_{ANBIAS} - V_{DD} + V_{AND} - V_{ATN})^2 \quad (3.44)$$

となる。ここで、コントロールユニットの式(3.37)を式(3.44)に対して代入すると

$$I_A = K_N \left(V_{APBIAS} + V_{ATP} - V_{DD} + V_{AND} + \sqrt{\frac{I_{IP}}{K_{DN}}} + \sqrt{\frac{I_{IP}}{K_{DP}}} \right)^2 \quad (3.45)$$

となる。ここで、 Λ 形負性抵抗とコントロールユニットを同じサイズとし、レイアウト上でばらつきを抑えることが出来るとしたとき

$$K_N = K_{DN} \quad (3.46)$$

$$K_P = K_{DP} \quad (3.47)$$

である。したがって、式(3.45)は

$$I_A = K_N \left(V_{APBIAS} + V_{ATP} - V_{DD} + V_{AND} + \sqrt{\frac{I_{IP}}{K_N}} + \sqrt{\frac{I_{IP}}{K_P}} \right)^2 \quad (3.48)$$

となる。これにより、式(3.41)が代入可能となるため実行すると

$$I_A = K_N \left(V_{APBIAS} - V_{APBIAS} + V_{ATP} - V_{ATP} + V_{DD} - V_{DD} + V_{AND} - V_{AND} + \sqrt{\frac{I_{IP}}{K_N}} \right)^2 \quad (3.49)$$

であるため、最終的に

$$I_A = I_{IP} \quad (3.50)$$

が導き出せる。これにより、本構成を用いることで、 V_{OUT} が 0V における Λ 形負性抵抗の出力電流を、コントロールユニットに印加した I_P により制御可能である。なお、本数式が成り立つのは Λ 形負性抵抗 M_{AP} および M_{AN} の両方が飽和領域で動作可能な範囲に限られる。ソース結合電位を V_A とすると

$$V_{AND} > V_{ANBIAS} - V_A + V_{ATN} \quad (3.51)$$

$$V_{APD} > V_A - V_{APBIAS} + V_{ATP} \quad (3.52)$$

である。この2式を加算すると

$$V_{AND} + V_{APD} > V_{ANBIAS} - V_{APBIAS} + V_{ATN} + V_{ATP} \quad (3.51)$$

である。ここで、

$$V_{AND} + V_{APD} = V_{DD} - V_{OUT} \quad (3.52)$$

であり、さらに V_{OUT} を 0V として考えているため式(3.51)は

$$V_{DD} - (V_{ATN} + V_{ATP}) > V_{ANBIAS} - V_{APBIAS} \quad (3.53)$$

となる。このことから、コントロールユニットを正常に動作させるためには V_{ANBIAS} を低電圧に、もしくは V_{APBIAS} を高電圧にすればよい。ここで、電源電圧 V_{DD} を 1.8V、各 MOSFET のしきい値電圧を 0.5V、 V_{ANBIAS} を 1.5V とすると、 V_{APBIAS} の動作可能範囲は

$$0.0V < V_{\text{APBIAS}} < 0.7V \quad (3.54)$$

である。電圧範囲には十分余裕があるため、前項にて設計した V_{NBIAS} から設計変更を行う必要はないと考えられる。

4.2.3 コントロールユニットの解析結果

図 4.2.5 に、コントロールユニットの静特性を解析するために用いた回路構成を示す。同図は、コアユニットから C_{M} 、 C_{G} を除去し、出力電圧 V_{OUT} として 0V に設定した可変電源を接続し、さらにコントロールユニットの I_{P} を生成するためのインプットユニット（カレントミラー）を接続した回路構成である。インプットユニットは、外部入力電流 I_{IN} を入力し、 I_{IN} と等倍の電流を I_{P} として出力する。ただし、 V_{APBIAS} が 0V に漸近する、すなわちカレントミラーの MOSFET の両端電圧が 0V に漸近するため、一定値以上の I_{IN} は I_{P} としてコピーされない。そのため、 I_{P} は I_{IN} に対し飽和特性を示す。

図 4.2.6 に、図 4.2.4 の V_{OUT} に対する I_{A} の特性を示す。同図において、横軸に出力電圧 V_{OUT} 、縦軸に Λ 形負性抵抗の出力電流 I_{A} を示す。同図の条件として、図 4.2.4 の I_{P} を定電流源にて構成し、パラメータとして変化させた。そのため、インプットユニットは使用せず解析を行った。同図に示すように、 I_{P} にて設定した電流値が、 Λ 形負性抵抗の出力電圧が 0V における出力電流の値に反映されることを示している。

図 4.2.7 に、図 4.2.4 の制御電流 I_{P} に対する I_{A0} の特性を示す。同図において、横軸に制御電流 I_{P} 、縦軸に $V_{\text{OUT}}=0V$ における Λ 形負性抵抗の出力電流 I_{A} である I_{A0} を示す。同図に示すとおり、単純な比例グラフとなる。なお、制御電流値が高くなるほど、制御精度は減少する。

図 4.2.8 に、コントロールユニットの負荷電流 I_{P} に対するコアユニット内 Λ 形負性抵抗の出力電圧 $V_{\text{OUT}}=0V$ における出力電流 I_{A} の制御精度、およびその際の V_{APBIAS} を示す。同図に示すとおり、 I_{P} を 0~50 μA に設定した際、最低でも約 95%の精度が保証できることを示している。一方で、 I_{P} を 50 μA と設定した際の V_{APBIAS} は -0.7V と負の値となる。両電源を使用する場合は負の電圧も許可されるが、本回路は単電源にて使用する予定であるため、 V_{APBIAS} に使用可能な電圧範囲は 0~1.8V である。 V_{APBIAS} が 0V となるのは I_{P} が約 10 μA であるため、設定可能な出力電圧が 0V における出力電流の値は 0~10 μA となる。一方で、今回 I_{P} は定電流源にて設定したため V_{APBIAS} に依存することなく電流を供給することが可能であるが、電圧に依存しない電流源は実現不能である。そのため、一般的に電流源は MOSFET などによるカレントミラー回路により代用する。したがって、 V_{APBIAS} を 0V とすることは非常に困難である。

図 4.2.9 に、図 4.2.5 に示した I_{IN} をカレントミラーに入力し、 I_{P} をコントロールユニットに入力

した場合 $I_{\Lambda 0}$ の特性を示す. 同図に示すとおり, 95%の精度で使用可能な I_{IN} の範囲は $0 \sim 8 \mu A$ であり, 以降は $V_{\Delta PBIAS}$ が飽和するため I_{IN} を変化させても I_{Λ} に変化しない. この特性は, P-HCNM に入力される電流の合計値が I_{IP} を最大値以上となる場合, $I_{\Lambda 0}$ を I_{IP} の最大値に制御できると言い換えることが可能である. すなわち, P-HCNM に入力可能な外部刺激電流の上限をなくすることが可能であるといえる. この要素は, P-HCNM を用いた大規模なネットワークを構築するために不可欠な要素である.

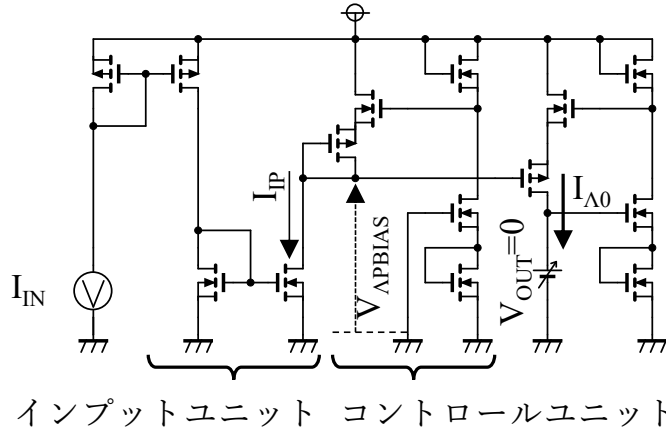


図 4.2.5 コントロールユニットの静特性を解析するための回路構成

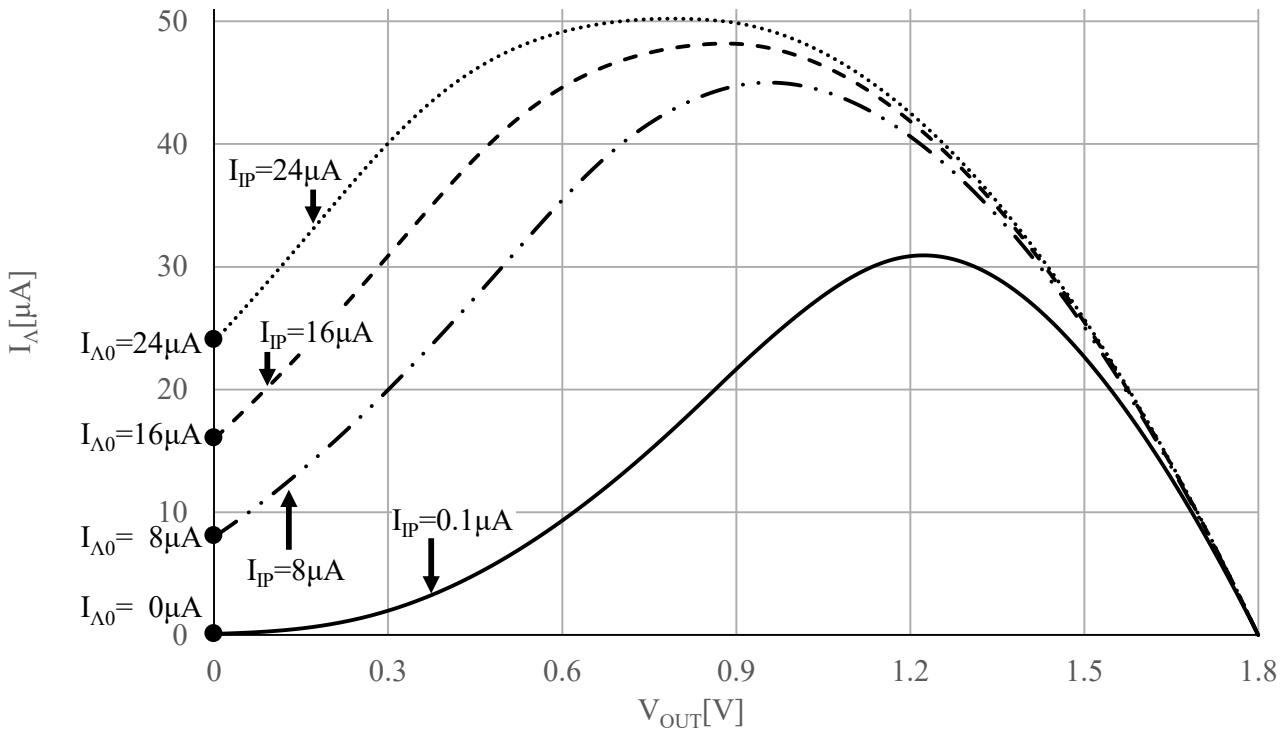


図 4.2.6 I_{IP} に対する Λ 形負性抵抗の特性変化 (I_{IP} : 電流源使用)

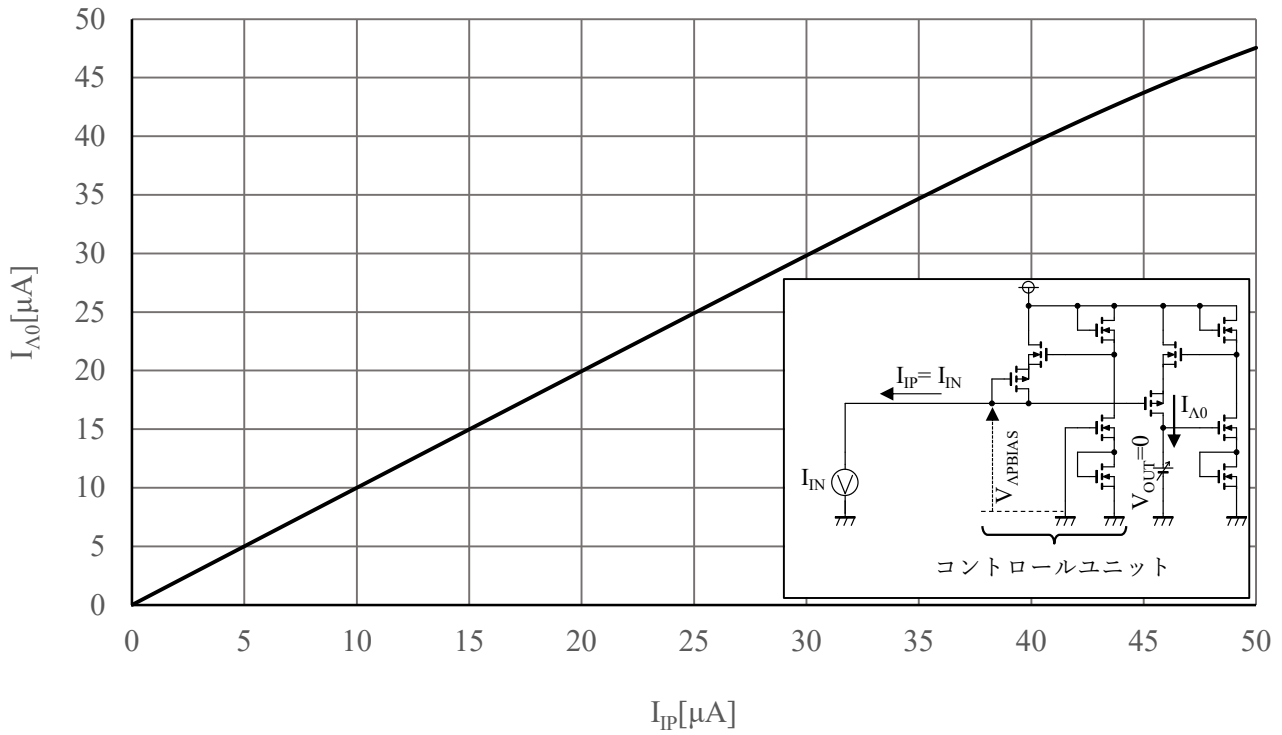


図 4.2.7 I_{IP} に対する $I_{\Delta 0}$ の特性変化(I_{IP} : 電流源使用)

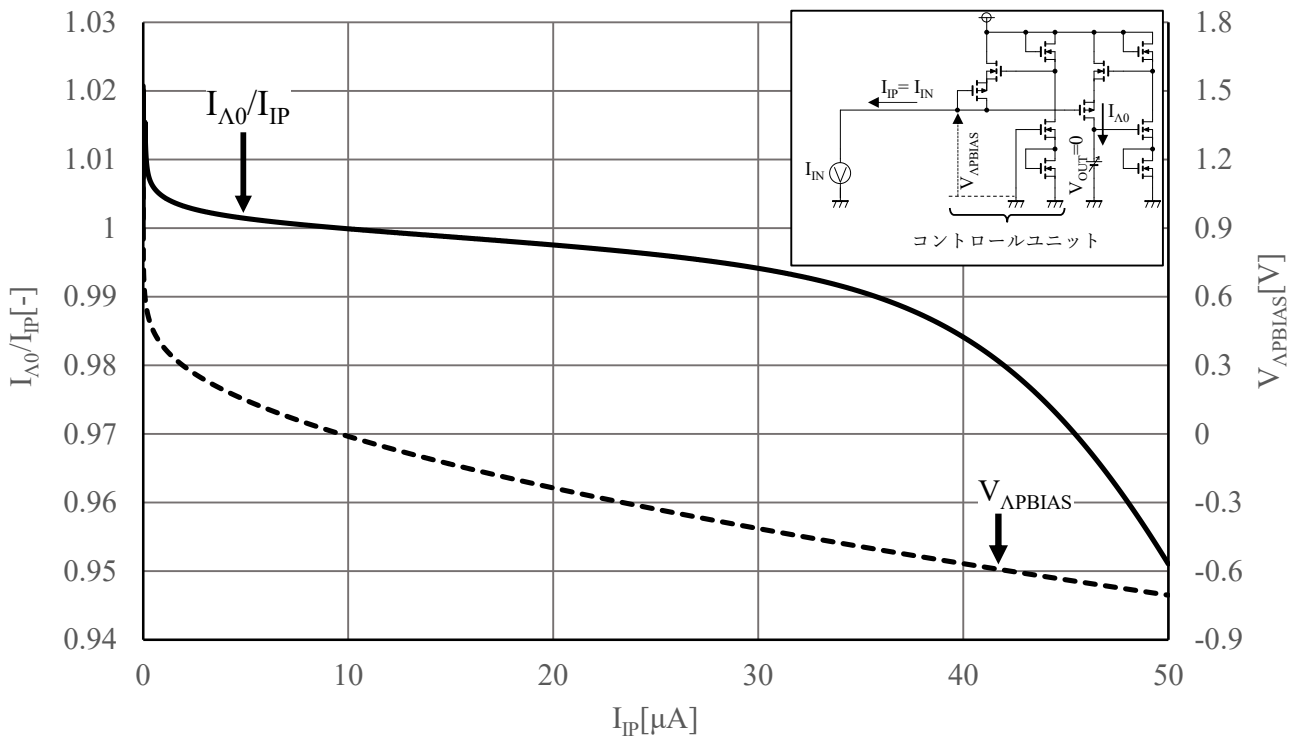


図 4.2.8 $V_{OUT}=0V$ における I_{IP} - I_{Δ} , I_{IP} - $V_{\Delta BIAS}$ 特性(I_{IP} : 電流源使用)

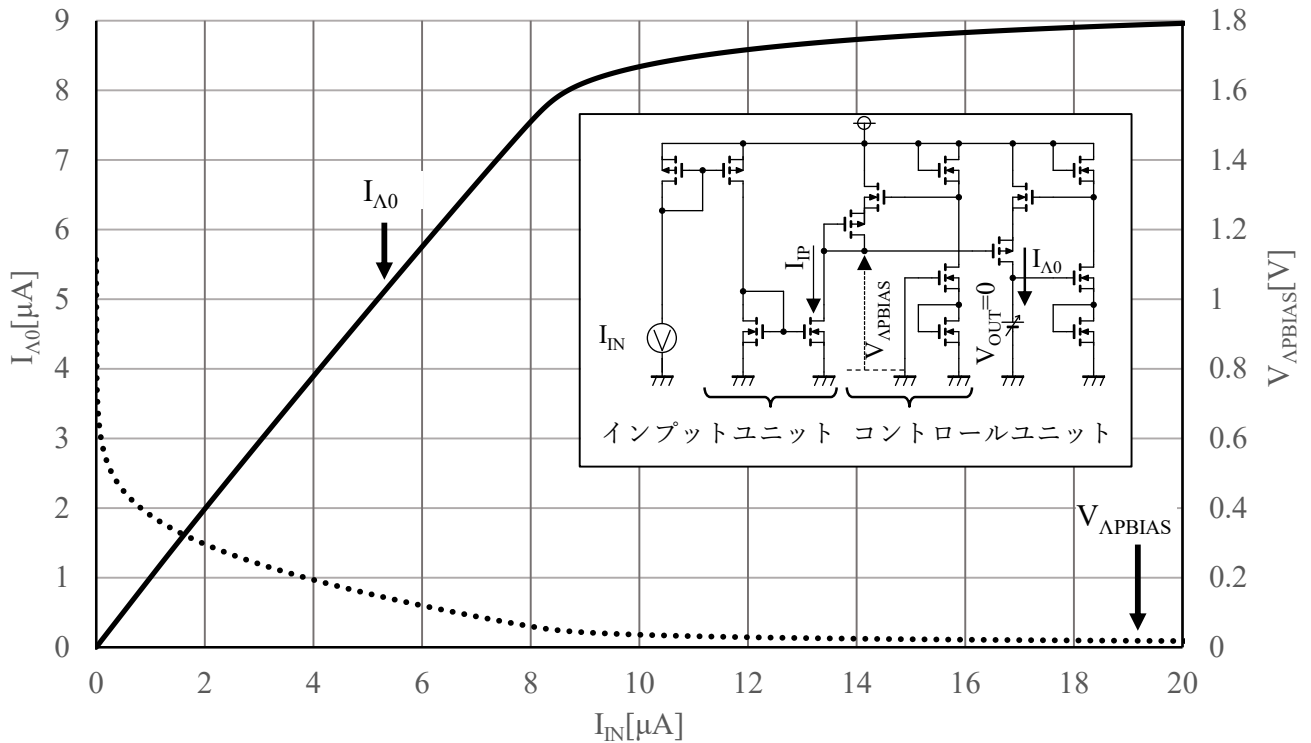


図 4.2.9 $V_{OUT}=0V$ における $I_{IP}-I_{\Delta}$, $I_{IP}-V_{\Delta PBias}$ 特性(I_{IP} : カレントミラー使用)

図 4.2.6～図 4.2.9 により，図 4.2.2 で示した提案構成のコントロールユニットによりコアユニット内 Δ 形負性抵抗の $V_{OUT}=0V$ における特性を制御可能であることが明らかにした．次に，コントロールユニットによる発火制御について述べる．今回提案するシステムでは，入力する I_{IP} の値が，負荷電流源に設定した値を超越することで発火動作へと至るよう設計した．動作原理として，まずは初期状態として外部から刺激が加わっていない状態について考える．なお，コントロールユニットは原点補正回路と同様，しきい値動作が可能となる最低限の電流を常時流すものとしたため， I_{IP} の最小電流は $0.1\mu A$ とした．

図 4.2.10 に，負荷電流 I_L を $5\mu A$ に設定した際の， I_{IP} により Δ 形負性抵抗の静特性制御を行った P-HCNM 内多安定回路の特性を示す．同図において横軸は P-HCNM の出力電圧を，縦軸は多安定回路の各出力電流を示す．同図に示すとおり， $I_{IP}=0.1\mu A$ において， $1mV$ および $1.74V$ に安定点が， $0.45V$ に不安定点が存在する．なお，今回は負荷電流源の飽和値を $5\mu A$ に， I_{IP} により設定した Δ 形負性抵抗の $V_{OUT}=0V$ における出力電流を $0.1\mu A$ に設定したため，コアユニットは必ず多安定解となる．従来 P-HCNM では，外部から刺激電流を供給することで膜容量 C_M の両端電位を引き上げ， C_M の両端電位が多安定回路の不安定点電圧を超越することで発火動作へと至った．一方，今回提案するシステムでは V_{OUT} 端子に対して外部から電流を供給することはできないよう設計しているため， V_{OUT} 端子の電圧は安定点以外の電圧状態となることが出来ない．したがって，初期状態に低電圧を与えた場合， V_{OUT} の電圧は LOW 側の安定点である $1mV$ で静止する．次に，刺激電流 I_{IP} を負荷電流源以下で与えた場合について考える．図 4.2.10 の $I_{IP}=1\mu A$ における I_{Δ} 特性に示す

ように、8mV および 1.74V に安定点が、0.25V に不安定点が存在する。刺激入力が存在しない場合に比べ、不安定点が低電圧側へと 0.2V 程度シフトしたが、LOW 側の安定点の変動は+7mV、HIGH 側の安定点は 0V と大きな変動は行われぬ。初期状態と同じく、外部からの電流供給は行われぬため、 V_{OUT} は LOW 側の安定点である 8mV で静止する。刺激電流 I_{IP} をさらに $3\mu\text{A}$ へと増加させた場合も同様に負荷電流源の設定値以下であるため、35mV および 1.74V に安定点が、80mV に不安定点が存在する。そのため、発火には至らず 35mV にて静止する。一方で、 $I_{IP}=1\mu\text{A}$ に比べ、LOW 側の安定点と不安定点の差が 45mV しか存在しないため、 V_{OUT} に対し微小なノイズが与えられた場合、 V_{OUT} が不安定点を超える可能性があるため、確率的な発火を引き起こす可能性が存在する。次に、刺激電流 I_{IP} を負荷電流源と同じ設定値を与えた場合について考える。図 4.2.10 の $I_{IP}=5\mu\text{A}$ に示すとおり、 $V_{OUT}=0\text{V}$ における Λ 形負性抵抗の出力電流値は設定どおり $5\mu\text{A}$ となる。しかし、負荷電流源は飽和値を $5\mu\text{A}$ に設定しているが、 $V_{OUT}=0\text{V}$ においては MOSFET の両端電圧も 0V となるため負荷電流源の出力電流も 0A となり、また $V_{OUT}=70\text{mV}$ までは線形領域として動作するため Λ 形負性抵抗の出力電流と交点を持つことはない。したがって、この状態では必ずコアユニットが HIGH 側にのみ安定点を持つ単安定回路となるため発火に至る。なお、同様の理由から、 $I_{IP}>5\mu\text{A}$ についても単安定回路として動作するため発火に至ることが可能である。以上のことから、本構成は負荷電流源に設定した飽和電流値をしきい値として持つ。なお、図 4.2.9 にて示したとおり、過剰な I_{IP} 供給を行ったとしても V_{APBIAS} に変動を与えないため、過剰な電流入力が発火に対し影響を及ぼすことはない。なお、P-HCNM を自励振モデルとして動作させる場合は、あらかじめ制御電流 I_{IP} をバイアス電流として I_L 以上印加すればよい。

図 4.2.11 に、発火動作直後を想定したコアユニットの特性を示す。同図において、横軸に出力電圧 V_{OUT} 、縦軸に出力電流を示す。同図の条件として、図 4.2.10 では発火前の静止状態を想定していたため動的バイアス C_G の両端電圧 V_{ANB} を 1.5V としたが、今回は発火動作によりバイアス変更が行われたことを想定し動的バイアス C_G の両端電圧 V_{ANB} を 0.8V としてシミュレーションを行った。同図に示すとおり、コントロールユニットの出力電流 I_{IP} が印加されても、 $V_{OUT}=0\text{V}$ における Λ 形負性抵抗の出力電流 I_A は I_{IP} を追従せず、1nA 以下となる。これは、 V_{ANB} が減少したことにより、式(3.51)を満たすことが出来なくなったためである。したがって、どのような I_{IP} 入力を行ったとしても、LOW 側にのみ安定点を持つ単安定回路として動作する。このことから、発火波形生成に必要な電圧減少波形を生成することが可能であることを示している。また、どのような外部からの刺激入力に対しても応答を行わないことから、明確な不応期を持たせることが可能であることを示している。

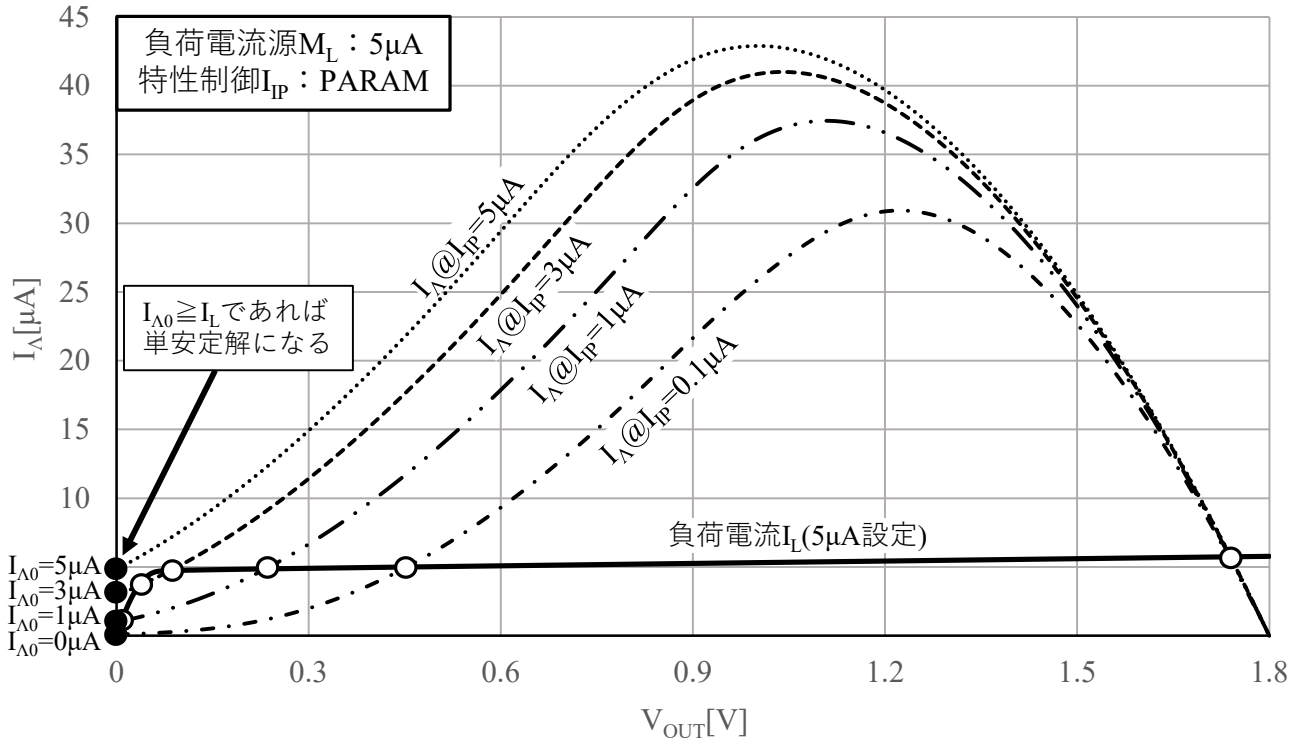


図 4.2.10 コントロールユニットによる発火制御(発火動作前)

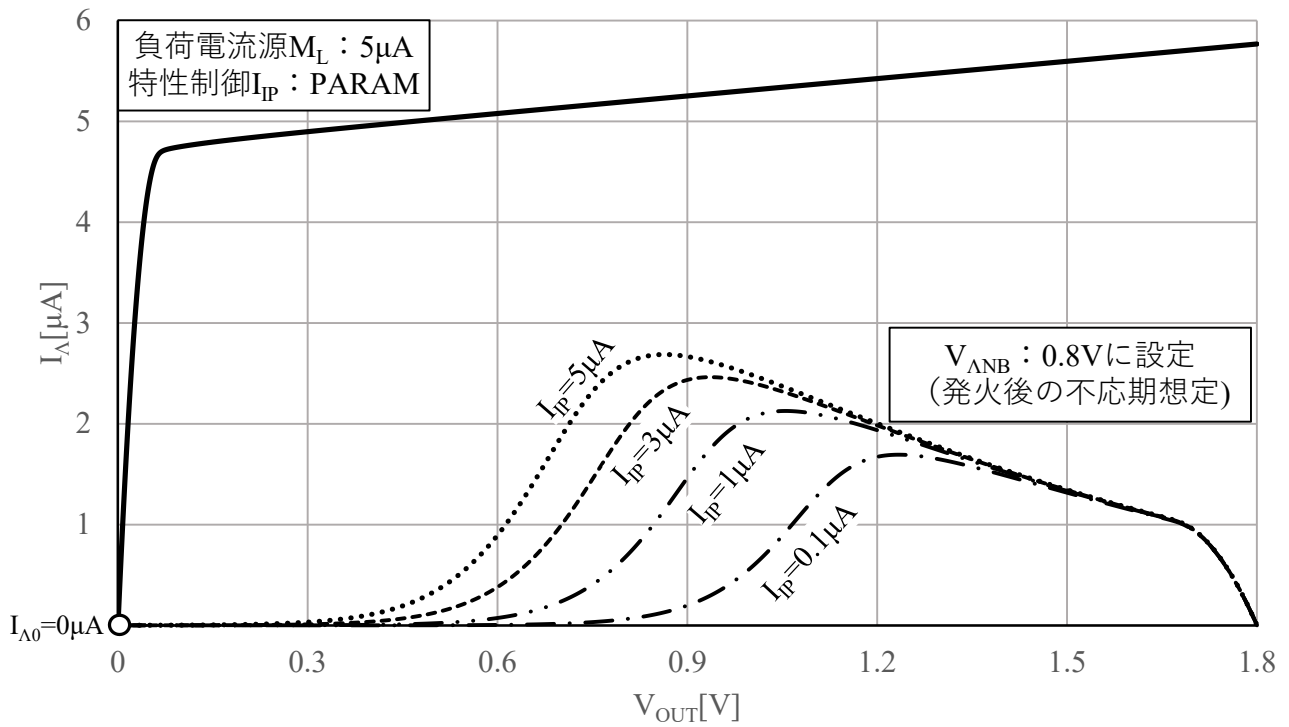


図 4.2.11 コントロールユニットによる発火制御 (発火動作直後)

4.2.4 自動補正機構の構成および解析結果

先に述べたとおり，コアユニットおよびコントロールユニットを用いた構成により発火動作を制御するためには，コアユニットの出力電圧が $0V$ における Λ 形負性抵抗の出力電流が，負荷電流源の電流値を上回る必要がある．また，コントロールユニットにより制御可能な電流値には上限がある．したがって，発火の制御を行うためには，負荷電流源に設定する電流値を，コントロールユニットが制御可能な電流値以下にする必要がある．負荷電流がコントロールユニットの最大制御電流を下回るためには，コントロールユニットが制御可能な電流値をあらかじめ推定し，推定した電流値を元にカレントミラー等で負荷電流源を制御する必要がある．本稿では，最大電流を推定する回路，またそれを元とした自動補正機構について述べる．

図 4.2.12a に自動補正機構に用いる最大電流推定回路の構成を示す．同図において， M_{DANM} および M_{DAPM} により構成される Λ 形負性抵抗はコントロールユニットおよびコアユニットと素子サイズやレイアウトを同一にして用いる．本回路は，図 4.2.8 で示したように，コントロールユニットの制御端子電圧 $V_{APBIAS}=0V$ において制御可能な最大電流値となることを利用し，コントロールユニットと同値の Λ 形負性抵抗の p 型 MOSFET ゲート電圧を $0V$ に設定することで最大電流値の推定を行う．推定した最大電流値は，カレントミラー M_{IPMAX} を通じて取得する．

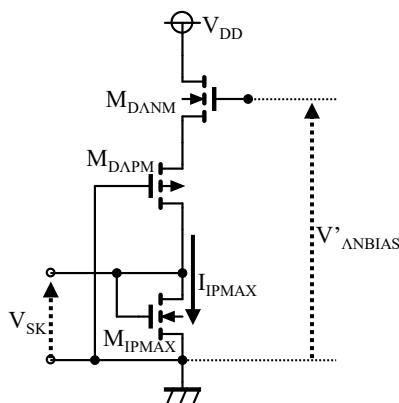


図 4.2.12a 最大電流推定回路

図 4.2.12b に最大電流推定回路を用いた自動補正機構を適用した P-HCNM の回路図を示す．同図において，点線枠で囲った Λ 形負性抵抗はすべて共通の値・レイアウトを用い，また破線枠で囲ったバイアス回路同士についても同様に共通の値およびレイアウトを用いる．同図に示すとおり，コントロールユニットが制御可能な電流値の最大値を最大電流推定回路にて I_{IPMAX} として取得し，カレントミラーを通じてコントロールユニットおよびコアユニットの負荷としてフィードバックする構成である．本構成において，自励振モデルを作製する場合はカレントミラー M_{MS} および M_{IP} ， M_L の比率を $M_{MS} > M_{IP} > M_L$ と設定することで常に $I_L < I_{IP}$ が成立するため，自発的な発振を得ることが出来る．ただし， $I_L > 0$ である必要がある．また，他励振モデルを作製する場合は，カレントミラー M_{MS} および M_{IP} ， M_L の比率を $M_{MS} > M_L > M_{IP}$ と設定することで常に $I_L > I_{IP}$ が成立するため，外

部刺激による制御を行うことが出来る。なお、他励振モデルにおいては I_{IP} を $0A$ と設定することが許され、また I_{IP} を $0A$ と設定した場合において、他励振モデルのしきい値電流値 $I_{TH} \doteq I_L$ となる。 $I_{IP} \neq 0A$ とした場合、 $I_{TH} \doteq I_L - I_{IP}$ となる。本構成において、コアユニット・コントロールユニット・最大電流推定回路に共通の Δ 形負性抵抗を配置しているため、共通する MOSFET 同士をコモンセントロイド配置することで特性を共有できるため、グローバルばらつきや温度変化によって特性が変化した場合でも自動的に I_{IPMAX} を更新し、 I_L および I_{IP} にフィードバックを行い、常に設定した状態（自励振・他励振）を維持することが可能である。また、しきい値電流も本回路にて推定可能であるため、OTA などを用いることで常に一定のポテンシャルに対してしきい値処理を保証することが可能である。

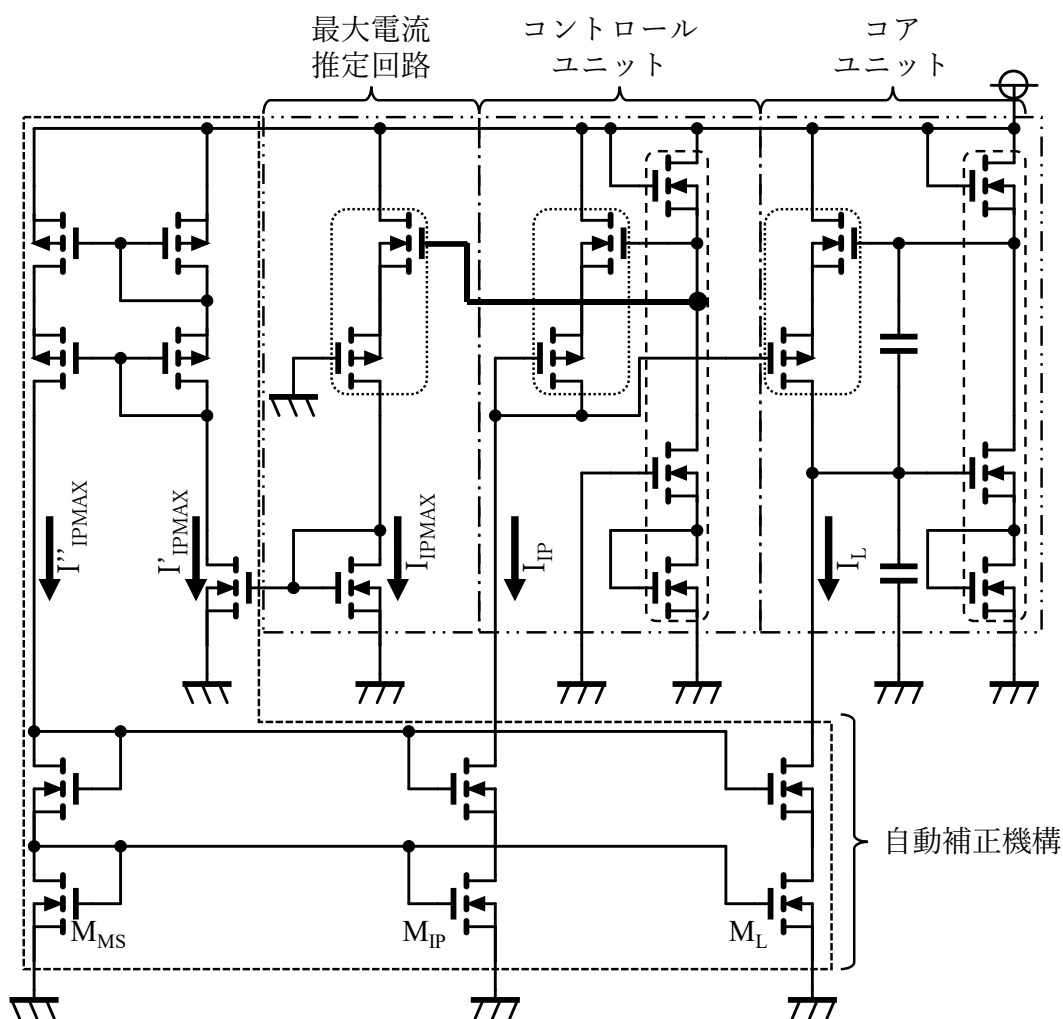


図 4.2.12b 最大電流推定回路を用いた自動補正機構を適用した P-HCNM

自動補正機構を成立させるためには、 I_{IP} および I_L は I_{IPMAX} 以下であれば良いため、最大電流推定回路が推定する電流値の精度は「推定値=最大電流 $\leq 100\%$ 」であれば要求を満たすことが可能である。一方で、発火周波数を下げるためには $I_L \doteq I_{IPMAX}$ となることが望ましいため、ノイズマージン等を考慮しても 90%程度の精度を目標とした。精度が目標値を満たすか確認するため、電源電圧

が変動したと仮定し、制御可能な電流値に変動を与え、変動した電流値を推定させることで精度を計算した。

図 4.2.13 に、電源電圧を変更した場合の I_{IP} を示す。同図において、横軸は電源電圧を、縦軸は推定対象となる I_{IP} の最大値を示す。同図に示すとおり、電源電圧を変動することで、推定対象となる電流値が非線形に変動する。

図 4.2.14 に、図 4.2.13 で示した特性を最大電流推定回路にて推定した際の推定精度を示す。同図において、横軸は電源電圧を、縦軸は推定精度を示す。同図に示すとおり、電流値の精度は「推定値÷最大電流 $\leq 100\%$ 」を満たしており、また全域において 94%以上の推定精度を持つことから、目標となる推定精度を達成することが可能である。

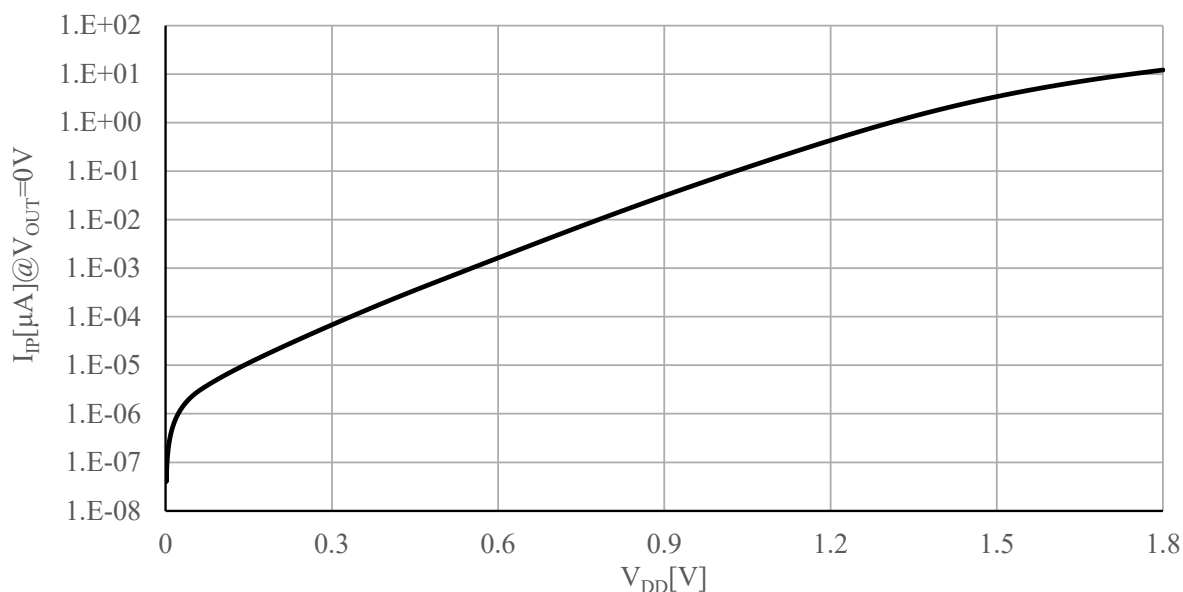


図 4.2.13 電源電圧を変更した場合の $V_{OUT}=0V$ における I_{IPMAX} (推定対象となる電流)

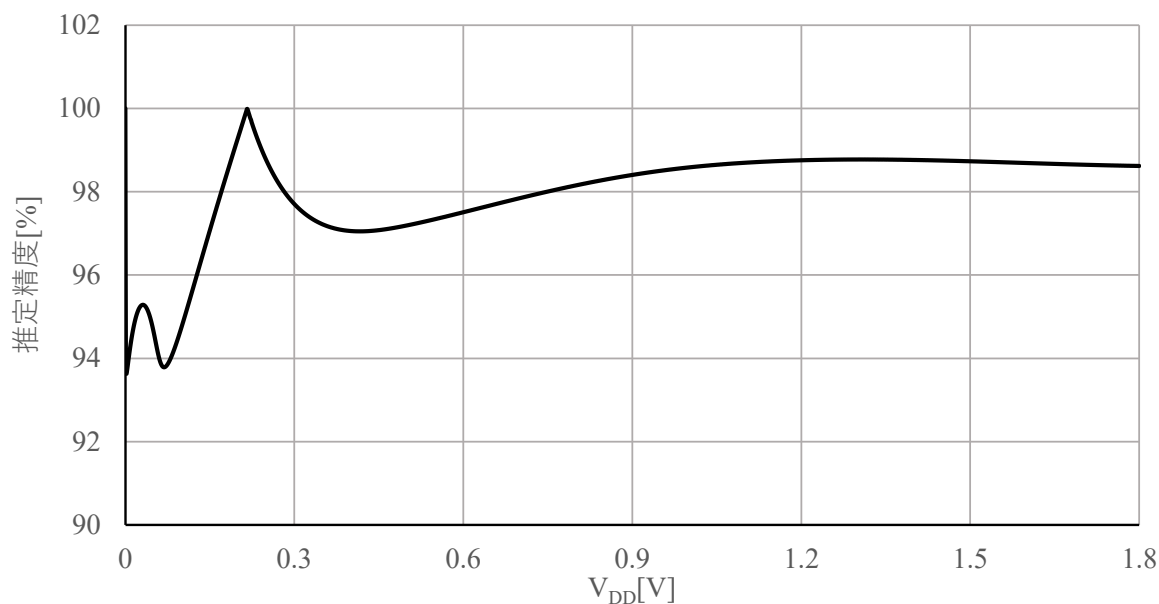


図 4.2.14 最大電流推定回路の推定精度

4.2.5 提案構成を用いたニューロンモデルの発火特性

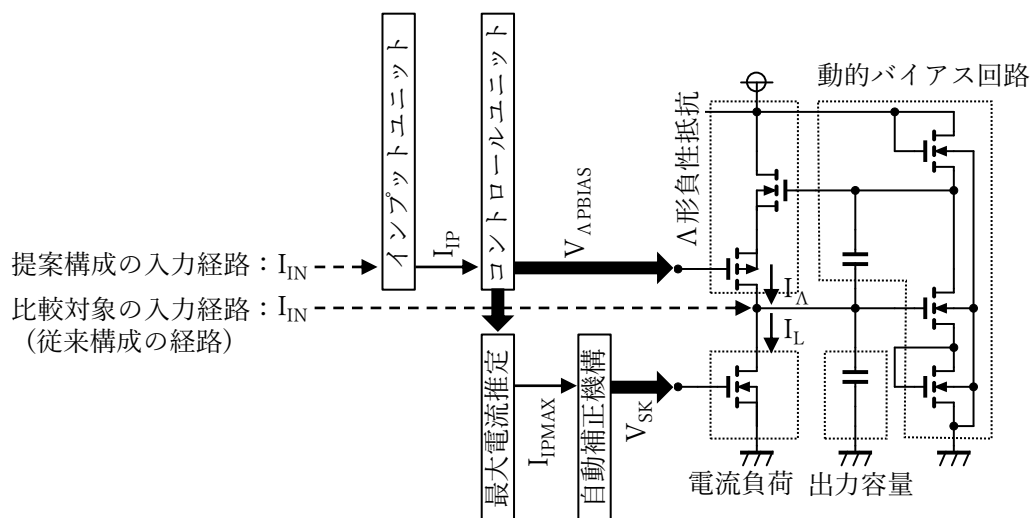


図 4.2.15 モデル動作確認用の構成

前項により、コントロールユニットの特性を示し、2つの単安定回路を生成可能であることから発火可能なシステムであることを確認した。一方で、発火波形については未確認であるため、本項では図 4.2.15 をシミュレータにより発火波形の確認を行う。なお、従来構成との比較のため、 I_{IN} を入力ユニットに印加する場合と、従来構成と同様の V_{OUT} 端子に入力する場合の2種類に分けて確認を行った。なお、従来構成においては、入力ユニットに $0.1\mu A$ を入力し、コントロールユニットが原点補正回路として動作するよう設定した。生体ニューロンの特徴として、①外部刺激に対ししきい値特性を持つ②外部刺激が強まるほど発火周波数が高くなる、の2つの特徴が存在する。したがって、本システムに対し外部刺激入力 I_{IN} を入力し、本システムが電流しきい値を持つこと、および入力の大きさに応じて発火周波数が変化することを確認する。また、3章4節3項に示したとおり、従来のモデルでは発火応答可能な I_{IN} の入力範囲が非常に狭いことから、提案構成を用いることで入力範囲を改善することが可能かについて検討を行う。

4.2.5.1 継続入力時の電流しきい値および入力範囲

図 4.2.16 に、外部刺激 I_{IN} に対する P-HCNM の発火応答周波数特性を示す。同図において、横軸に外部刺激電流 I_{IN} を、縦軸に応答周波数を示す。同図は、外部刺激電流の入力範囲及びしきい値電流値を示している。シミュレーション条件として、負荷電流源の飽和値は $5\mu A$ に設定し、 I_{IP} の最小負荷は $0.1\mu A$ に設定した。同図に示すとおり、比較対象である従来構成では電流しきい値 $1.54\mu A$ 、入力範囲は電流しきい値から $1.42\mu A$ の範囲であり、提案構成ではしきい値電流値 $4.3\mu A$ 、入力範囲は電流しきい値を満たす全範囲にて発火応答が可能である。このことから、提案構成を用

いることで、応答可能な入力範囲が増加するため、ニューラルネットワークを構築する際に安定した動作を行うことが可能となる。また、しきい値電流は $4.3\mu\text{A}$ と、負荷電流源の $5\mu\text{A}$ に対し $0.7\mu\text{A}$ の誤差で設定が出来ているため、図 4.2.10 で示したしきい値電流の設計が正常に動作可能であることを示している。なお、コントロールユニットに対して入力した I_{IN} は図 4.2.9 に示したとおり $I_{\text{IN}}=8\mu\text{A}$ 以降の入力増加分は飽和特性を示すため、 I_{IN} の増加に対し発火周波数は飽和特性を示す。

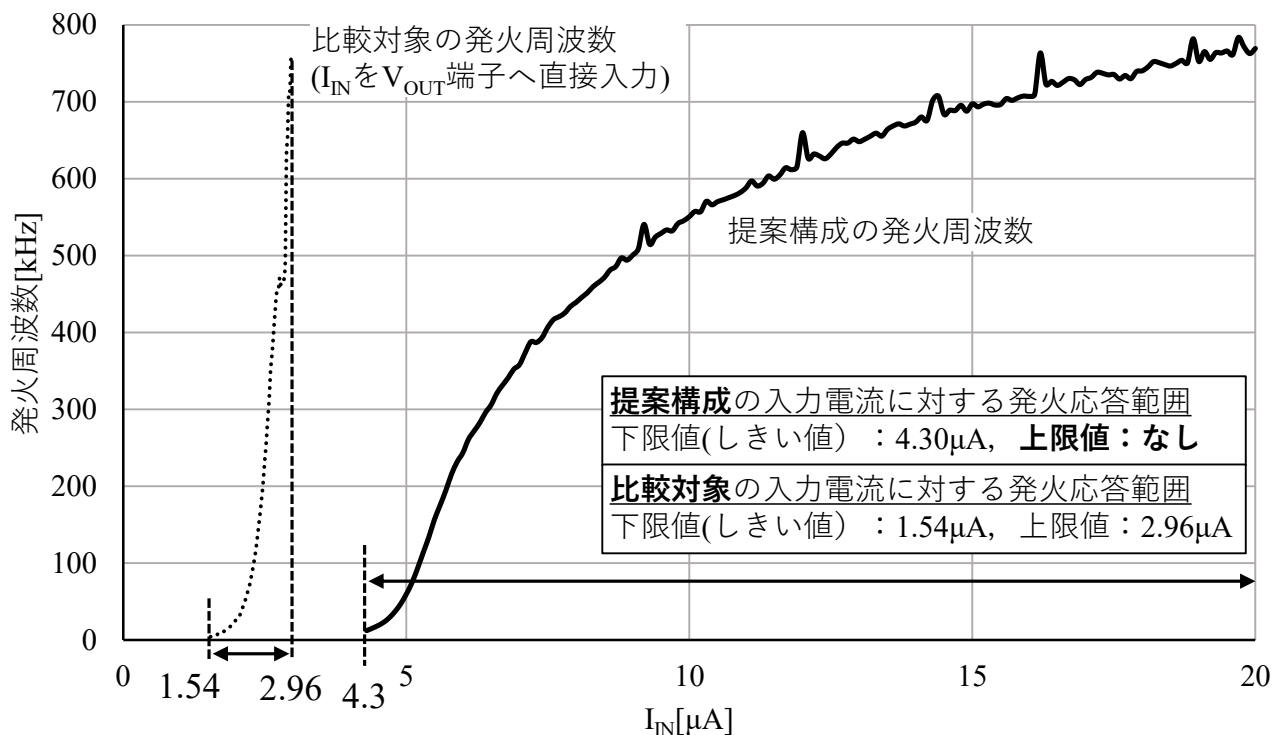


図 4.2.16 刺激入力 I_{IN} に対する発火周波数(入力範囲)

4.2.5.2 過剰入力が発火波形に及ぼす影響

比較対象である従来構成はキャパシタに対して外部から直接電荷を供給していたため、過剰な電流供給に対しては発火動作に関係なく電圧が引き上げられ電位が減少しない問題があった。電位が減少しないため、過剰な電流供給が行われた場合発火波形が生成されないことになる。しかし、ニューラルネットワークを構築する上では、しきい値を超える入力に対しては、入力の大小にかかわらず発火応答が行われる必要がある。したがって、提案構成を用いることで、過剰な電流供給に対する発火動作について検討を行った。

図 4.2.17 に、提案構成に対し適切な入力電流値として $5\mu\text{A}$ を入力した場合における発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件として、 $0\sim 10\mu\text{s}$ までは外部からの刺激電流は 0A と供給を行わず、 $10\mu\text{s}$ 以降は継続的に設定した刺激電流を入力した。また、電源電圧 V_{DD} の初期値は 0V とし、 $1\mu\text{s}$ 後に 1.8V へと移行

するよう設定した。同図に示すとおり、提案構成に適切な電流入力を行った場合、 V_{OUT} が飽和することなく発火波形を得ることが出来る。

図 4.2.18 に、提案構成に対し過剰な入力電流値として $20\mu A$ を入力した場合における発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件は図 4.2.17 と同様に設定した。同図に示すとおり、提案構成に過剰な電流入力を行った場合においても、適切な入力時と同様に V_{OUT} が飽和することなく発火波形を得ることが出来る。以上により、提案構成を用いた場合、入力電流に対し V_{OUT} が飽和することなく発火波形を生成することが可能であることを示している。

提案構成との比較として、図 4.2.19 に従来構成に対し適切な入力電流値として $2.5\mu A$ を入力した場合における発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件は図 4.2.17 と同様に設定した。同図に示すとおり、従来構成に適切な電流入力を行った場合に、 V_{OUT} が飽和することなく発火波形を得ることが出来る。

図 4.2.20 に従来構成に対し過剰な入力電流値として $20\mu A$ を入力した場合における発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件は図 4.2.17 と同様に設定した。同図に示すとおり、従来構成に過剰な電流入力を行った場合 V_{OUT} が $1.7V$ で飽和し、発火波形を得ることが出来ない。これは、従来構成内に存在する電位減少要素が負荷電流源のみであり、負荷電流源を超える電流を外部から供給した場合、 C_M から電荷を引き抜くことが出来ず、電流入力用のカレントミラーが線形領域へと至るまで V_{OUT} が電位上昇するためである。一方、提案構成では C_M に対し直接電荷を供給していないため、過剰な電流供給に対して V_{OUT} が飽和することなく継続的に発火動作を行うことが出来る。以上の結果から、提案するシステムを用いることで、過剰な電流供給に対する発火波形の改善を行うことが可能であることを示している。

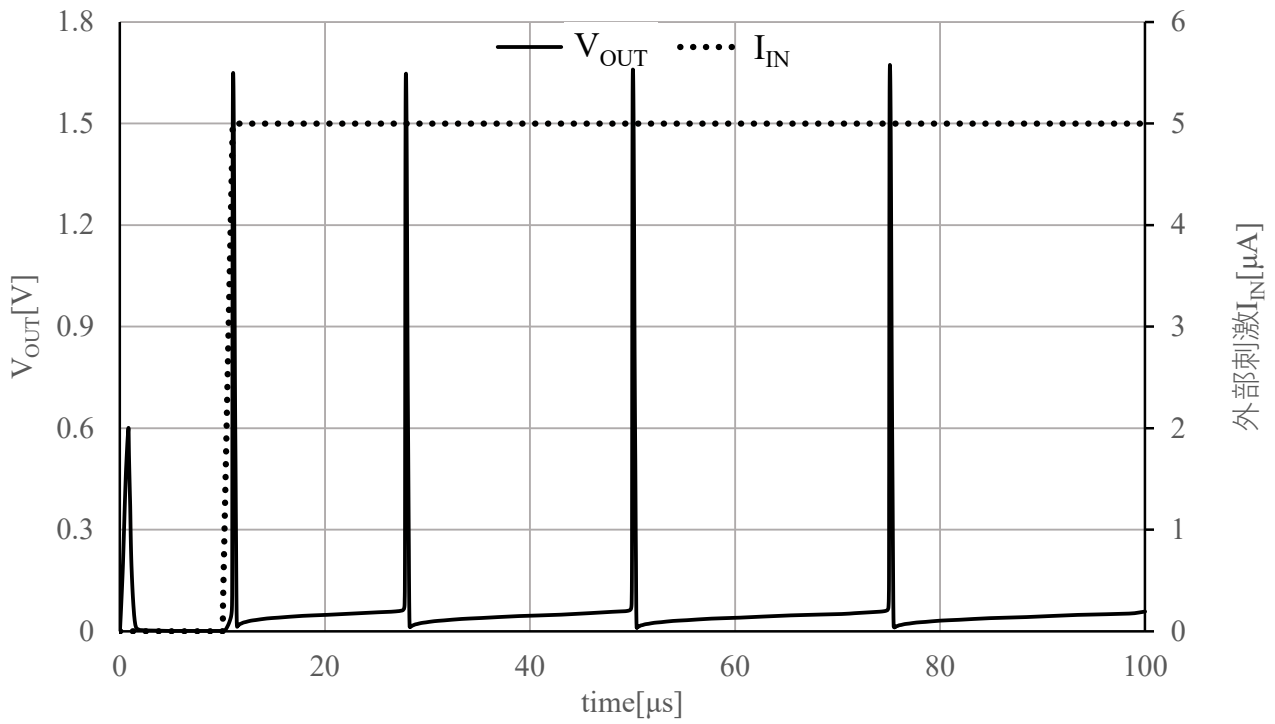


図 4.2.17 提案構成の発火波形(適切な I_{IN} への応答)

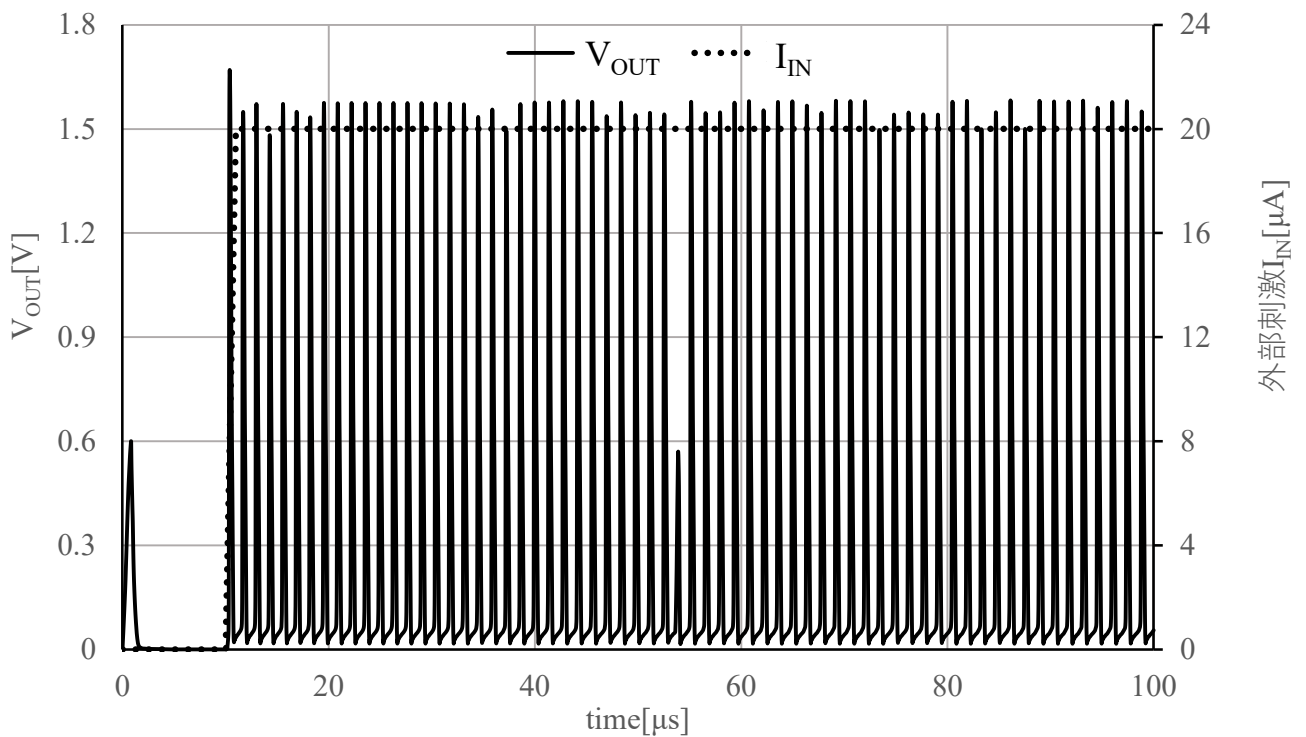


図 4.2.18 提案構成の発火波形(過剰な I_{IN} への応答)

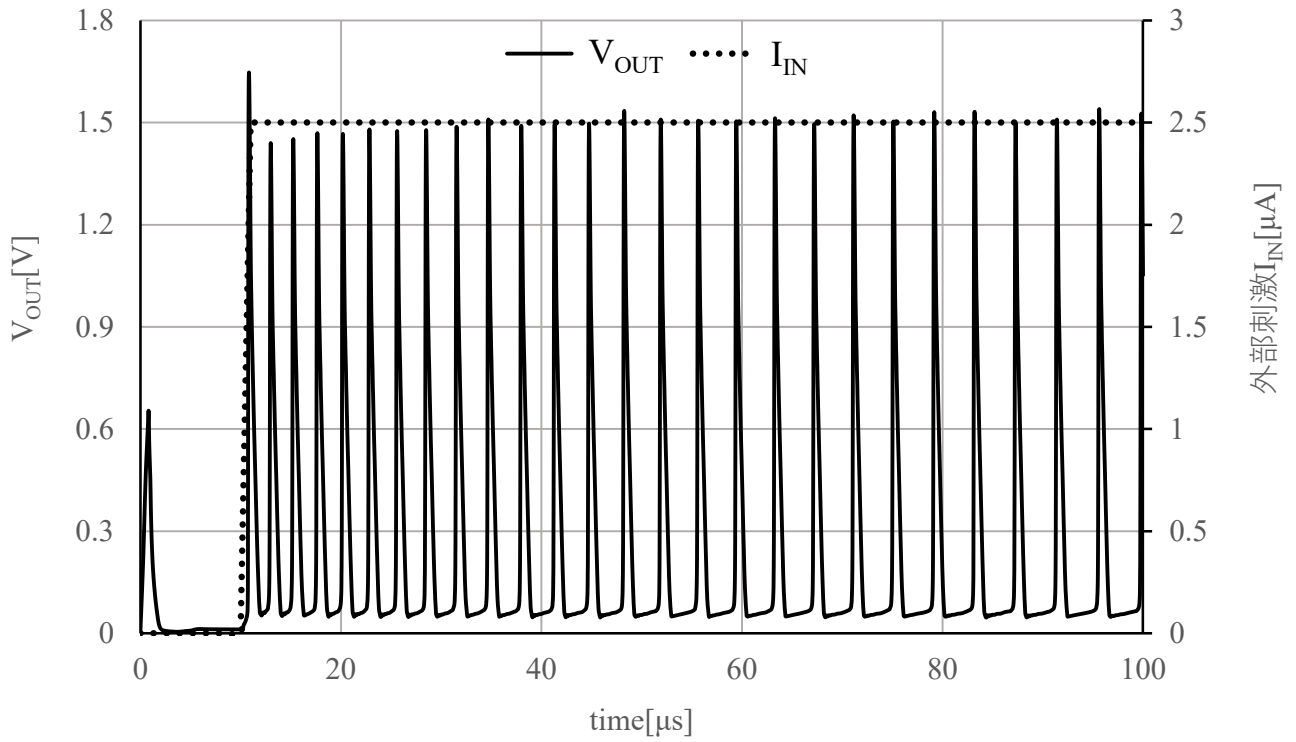


図 4.2.19 従来構成の発火波形(適切な I_{IN} への応答)

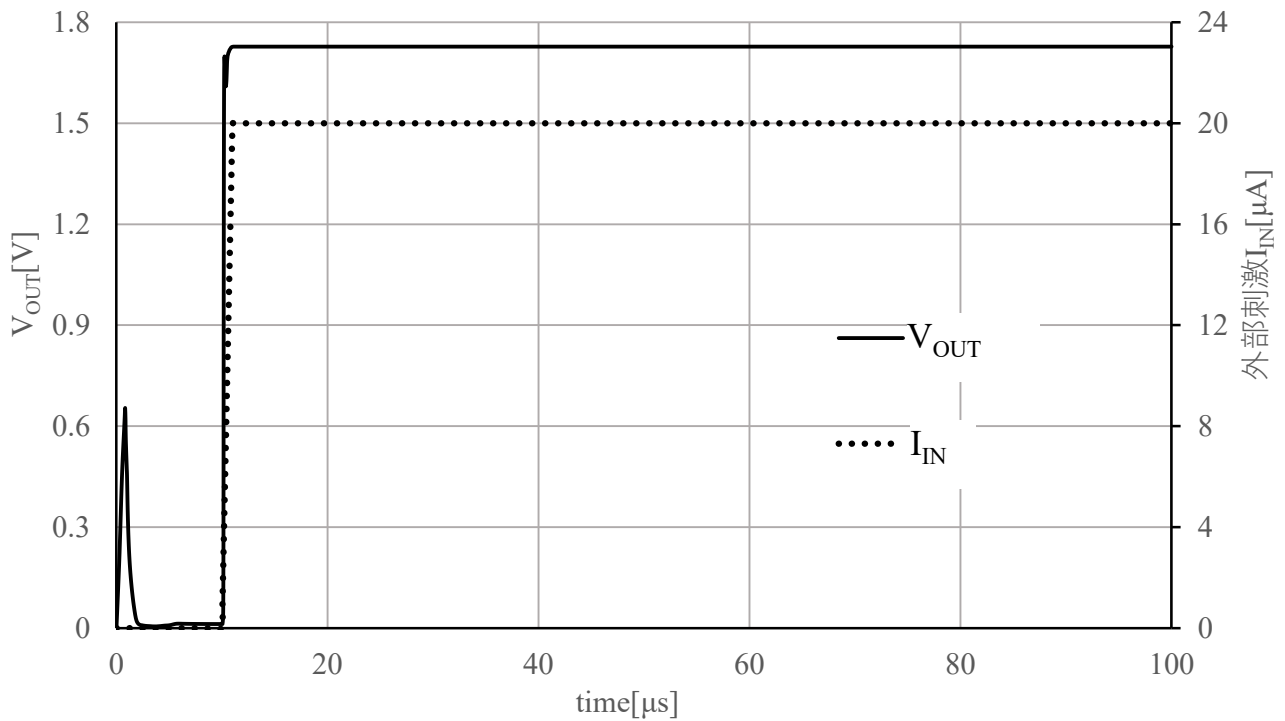


図 4.2.20 従来構成の発火波形(過剰な I_{IN} への応答)

4.2.5.3 入力電流が振幅及びパルス幅に対して与える影響

次に、発火動作中の波形に対し入力電流が及ぼす影響について検討を行う。生体のニューロンにおいては、入力電流の大きさが発火波形の振幅やパルス幅等の発火波形形状に影響を及ぼすことなく、発火に至るまでの時間および発火周波数に対してのみ影響を与えている。したがって、本モデルにおいても入力電流に依存することなく一定の発火波形形状を生成することが可能であることが望ましい。

図 4.2.21 に、提案構成の波形形状に対し入力電流が影響を及ぼさない条件での発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件として、0~10 μ s までは外部からの刺激電流は 0A と供給を行わず、10~10.05 μ s の間に 20 μ A を入力し、以降は 0A とした。また、電源電圧 V_{DD} の初期値は 0V とし、1 μ s 後に 1.8V へと移行するよう設定した。同図に示すとおり、発火動作中の入力電流が 0A であるため、入力電流の影響がない状態で発火波形を得ることができる。なお、この条件における振幅は 1.65V、パルス幅は 0.45 μ s である。

図 4.2.22 に、提案構成の波形形状に対し入力電流が影響を及ぼさない条件での発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OU} を示す。シミュレーションの条件として、0~10 μ s までは外部からの刺激電流は 0A と供給を行わず、以降は継続的に刺激電流 20 μ A を入力した。また、電源電圧 V_{DD} の初期値は 0V とし、1 μ s 後に 1.8V へと移行するよう設定した。同図に示すとおり、振幅は 1.65V、パルス幅は 0.47 μ s である。入力電流の影響がない条件である図 4.2.21 と比較し、パルス幅が 0.02 μ s 程度の変動で収まっている。したがって、提案構成は、入力電流による発火波形の振幅およびパルス幅に対する影響がないことを示している。なお、パルス幅 0.02 μ s の差は、図 4.2.22 の継続入力による P-HCNM の連続発振が影響を与えており、発振周期が長くなる場合、さらにパルス幅の差も小さくなる。提案構成との比較として、図 4.2.23 に従来構成の波形形状に対し入力電流が影響を及ぼさない条件での発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件として、0~10 μ s までは外部からの刺激電流は 0A と供給を行わず、10~10.7 μ s の間に 2.5 μ A を入力し、以降は 0A とした。また、電源電圧 V_{DD} の初期値は 0V とし、1 μ s 後に 1.8V へと移行するよう設定した。同図に示すとおり、発火動作中の入力電流が 0A であるため、入力電流の影響がない状態における発火波形を得ることができる。なお、この条件における振幅は 1.6V、パルス幅は 0.45 μ s である。この条件においては、しきい値処理動作を除いてすべて図 4.2.22 と同様の動作を行っているため、提案構成と波形の差はほとんどない。

図 4.2.24 に提案構成との比較として、提案構成の波形形状に対し入力電流が影響を及ぼさない条件での発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。条件として、0~10 μ s までは外部からの刺激電流は 0A と、供給を行わず、以降は継続的に刺激電流 2.5 μ A を入力した。また、電源電圧 V_{DD} の初期値は 0V とし、1 μ s 後に 1.8V へと移行するよう設定した。同図に示すとおり、振幅は 1.68V、パルス幅は 1.5 μ s である。入力電流の影響がな

い条件である図 4.2.23 と比較し、パルス幅が $1.05\mu\text{s}$ の変動と、元の波形の約三倍のパルス幅となる。このことから、従来構成を用いた場合、入力電流が振幅及びパルス幅に対し大きく影響を及ぼす。なお、振幅の変動値は、入力した電流の値に依存し、負荷電流源に設定した値に近くなるほどパルス幅は大きくなる。以上の図 4.2.21～図 4.2.24 に示した結果により、提案構成を用いることで、入力電流が発火波形の振幅及びパルス幅に影響を与える影響を大幅に改善することが可能であることを示している。

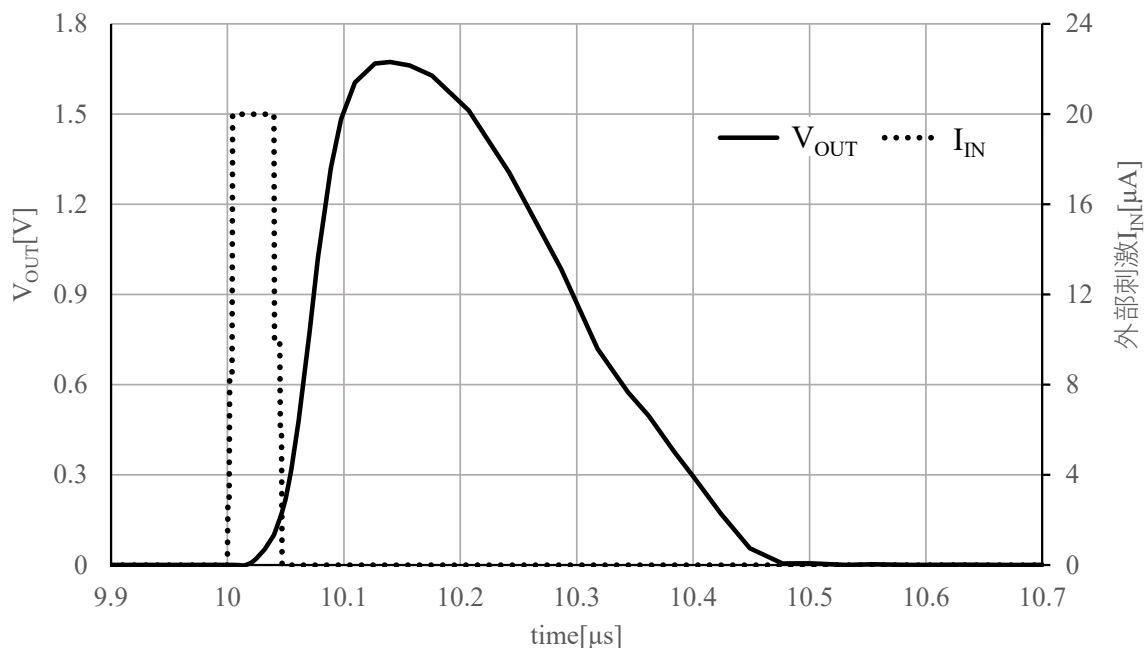


図 4.2.21 提案構成の発火波形(I_{IN} が波形に及さない条件)

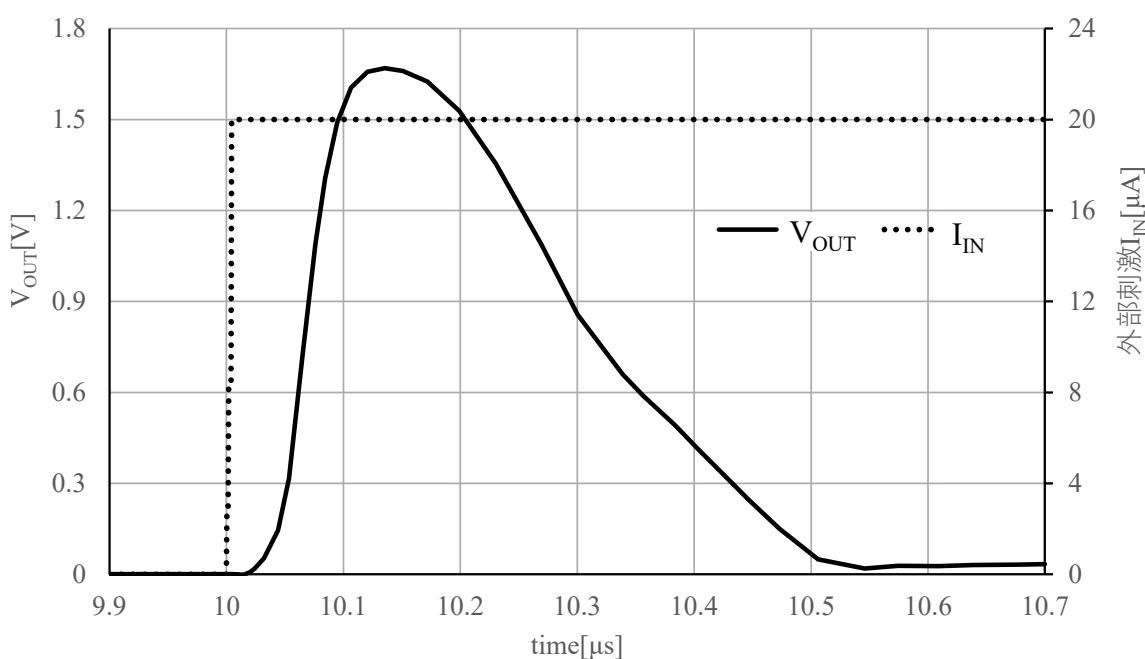


図 4.2.22 提案構成の発火波形(I_{IN} が波形に及ぼす条件)

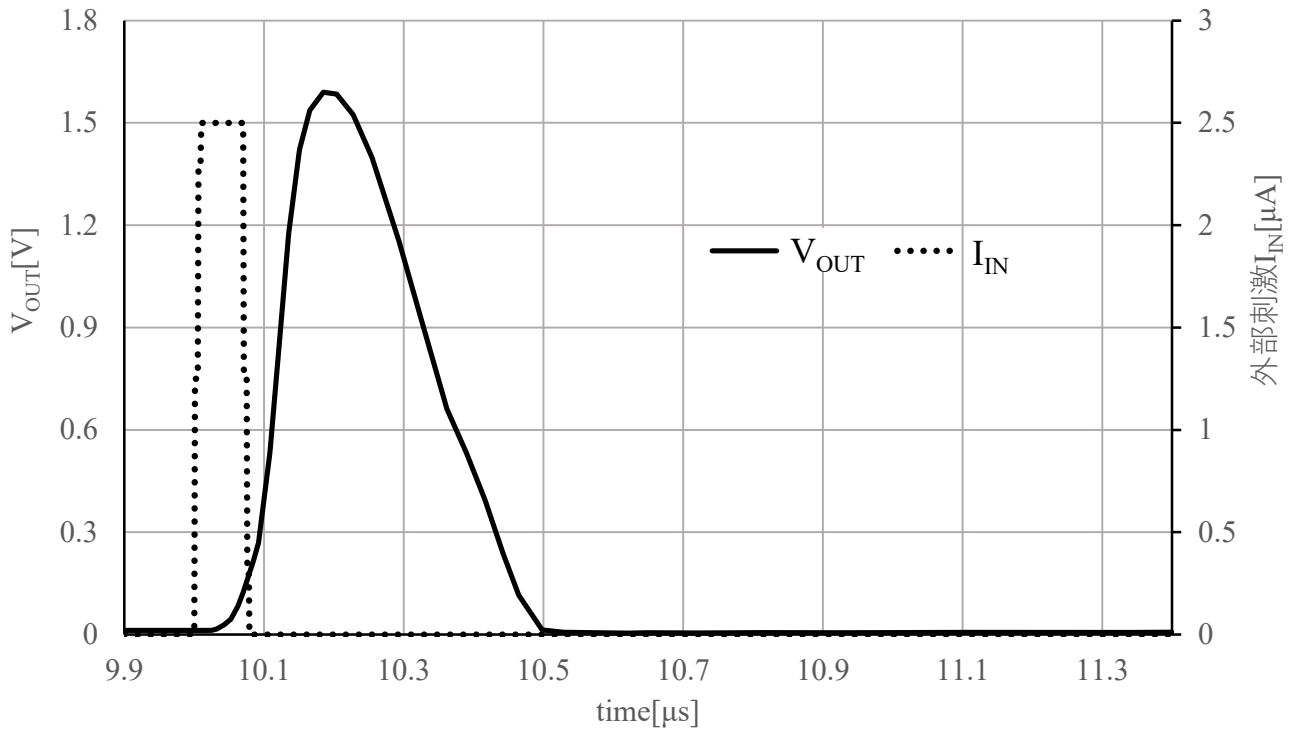


図 4.2.23 従来構成の発火波形(I_{IN} が波形に及さない条件)

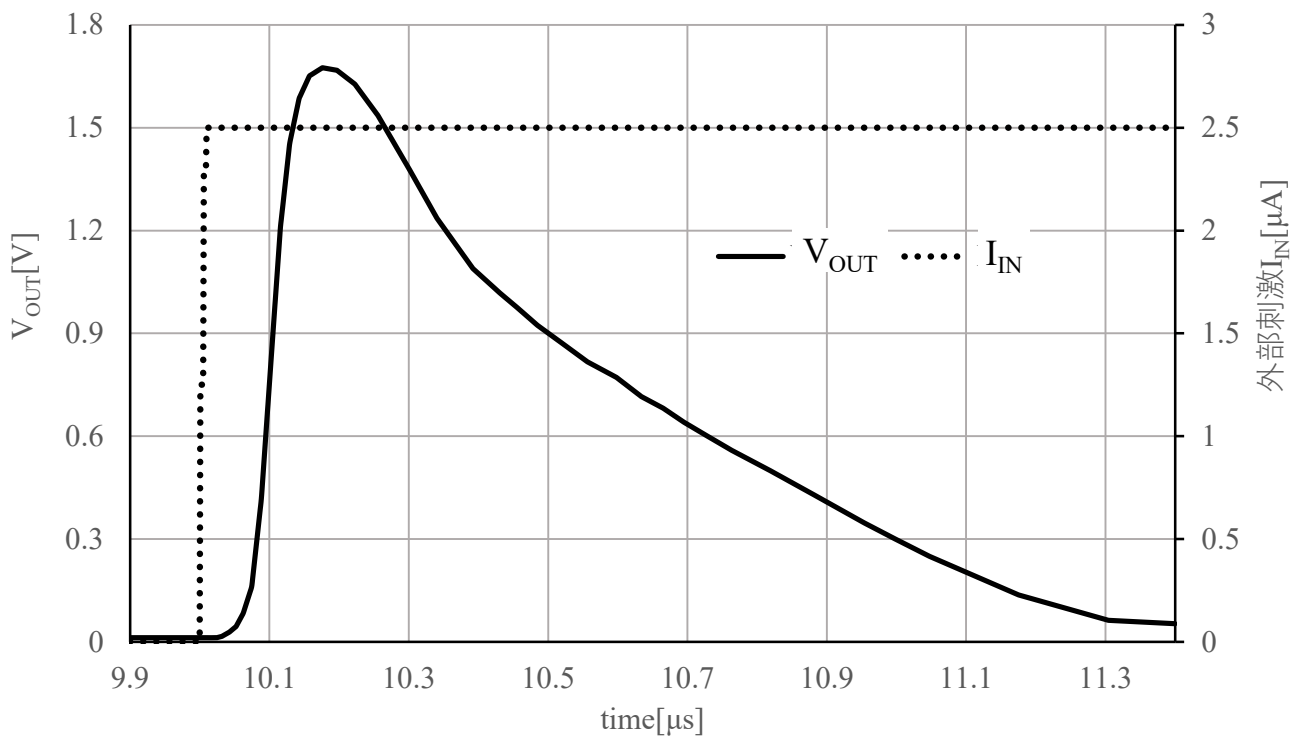


図 4.2.24 従来構成の発火波形(I_{IN} が波形に及ぼす条件)

4.2.5.4 不応期中の入力が発火波形に与える影響

次に、不応期について検討を行う。生体におけるニューロンは、発火動作後の一定期間において、いかなる入力に対しても応答を示さない状態が存在する。したがって、本モデルにおいても、発火動作後の一定期間に行われた入力に対し、 V_{OUT} に変化が発生しないことが求められる。本項では、不応期中の P-HCNM に対し外部から電流入力を行い、発火波形にどのような変化が発生するか確認を行う。

図 4.2.25 に、不応期中の提案構成に対し入力電流を行った場合の発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_{OUT} を示す。シミュレーションの条件として、 $0\sim 10\mu\text{s}$ までは外部からの刺激電流は 0A と供給を行わず、 $10\sim 10.05\mu\text{s}$ の期間に発火動作を引き起こすための入力として $20\mu\text{A}$ を供給することで発火波形を生成し、 $10.05\sim 10.3\mu\text{s}$ の間は発火波形に影響を及ぼさないよう再び 0A に設定し、不応期である $10.3\sim 10.35\mu\text{s}$ の期間に $20\mu\text{A}$ を印加しその後 0A とした。また、電源電圧 V_{DD} の初期値は 0V とし、 $1\mu\text{s}$ 後に 1.8V へと移行するよう設定した。同図に示すとおり、不応期中に電流入力を加えていない図 4.2.21 に示した発火波形から変化のない波形を保っており、また電流入力中の電位上昇も存在しない。このことから、提案構成は、不応期中の入力に対して応答を行わない。

図 4.2.26 に、不応期中の提案構成に対し入力電流を行った場合の発火波形を示す。同図において、横軸に経過時間を、縦軸に P-HCNM の出力電圧 V_O を示す。シミュレーションの条件として、 $0\sim 10\mu\text{s}$ までは外部からの刺激電流は 0A と、供給を行わず、 $10\sim 10.02\mu\text{s}$ の期間に発火動作を引き起こすための入力として $20\mu\text{A}$ を供給することで発火波形を生成し、 $10.02\sim 10.3\mu\text{s}$ の間は発火波形に影響を及ぼさないよう再び 0A に設定し、不応期である $10.3\sim 10.35\mu\text{s}$ の期間に $20\mu\text{A}$ を印加し、その後 0A とした。また、電源電圧 V_{DD} の初期値は 0V とし、 $1\mu\text{s}$ 後に 1.8V へと移行するよう設定した。同図に示すとおり、不応期中の入力に対し V_{OUT} が上昇し、入力が途絶えるとともに電位が減少する。このことから、この不応期中の電位上昇は発火条件を満たしていないにもかかわらず、外部入力の影響により電位を強制的に引き上げられたものである。以上に示した結果により、提案構成を用いることで、入力電流が不応期中の発火波形に影響を与える影響を大幅に改善することが可能であることを示している。

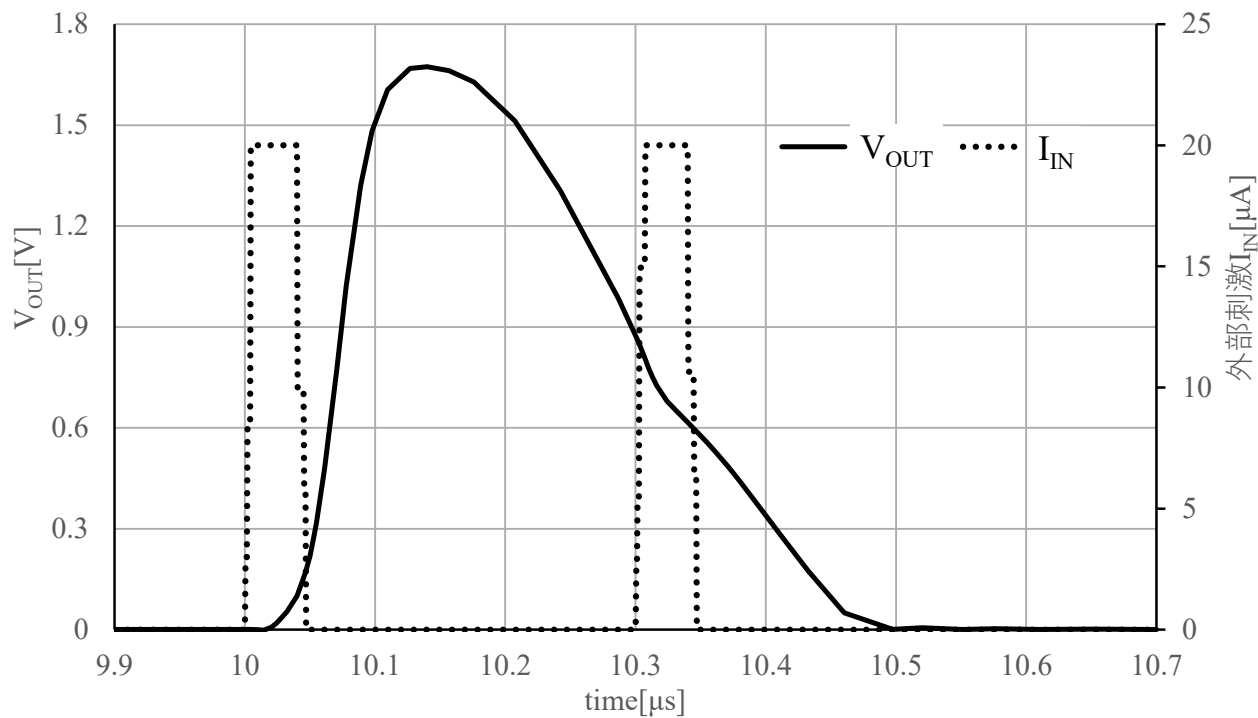


図 4.2.25 提案構成の発火波形(不応期における入力 I_{IN} の影響)

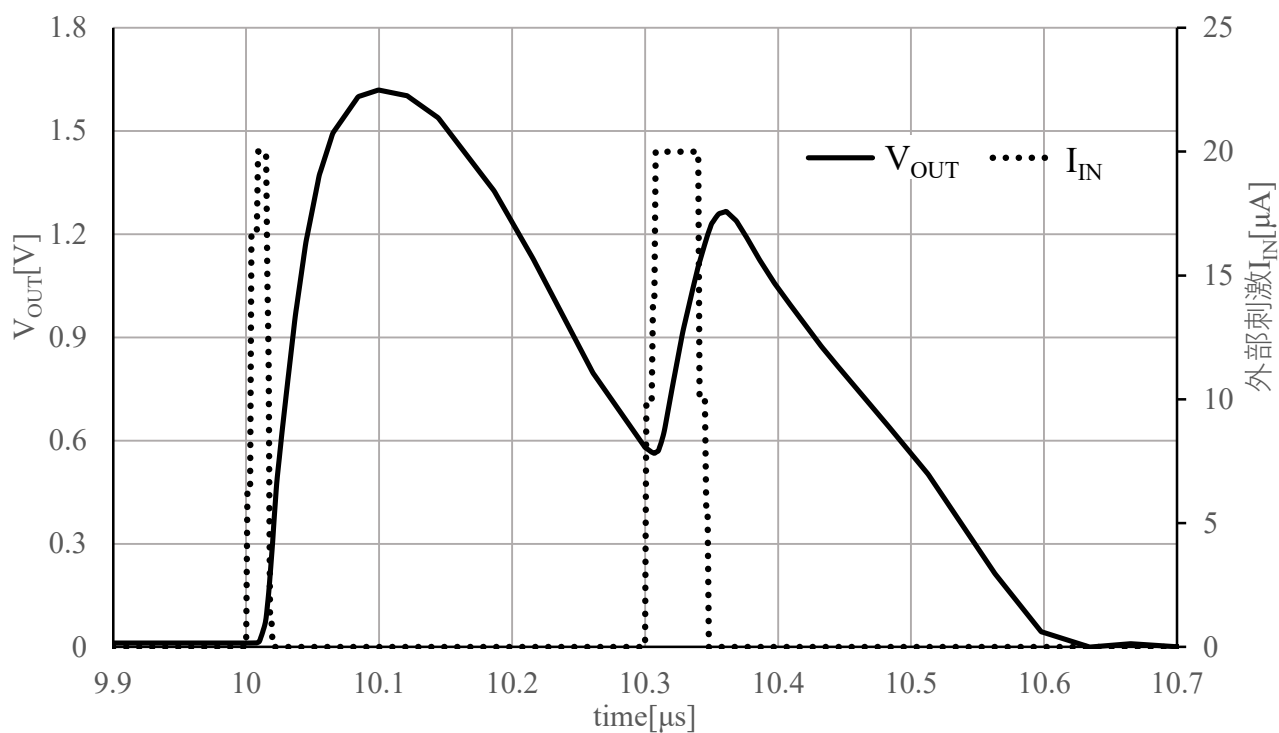


図 4.2.26 従来構成の発火波形(不応期における入力 I_{IN} の影響)

4.2.5.5 グローバルばらつきが与える影響

作製した回路を IC チップとしてレイアウト実装する際、様々な要因により特性のばらつきが生じる。その中でも、MOSFET のしきい値およびコンダクタンスの変化はアナログ回路に対し多大な影響を与える。しきい値およびコンダクタンスは主に不純物濃度に依存するため、同一チップ内でのばらつきは小さく、チップ間でのばらつき（グローバルばらつき）として大きく影響する。この影響を測る方法として、一般的にコーナー解析が用いられるため、本項ではコーナー解析を用いてグローバルばらつきによる影響を確認する。

図 4.2.27 に、入力電流に対する発火応答周波数特性をコーナー解析した結果を示す。同図において、横軸に入力電流 I_{IN} を、縦軸に P-HCNM の発火応答周波数を示す。同図に示すとおり、すべてのコーナー条件において発火を確認することが出来る。したがって、グローバルばらつきを原因とする発火不良については改善することが可能であることを示している。一方で、対角コーナーである NFPF と NSPS を比較すると、発火周波数に 200 倍程度の差が生じる。この差は、NSPS、つまり n 型 MOSFET および p 型 MOSFET の両者が共にしきい値電圧増加を引き起こした状態であり、 C_G の両端電位を回復させる機能を持つ M_{DD} から供給される電流値が減少することで Λ 形負性抵抗の $V_{OUT}=0V$ における電流値をコントロールユニットが制御可能になるまでの時間間隔が増大するためである。また、発火可能な V_{ANBIAS} も引き上げられるため、ダイオード特性を持つ M_{DD} の両端電位をさらに減少させることになり、 M_{DD} から供給される電流が著しく減少することから C_G の両端電位回復時間も著しく伸びたものと考えられる。したがって、異なるチップ間で自励振モデルまたはバースト発火を伴う信号の伝達を行う場合、発火頻度を調整するための回路を経由する必要性が生じる。この対策として、 M_{DD} の基板電位を接地電位ではなく M_{DD} のソース電位へと接続する方法がある。この方法を用いた場合、他の n 型 MOSFET と異なる基板電位を持たせるため、絶縁物による基板切り分け、もしくは NWELL および DEEPNELL を用いた基板電位切り離しを行う必要がある。したがって、 M_{DD} を構築するために必要な面積が、切り分け処理を行う前の 3 倍に増大するが、キャパシタを除いたコアシステム内の面積として 1.1 倍程度の増大に収まるため、ネットワークを構築する際には大きな影響はないものと考えられる。

図 4.2.28 に、 M_{DD} の基板電位をソース電位へと切り替えた場合の入力電流に対する発火応答周波数特性を NSPS 解析した結果を示す。同図において、横軸に入力電流 I_{IN} を、縦軸に P-HCNM の発火応答周波数を示す。同図に示すとおり、発火周波数が 10kHz のオーダーとなることが可能である。このことから、NSPS における周波数減少の原因が M_{DD} による C_G の電位回復速度の低下が原因であり、 M_{DD} のしきい値を引き下げることによって、発火周波数を改善することが可能であることを示している。

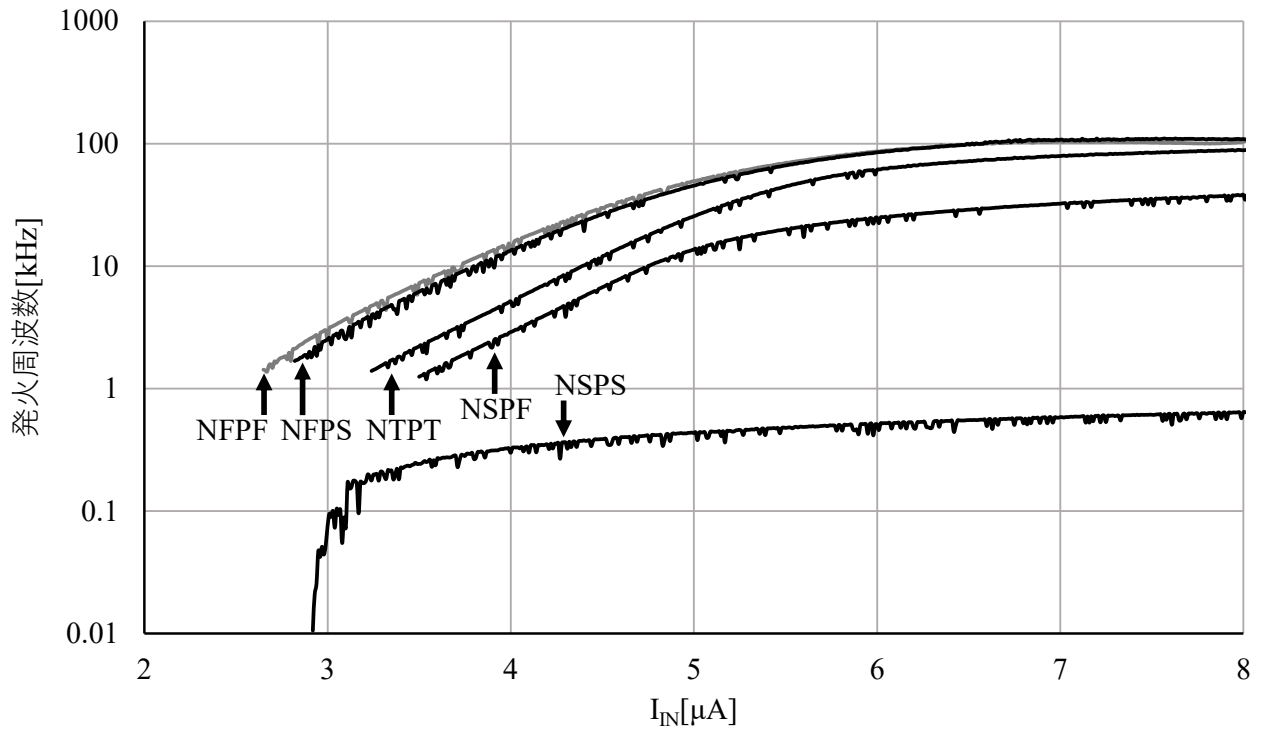


図 4.2.27 入力電流 I_{IN} に対する発火応答周波数(コーナー解析)

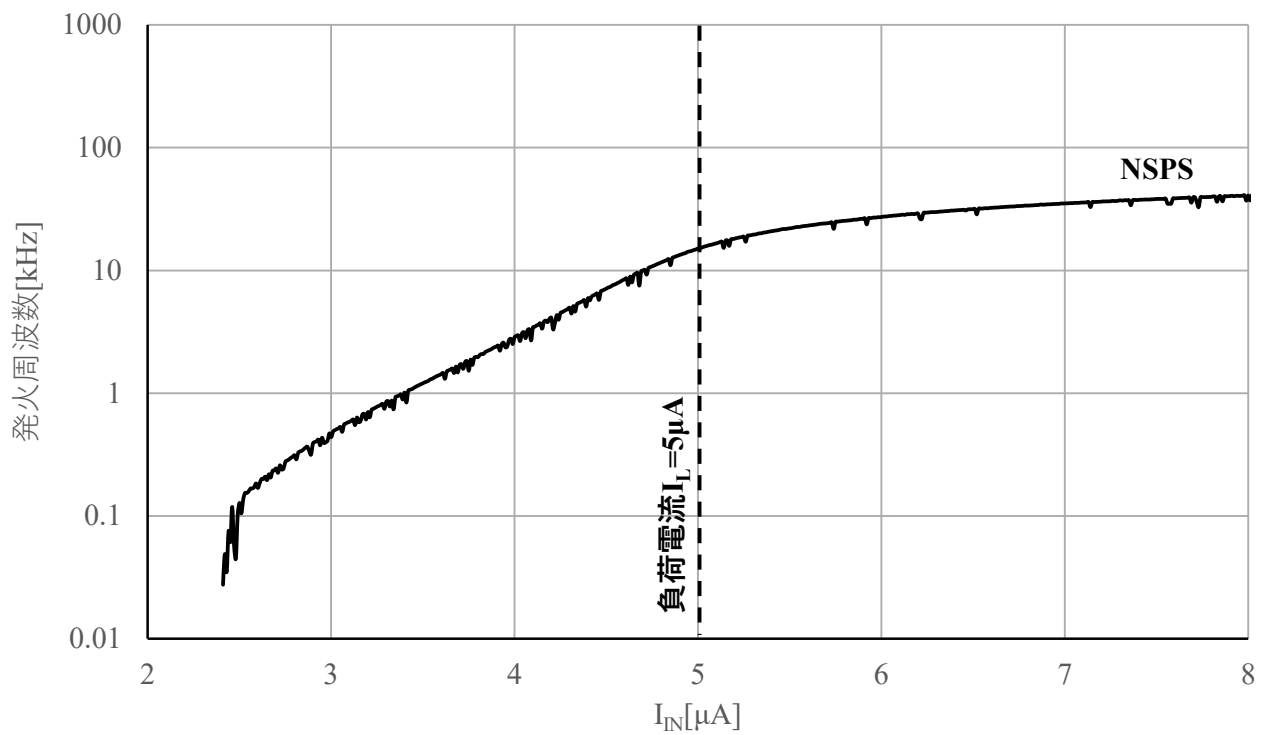


図 4.2.28 入力電流 I_{IN} に対する発火応答周波数(NSPS_基板改良)

4.2.5.6 応答特性とカオス性

一般的に生体のニューロンには、カオス応答特性があると言われている。カオス波形は一見するとランダムな変化に見えるため、ノイズとの区別を行うことが重要となる。一方で、対象となる波形がノイズではなくカオスであることを直接証明する方法は存在しない。したがって、ノイズ性を棄却することで、対象とした波形は少なくともノイズではないことを証明し、間接的にカオスであることを証明する手法を用いる。また、カオス性を持つシステムの特徴である初期値鋭敏性についても確認を行う。一般的に、ニューロンモデルのカオス性は、入力に対する応答率に変化が発生する境界に現れると言われている。したがって、まず入力周波数に対する応答率を確認し、応答率の変化境界における波形に対してカオス性の確認を行う。

図 4.2.29 に、入力周波数に対する発火応答率のグラフを示す。同図において、横軸は提案構成にの周波数を、縦軸は入力に対する発火応答率を示す。シミュレーション条件として、素子特性は NTPT とし、想定温度は 25°C、入力波形は 0~2.6μA の正弦波を入力した。同図に示すとおり、入力周波数に対し、階段状の応答特性となる。階段特性のうち、第 1 境界となる周波数は 2.15MHz である。したがって、この周波数を用いてカオス性について確認を行う。なお、カオス性の確認を行う前段階として、時間波形による違いを確認するため、入力周波数 1.2MHz および 6.4MHz との比較を行った。

図 4.2.30 に、入力周波数を 1.2MHz とした場合の発火波形を示す。同図において、横軸は経過時間を、縦軸は発火波形の V_{OU} を示す。同図に示すとおり、一定周期かつ一定振幅の周期波形となる。なお、初回発火のみ振幅が異なるが、これは初期値において V_{ANB} が最大となっており、以降は発火可能となる V_{ANB} で回復が停止するため、初回に比べ振幅が小さくなるためである。

図 4.2.31 に、入力周波数を 2.15MHz とした場合の発火波形を示す。同図において、横軸は経過時間を、縦軸は発火波形の V_{OUT} を示す。同図に示すとおり、周期性を持たない波形である。

図 4.2.32 に、入力周波数を 6.4MHz とした場合の発火波形を示す。同図において、横軸は経過を、縦軸は発火波形の V_{OUT} を示す。入力周波数 6.4MHz は図 4.2.29 の階段特性における第 3 境界における波形であるため、不規則な波形となりやすい条件である。同図に示すとおり、高振幅と低振幅を交互に繰り返す 2 周期波形となる。

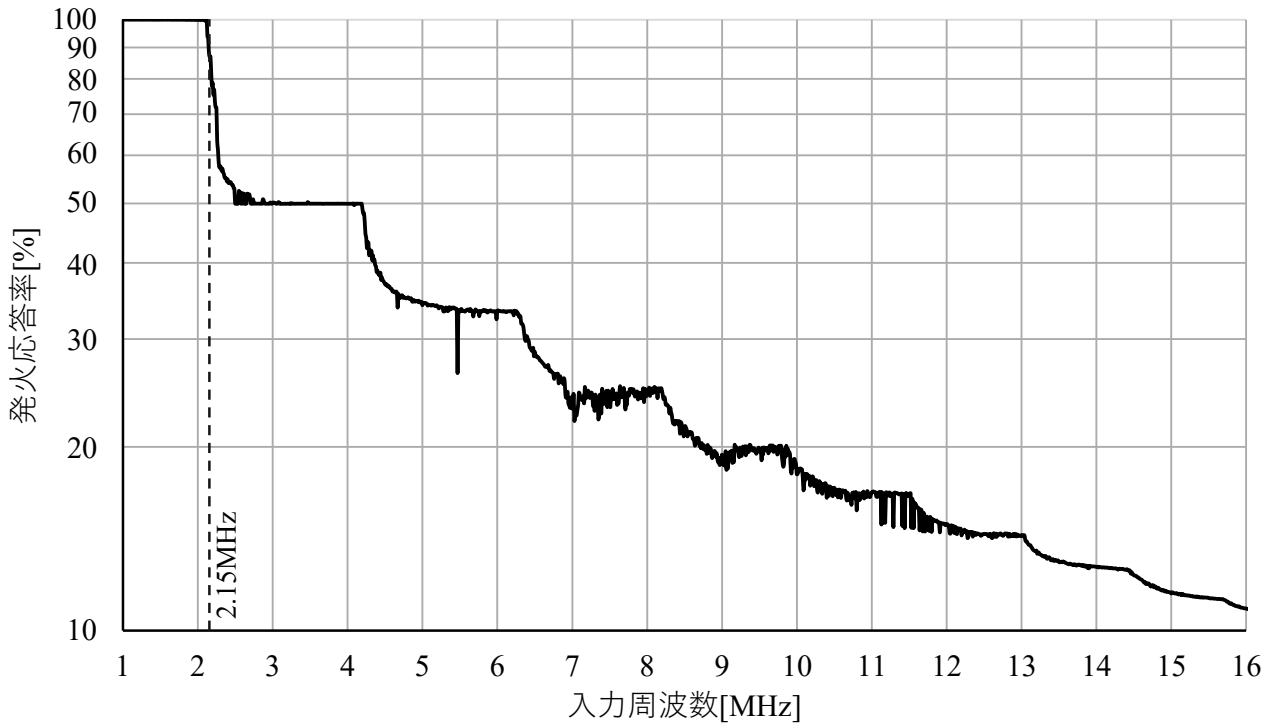


図 4.2.29 入力周波数に対する応答率

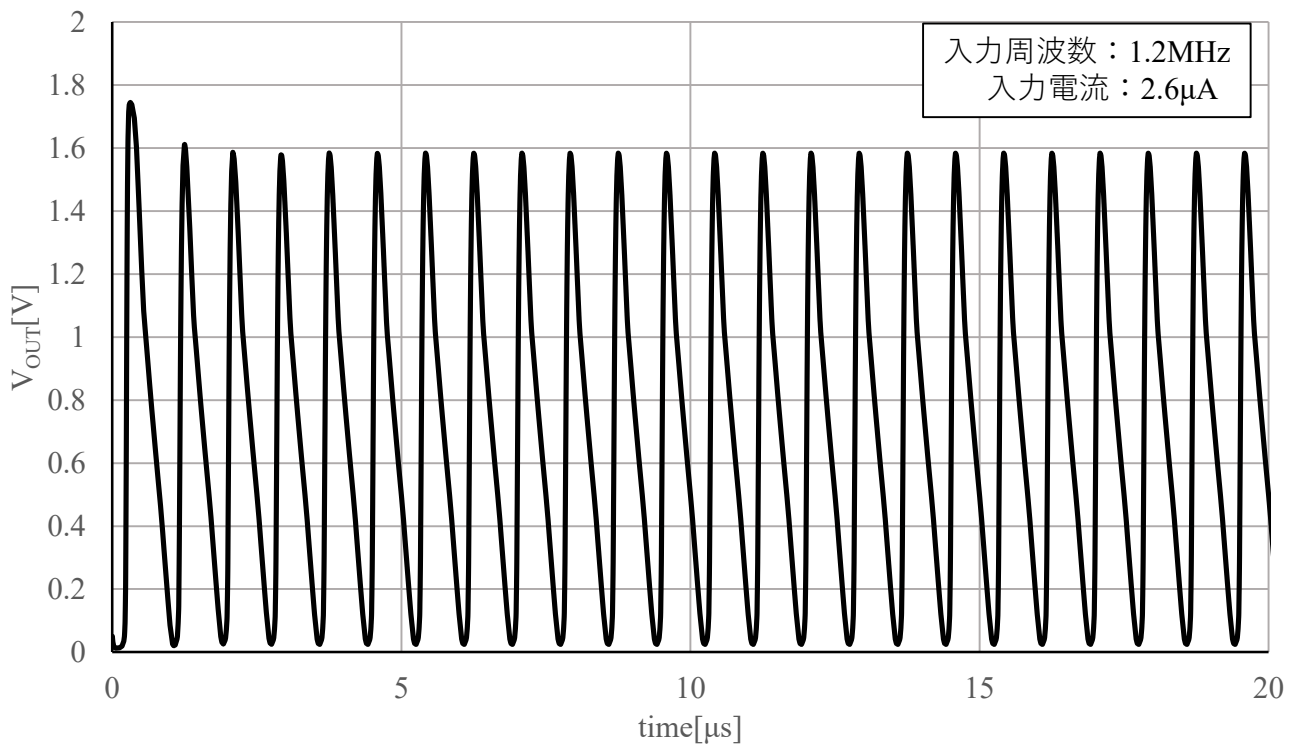


図 4.2.30 入力周波数 1.2MHz における応答波形(周期波形)

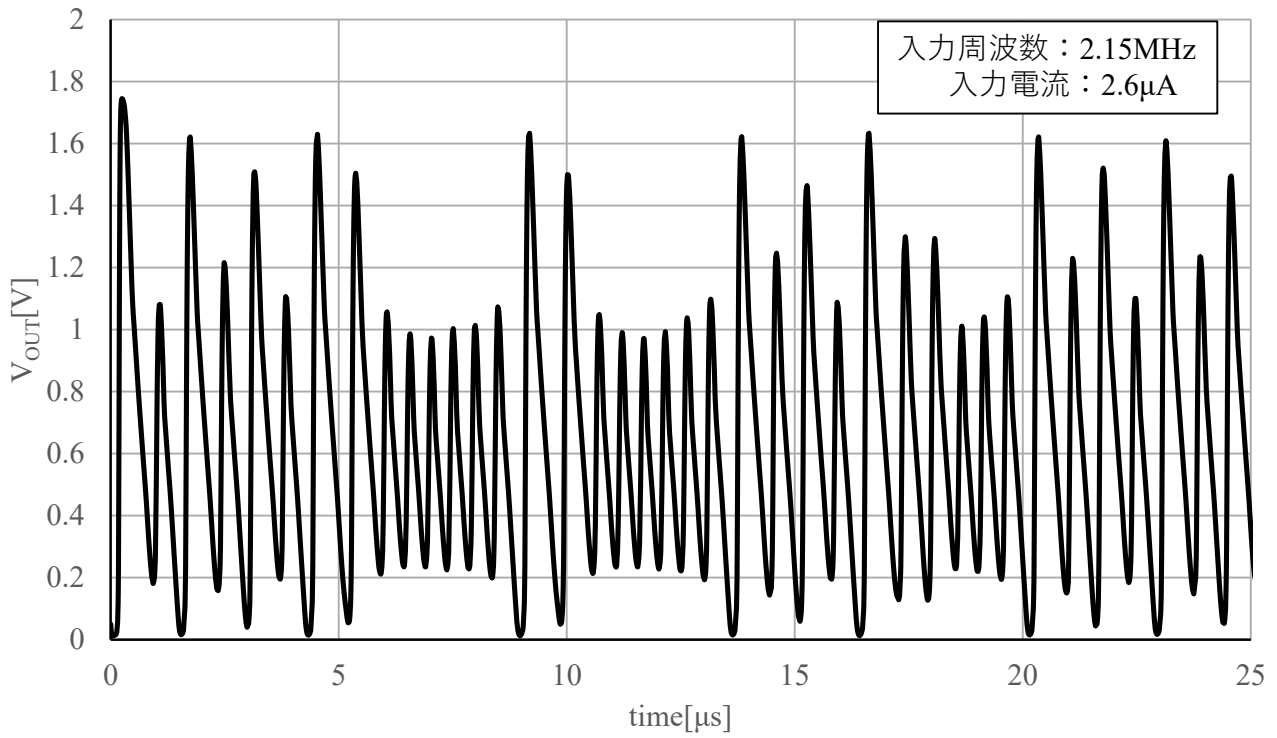


図 4.2.31 入力周波数 2.15MHz における応答波形(非周期波形)

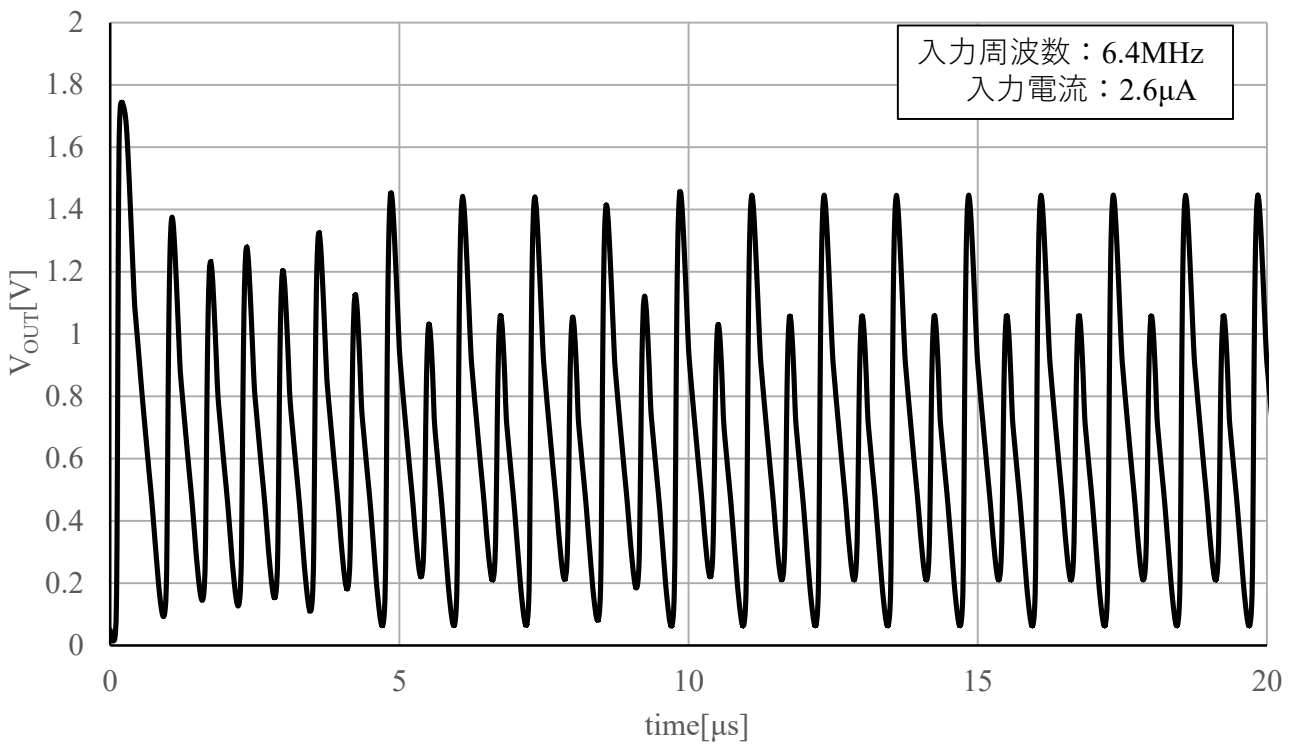


図 4.2.32 入力周波数 6.4MHz における応答波形(2 周期波形)

図 4.2.33 に、入力周波数 2.15MHz における V_{OUT} の時間波形に対して、入力位相 $11\pi/9$ のみ抽出しプロットした波形を示す。同図において、横軸は経過時間を、縦軸は発火波形の V_{OUT} を示す。周期波形である場合、 V_{OUT} に変化が生じないことから、同図に示した波形は非周期波形となる。本波形がノイズではないことを証明するため、本波形から作製したアトラクタに発現する規則性について確認を行う。

図 4.2.34 に、図 4.2.33 から構築した 2 次元アトラクタを示す。同図において、横軸は t 秒における V_{OUT} を、縦軸は t 秒から 1 ステップ経過後の V_{OUT} を示す。本アトラクタは、波形がノイズの場合、ランダムなプロットとなる。同図に示すとおり、図 4.2.33 から生成したアトラクタは一定の軌跡を描くことから、ノイズではなく一定の規則性を持つ。なお、生成するアトラクタには適切な次数が存在するが、同図を確認すると、立体的な軌道を持ちうる。したがって、3 次元のアトラクタについても構築を行う。

図 4.2.35 に、図 4.2.33 から構築した 3 次元アトラクタを示す。同図において、横軸は t 秒における V_{OUT} を、縦軸は t 秒から 1 ステップ経過後の V_{OUT} を、奥行き軸は t 秒から 2 ステップ経過後の V_{OUT} を示す。同図に示すとおり、折り曲げ軌道をもつ 3 次元アトラクタとなる。この軌道はストレンジアトラクタであると推定することができるため、入力周波数 2.15MHz における V_{OUT} の時間波形はカオス性を持つ可能性があることが示唆される。

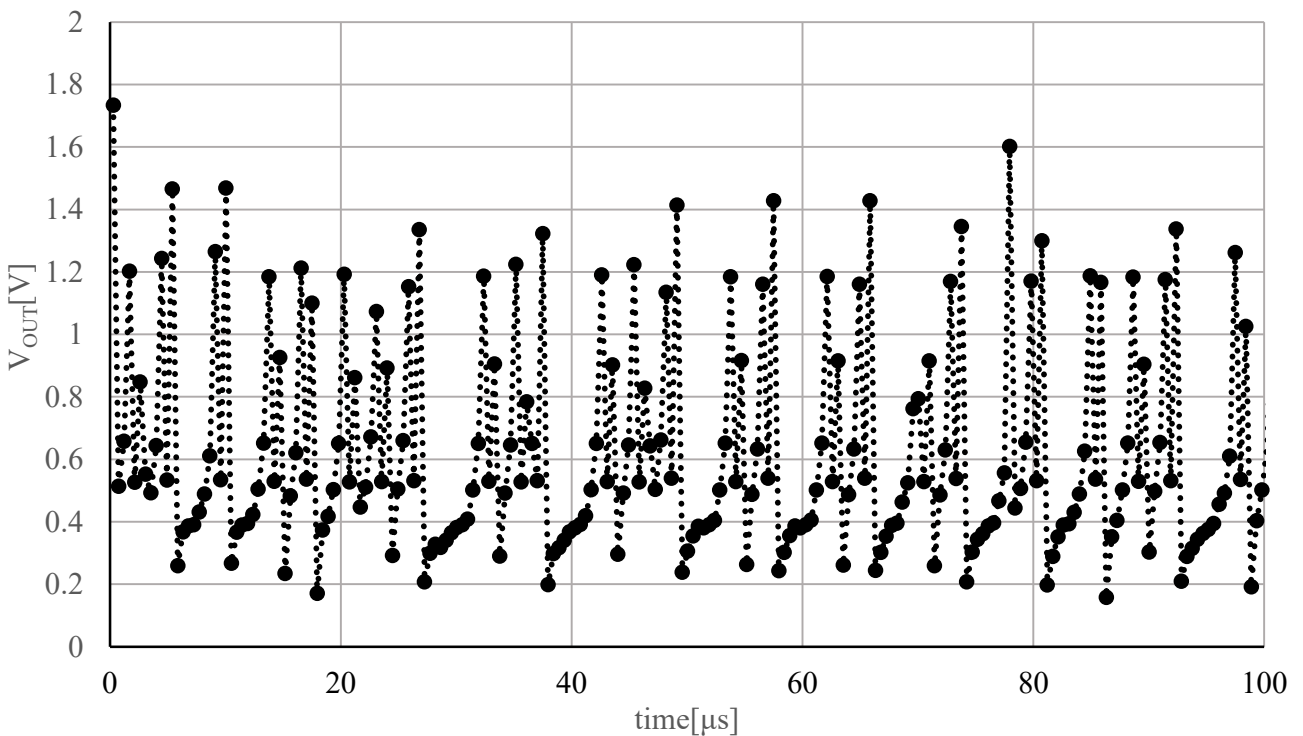


図 4.2.33 I_{IN} 位相が $11\pi/9$ となる V_{OUT} プロット

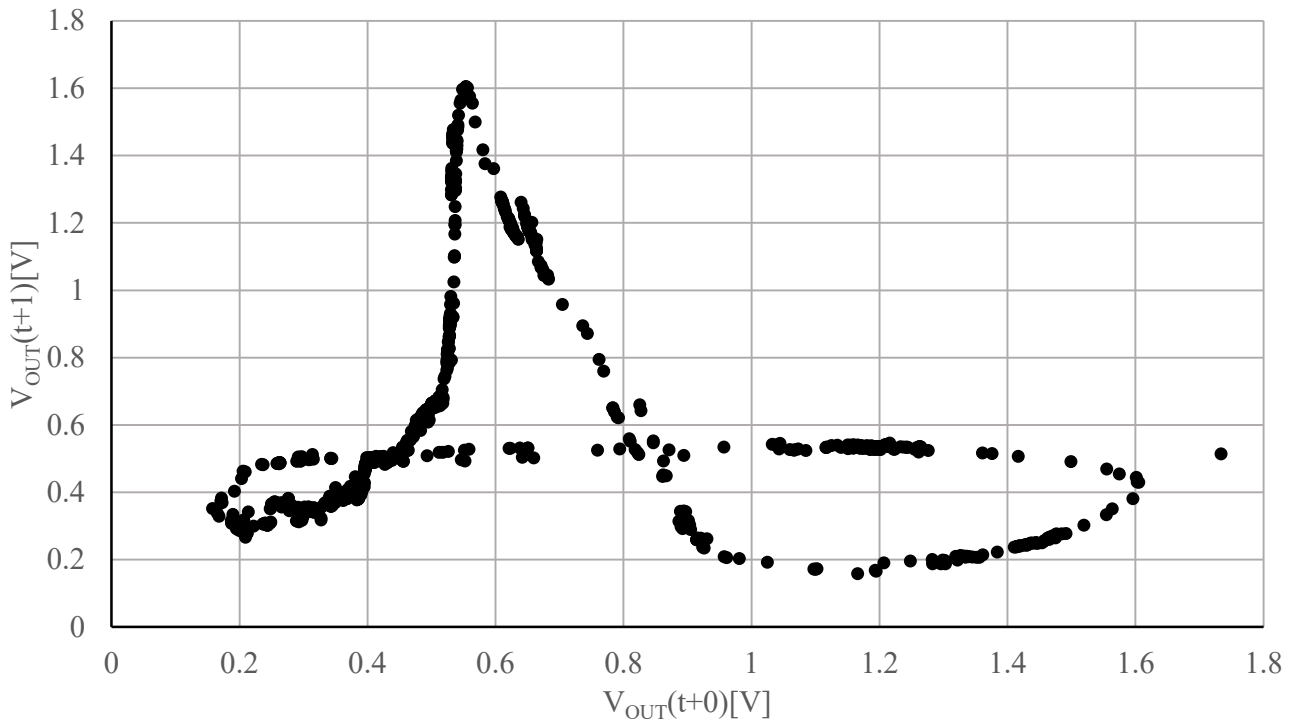


図 4.2.34 2次元リターンマップ(I_{IN} : $11\pi/9$ 位相断面)

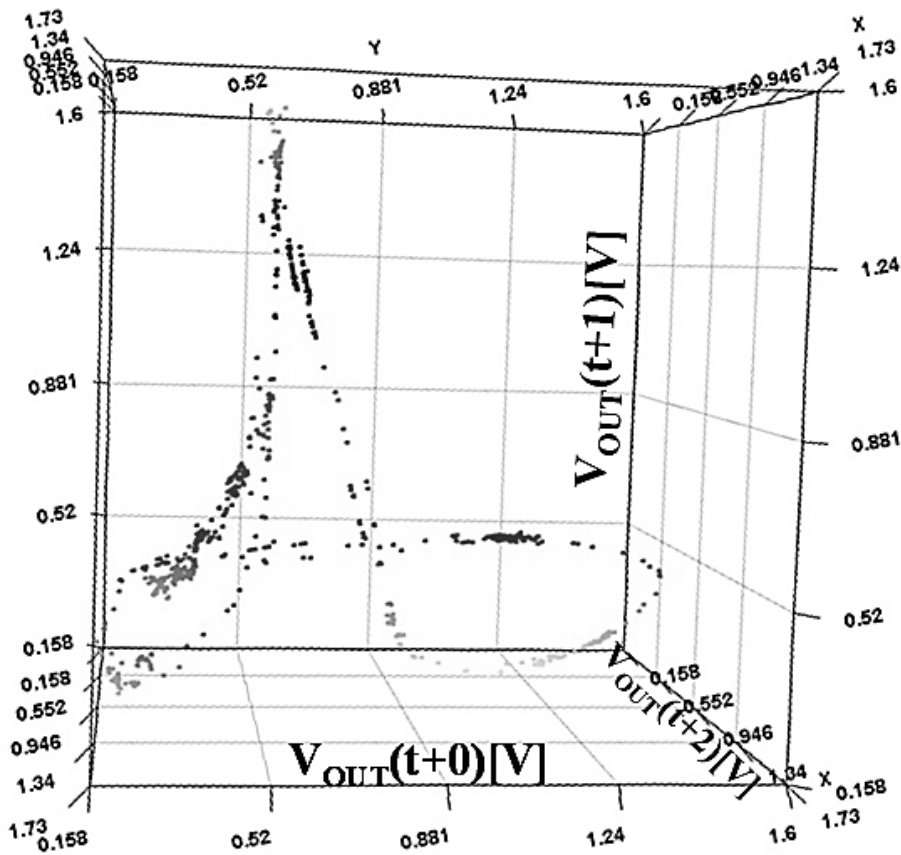


図 4.2.35 3次元リターンマップ(I_{IN} : $11\pi/9$ 位相断面)

図 4.2.34 および図 4.2.35 により、波形について一定の法則性が確認された。しかし、偶発的な事象でないことを証明できていない。したがって、サロゲート法の手法を用い、図 4.2.33 の波形を時間軸上にランダムに並び替えることで時系列性を排除し、再び生成したアトラクタと比較することで時間的法則性があることを証明する。

図 4.2.36 に、図 4.2.33 のプロットを時間軸上にランダムに並び替えた波形を示す。同図において、横軸は経過時間を、縦軸は発火波形の V_{OUT} を示す。同図に示すとおり、図 4.2.33 を元に波形を生成しているため、時間軸波形としての差がない。この波形を元にアトラクタを作製する。

図 4.2.37 に、図 4.2.36 から生成したアトラクタを示す。同図において、横軸は t 秒における V_{OUT} を、縦軸は t 秒から 1 ステップ経過後の V_{OUT} を示す。同図に示すとおり、ランダムに並び替えた波形から生成したアトラクタは一定の軌道を描かず、平面上にランダムプロットされる。この特徴はノイズ特有のものであるため、ランダムに再生した波形は、時系列的にノイズとして扱うことが可能である。また、図 4.2.34 と図 4.2.37 の相関係数を計算した結果は -0.03 となる。以上から、図 4.2.34 と図 4.2.37 に相関性がないことが証明できたため、図 4.2.34 は少なくとも時系列波形はノイズではないことを示している。これは、図 4.2.33 に示した波形がカオス性を持つ可能性があることを示唆する結果である。なお、図 4.2.33 に対して sano-sawada 法[65]-[71]により、リアプノフスペクトルを確認した結果、第 1 リアプノフ指数 0.341 、第 2 リアプノフ指数 0.06 、第 3 リアプノフ指数 -0.351 、第 4 リアプノフ指数 -1.17 であった。第 1 リアプノフ指数が正、第 2 リアプノフ指数が 0 に近似できることから、図 4.2.33 の波形にカオス性が伴うことを示唆している。なお、sano-sawada 法の実施条件として、次元数を 4、時間遅れを 1、超球内サンプリング数を 20 とし、リアプノフ指数推定回数を 100 回として解析を行った。

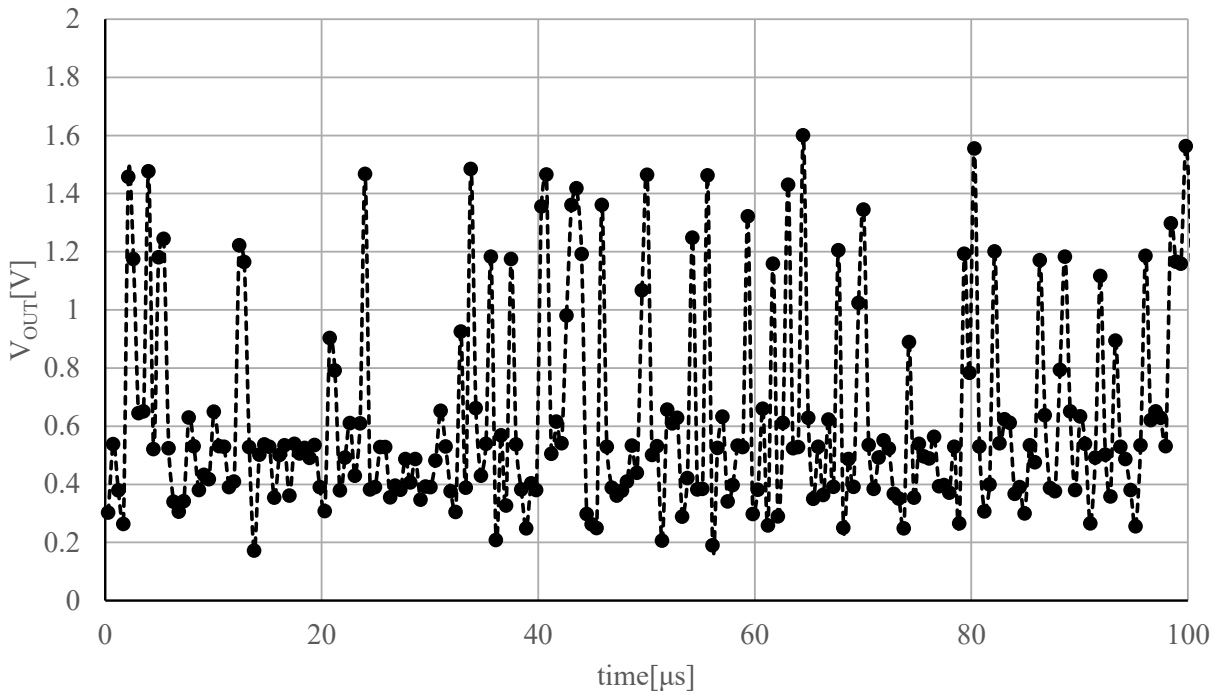


図 4.2.36 時間的関係性を破損させた V_{OUT} プロット

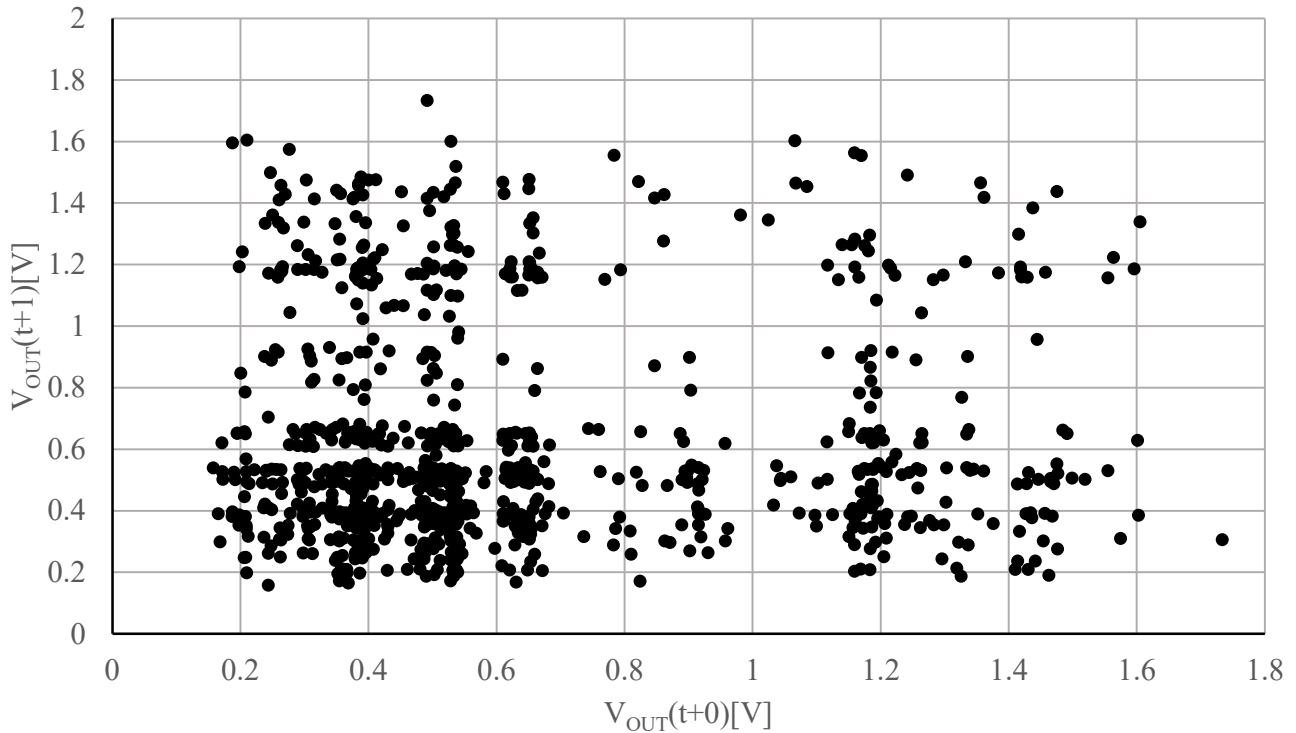


図 4.2.37 時間的關係性を破損させた 2 次元リターンマップ

カオスとなる関数は、一般的に短期予測可能性および長期予測不可能性、初期値鋭敏性があると言われている。したがって、初期値に微小な違いを与えることで、短期的には同一の軌道を描き、長期的には異なる軌道を描くことが考えられる。したがって、本システムの初期値に対しても微小な違いを与え、発火波形の軌道にどのような違いが生じるかを確認する必要がある。

図 4.2.38 に、異なる初期値を持つ提案構成に対し、入力周波数 2.15MHz を印加した際の時間波形を示す。同図において、横軸は経過時間を、縦軸は発火波形の V_{OUT} を示す。初期値条件として、10mV、20mV、30mV の 3 条件を与えシミュレーションを行った。同図に示すとおり、0~5 μ s において、どの初期値を与えた波形についても同一の軌道を持つ。これは、カオス関数における短期予測可能という特徴を本システムが持つことを示している。同図の 5~6 μ s を見ると、初期条件 30mV とした波形が異なる軌道を描き始める。また、7 μ s 以降はすべての波形が異なる軌道を描く。分岐した波形に相関性が見られないことから、カオス関数における長期予測不能という特徴を満たす。以上のことから、提案構成はカオス性を持つ可能性があることを示している。

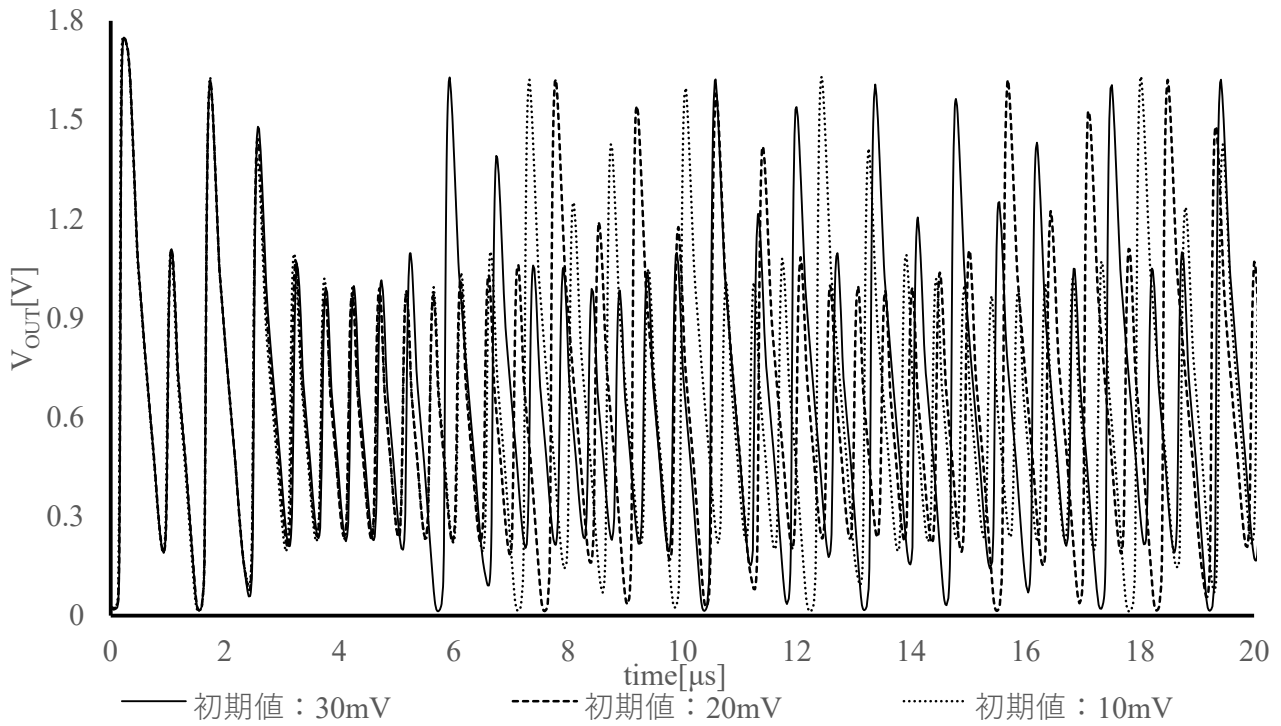


図 4.2.38 波形の初期値鋭敏性

4.2.6 レイアウト設計図

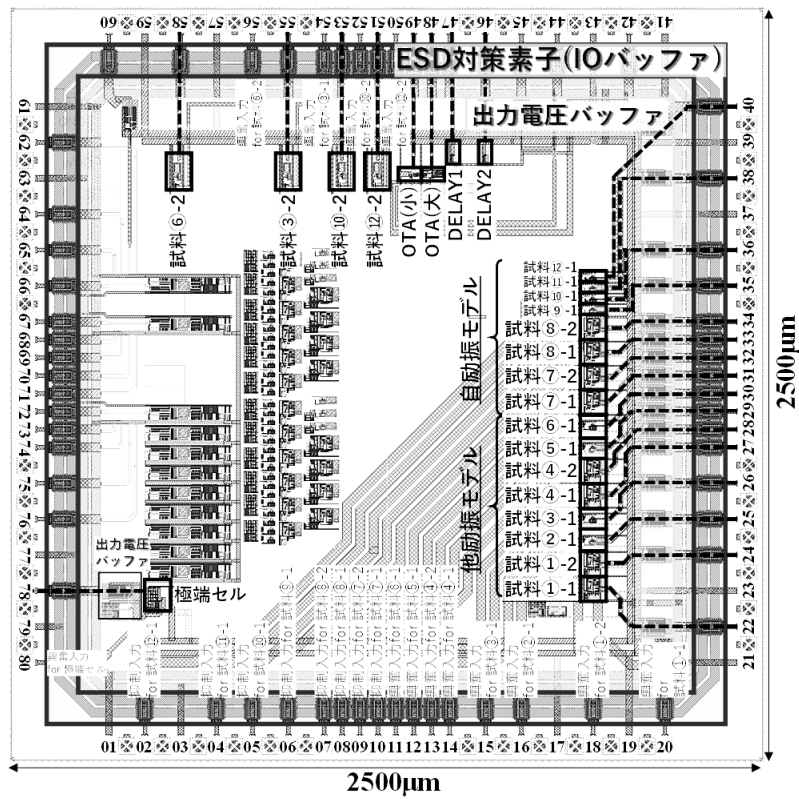


図 4.2.39 試作チップのレイアウト

図 4.2.39 に、チップ全体のレイアウト設計図を示す。設計した回路レイアウトにはローム社の $0.18\mu\text{m}$ CMOS プロセス(5層メタル配線, ポリシリコンゲート)を用い, ターゲットチップサイズは 2.5mm 角, パッケージにはセラミックタイプの QFP80(80ピン)を用い, ICチップとピンの接続として金ワイヤボンディングが用いられている。同図において, チップ最外郭の正方形パターンはボンディング用のパッドを示す。そのほかに, 静電破壊対策用 ESD 素子および出力電圧バッファ用のオペアンプを配置した。下方パッドに配置されたピン(01~20)は P-HCNM に対して外部から興奮または抑制となる電流入力を行う端子として設定した。右方パッドに配置されたピン(21~40)にはフォロア接続した演算増幅器の出力を接続しており, 出力インピーダンスの高い P-HCNM の出力をバッファした電圧を伝達する。

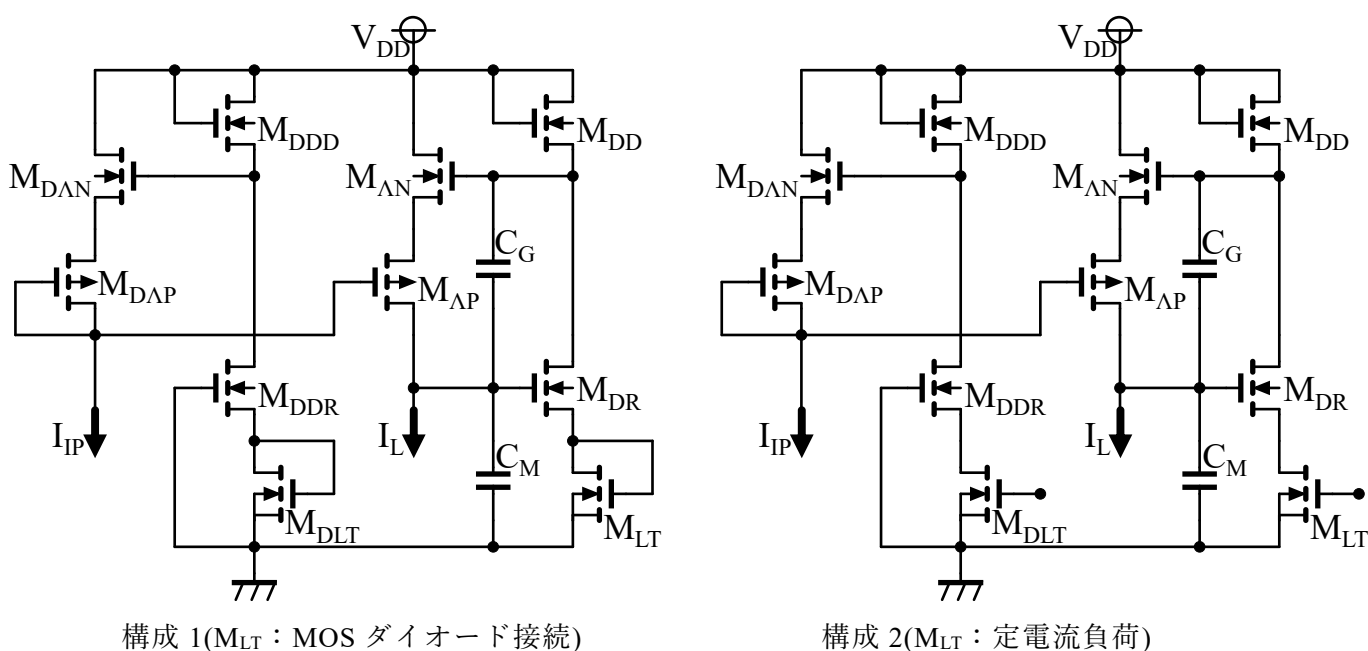


図 4.2.40 P-HCNM のコアユニット構成

図 4.2.40 に、本レイアウトにて使用した P-HCNM のコアユニット構成を示す。同図の I_L および I_{IP} にはカレントミラーを通じて電流を供給しており, 供給電流の比率は自励振・他励振それぞれに異なる設定をしており, 自励振モデルにおいては $I_L : I_{IP} = 1:2$ に, 他励振モデルにおいては $I_L : I_{IP} = 5:1$ に設定した。なお, 構成 1 はバイアス回路の時定数が長く, 構成 2 はバイアス回路の時定数が短い設計とした。

表 4.6 に、レイアウトしたコアユニットの主な素子パラメータを示す。今回のレイアウトでは, MOSFET ゲート長を $1\mu\text{m}$ (M_{DD} , M_{DDD} を除く)として実装面積を小さく抑える代わりにローカルばらつきが出現しやすくなる条件と, MOSFET ゲート長を $4\mu\text{m}$ (M_{DD} , M_{DDD} を除く)として実装面積コストが大きくなる代わりにローカルばらつきへの耐性が期待される条件と, コアユニット内の MOSFET ゲート長およびゲート幅を $W/L=0.01$ と極端な値に統一することにより消費電力と発火周

波数を抑える代わりに、ローカルばらつきおよびノイズへの耐性が減少すると予想される条件の計3条件をコアユニットとしてレイアウト設計した。

表 4.6 コアユニットの素子パラメータ一覧

素子サイズ	M_{AN}, M_{DAN}			M_{AP}, M_{DAP}			M_{DD}, M_{DDD}			M_{DR}, M_{DDR}			M_{LT}, M_{DLT}		
	W	L	M	W	L	M	W	L	M	W	L	M	W	L	M
小	0.50	1.00	2	0.50	1.00	2	3.40	0.18	4	0.50	1.00	2	0.50	1.00	2
大	2.00	4.00	2	2.00	4.00	8	8.30	2.00	6	1.00	4.00	2	1.00	4.00	2
極端セル	0.50	50.00	2	0.50	50.00	2	0.50	50.00	2	0.50	50.00	2	0.50	50.00	2

※ゲート幅Wおよびゲート長Lの単位[μm], MはMOSFETの並列接続数

表 4.7 P-HCNM のサンプル一覧

pin	励振状態	MOS寸法	コアユニット	コンデンサ	バッファ
35	自励振モデル	小	構成1	MIMコンデンサ	有
36	自励振モデル	小	構成1	MOSコンデンサ	有
53	自励振モデル	小	構成1	MOSコンデンサ	無
38	自励振モデル	小	構成2	MIMコンデンサ	有
40	自励振モデル	小	構成2	MOSコンデンサ	有
51	自励振モデル	小	構成2	MOSコンデンサ	無
31	自励振モデル	大	構成1	MIMコンデンサ	有
32	自励振モデル	大	構成1	MIMコンデンサ	有
33	自励振モデル	大	構成2	MIMコンデンサ	有
34	自励振モデル	大	構成2	MIMコンデンサ	有
29	他励振モデル	小	構成1	MIMコンデンサ	有
30	他励振モデル	小	構成1	MOSコンデンサ	有
58	他励振モデル	小	構成1	MOSコンデンサ	無
25	他励振モデル	小	構成2	MIMコンデンサ	有
26	他励振モデル	小	構成2	MOSコンデンサ	有
55	他励振モデル	小	構成2	MOSコンデンサ	無
22	他励振モデル	大	構成1	MIMコンデンサ	有
24	他励振モデル	大	構成1	MIMコンデンサ	有
27	他励振モデル	大	構成2	MIMコンデンサ	有
28	他励振モデル	大	構成2	MIMコンデンサ	有
78	他励振モデル	極端セル	構成1	MIMコンデンサ	有

なお、どの条件においても C_M は 200fF, C_G は 600fF とした。コンデンサは、ローカルばらつき

が少なく電圧依存性の少ない代わりに単位面積当たりの容量値が低い傾向となる MIM コンデンサ、およびローカルばらつきが大きく電圧依存性がある代わりに単位面積当たりの容量値が大きい傾向にある MOS ゲート容量の 2 種類を用いた。なお、ソケット QFP80 で用いることが可能な入出力ピン数の制限から、MOS ゲート容量は素子サイズ小にのみ限定し、素子サイズ大の条件ではサンプル数を増やすため MIM コンデンサのみレイアウトを行った。なお、3.3V バッファ不良でチップ内サンプルがすべて測れないことがないように、自励振および他励振の素子サイズ小・MOS コンデンサ条件で 2 サンプルずつバッファ無しサンプルを作製した。極端セルは、ゲート幅を $50\mu\text{m}$ として設計を行った。

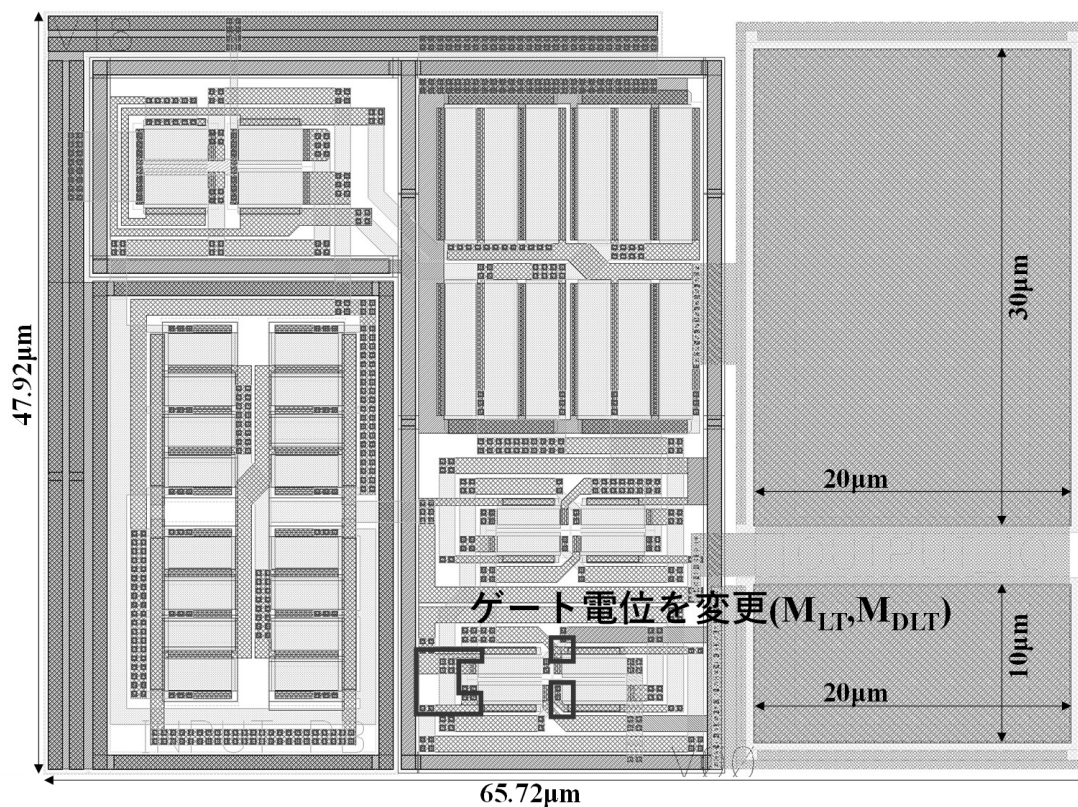


図 4.2.41 コアユニット大_構成 1(M_{LT} を MOS ダイオード負荷として使用)

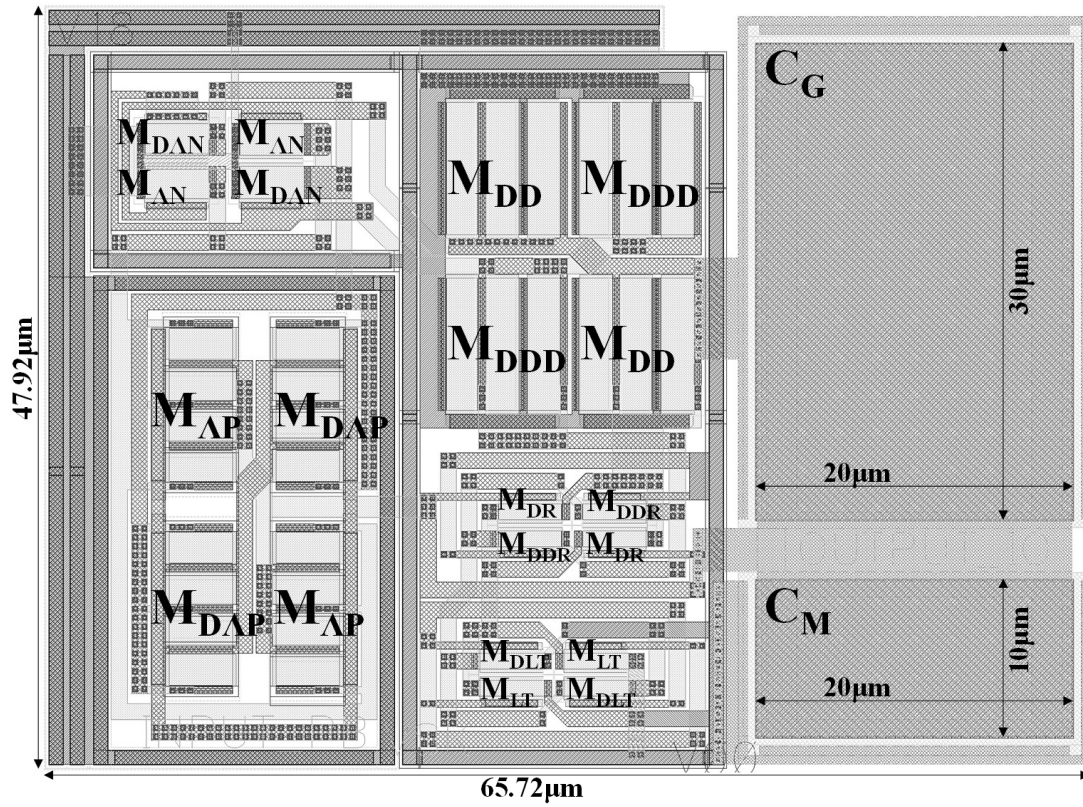


図 4.2.42 コアユニット大_構成 2(M_{LT} を定電流負荷として使用)

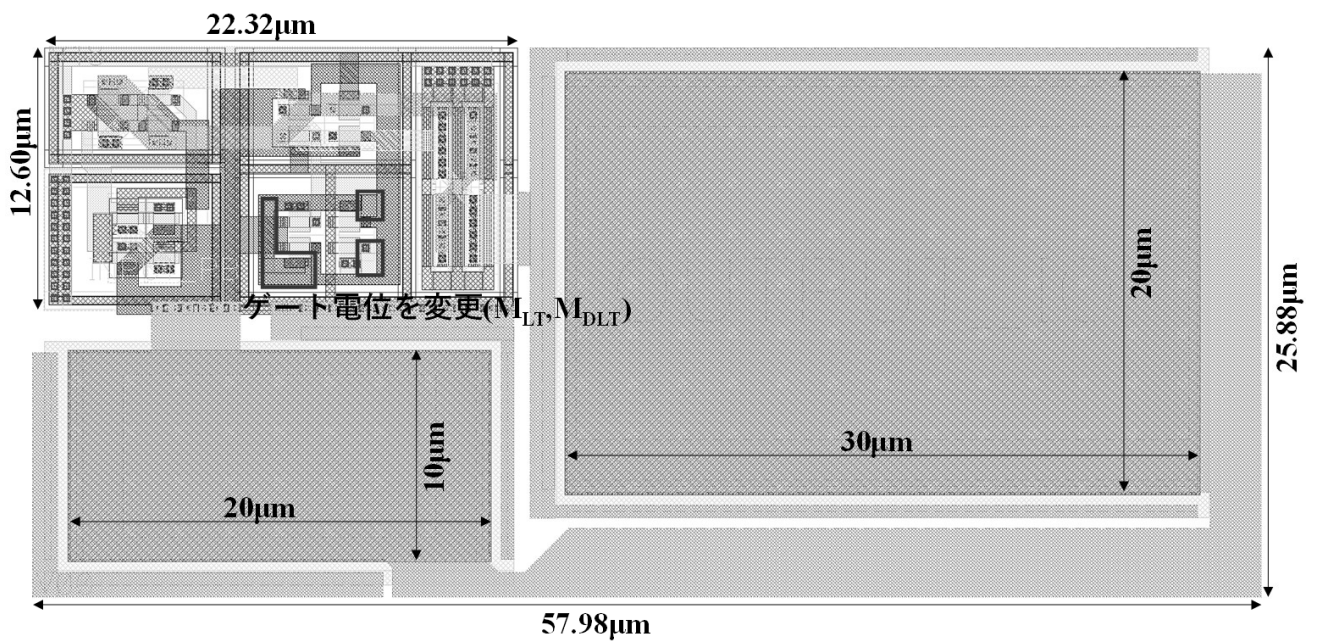


図 4.2.43 コアユニット小_構成 1(M_{LT} を MOS ダイオード負荷として使用)

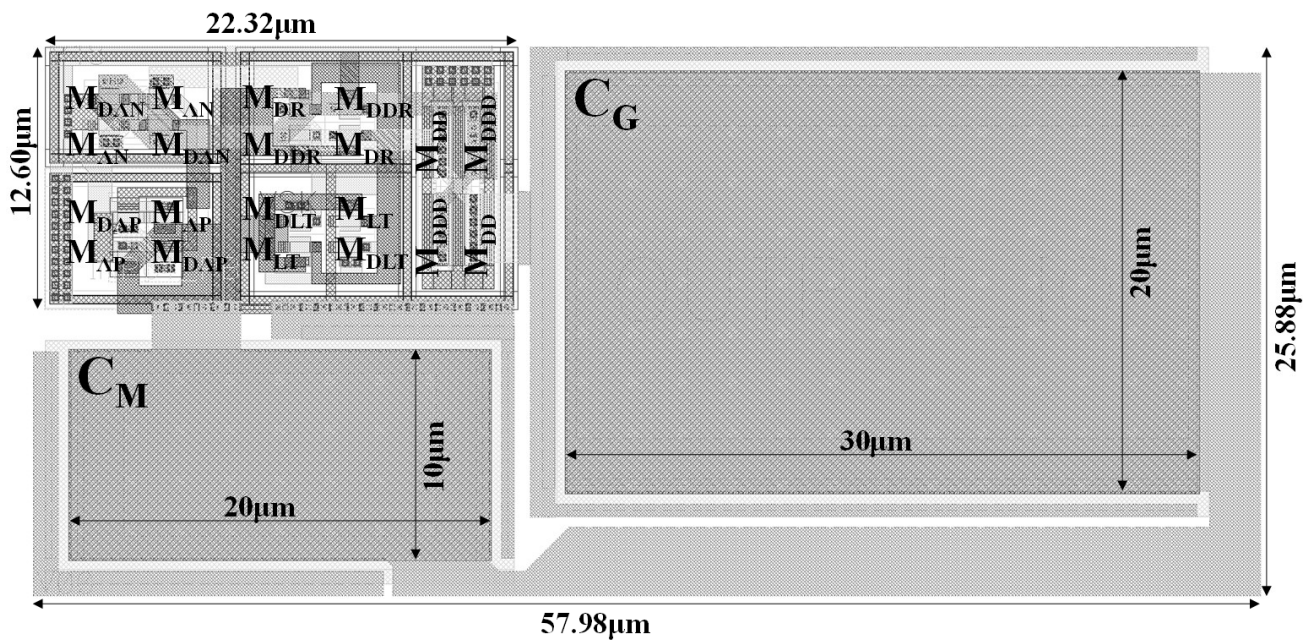


図 4.2.44 コアユニット小_構成 2(M_{LT} を定電流負荷として使用)

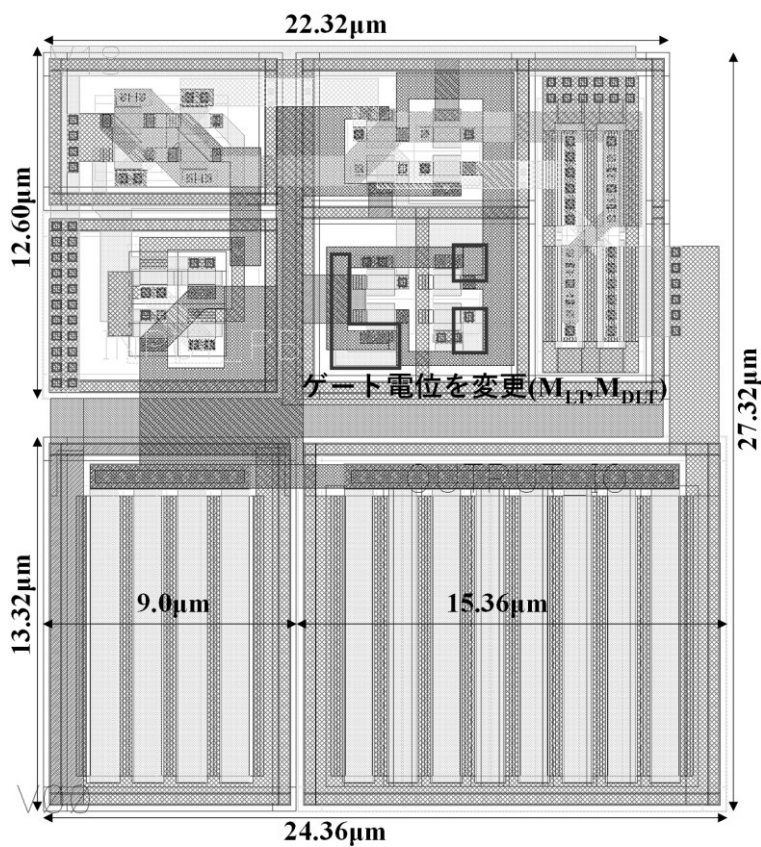


図 4.2.45 コアユニット(小,構成 1) C_M および C_G を MOS コンデンサで代用

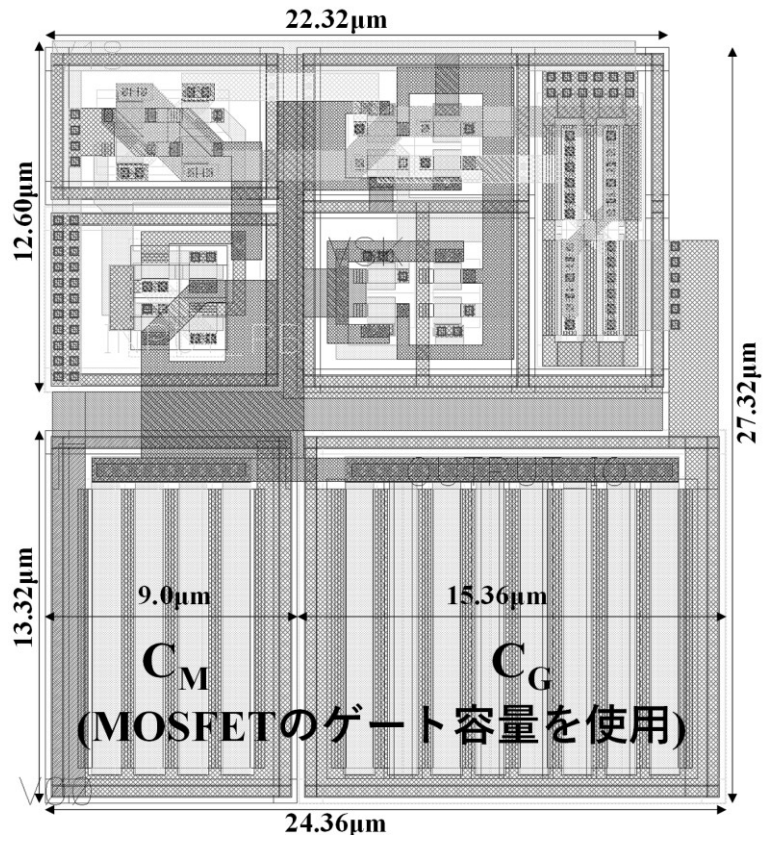


図 4.2.46 コアユニット(小,構成 2)_ C_M および C_G を MOS コンデンサで代用

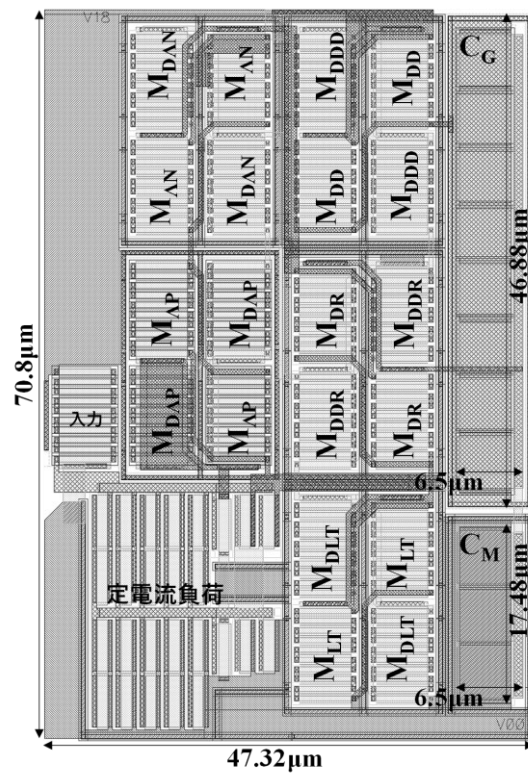


図 4.2.47 コアユニット(極端セル)_ $L=50\mu\text{m}$, $W=0.5\mu\text{m}$ (入力・定電流を除く)

図 4.2.41～図 4.2.47 に各コアユニットのレイアウト設計図を示す。図 4.2.41～図 4.2.42 は素子サイズが大きい条件におけるレイアウト設計図であり、図 4.2.41 は構成 1 に、図 4.2.42 は構成 2 に相当する。両者ともベースとなる設計は同一であり、 M_{LT} および M_{DLT} のゲート電位の接続先のみ変更を行った。素子の分割数(並列数)はすべて偶数個としており、 M_{XX} および対応する制御素子 M_{DXX} は 2 次元のコモンセントロイド状に配置している。なお、特性ペアの存在しない C_M および C_G についてはコモンセントロイドを適用していない。また、パッケージ応力による特性ばらつきが発生することを抑制するためゲート電極上には極力配線パターンを通過させないよう設計したため、MIM コンデンサパターンを除く配線は 1 層および 2 層の配線パターンのみ使用した。したがって、素子サイズ小に比べ、配線パターンが持つ専有面積も大きくなる。

図 4.2.43～図 4.2.46 は素子サイズが小さい条件でのレイアウト設計図であり、図 4.2.43～図 4.2.44 は MIM コンデンサを用いたパターンに、図 4.2.45～図 4.2.46 は MOS コンデンサを用いたパターンに相当する。なお、両者ともにベースとなる設計は同一であり、 C_G および C_M に相当するパターンのみ変更を加えた。また、図 4.2.41 および図 4.2.42 と同じく構成 1 および構成 2 の 2 種類を設計しており、 M_{LT} および M_{DLT} のゲート電位の接続先のみ変更を行い、 C_M および C_G を除く MOSFET を 2 次元のコモンセントロイド状に配置した。同図に示すとおり、どの設計においても、一辺当たりの長さが $100\mu\text{m}$ 以下となる。生物の脳における細胞体のサイズは $5\mu\text{m}\sim 100\mu\text{m}$ とであるため、生体の脳の低実装サイズ性を再現するために必要な集積度を確保することが出来ている。

図 4.2.47 は電流負荷および入力回路、 C_M 、 C_G を除く MOSFET を同一の設計としており、また $L=5\mu\text{m}$ の MOSFET を 10 直列することで等価的に $L=50\mu\text{m}$ としている。

4.2.7 試作 IC チップの動作解析

前節にて設計した IC チップの実測を行った。なお、測定環境は 4.1.6 と同様の状態のものを用いた。恒温槽による温湿度制御を行わず、室温(およそ 24 度程度)にて測定を行った。使用した測定器具の一覧を表 4.8 に示す。

表 4.9 に、測定サンプルの合否判定結果を示す。自励振モデルに対しては、①外部刺激なく発振動作を行う。②フロア電圧 0.3V 以下(n 型 MOSFET のしきい値電圧以下)、③ピーク電圧 0.8V 以上(カスコード接続した n 型 MOSFET のしきい値電圧以上)を満たすことを合格条件とした。また、他励振モデルに対しては、①外部刺激のない状態においては発振動作を行わない②外部刺激を加えた際、刺激波形形状に依存せず発振動作を行う。③フロア電圧 0.3V 以下(n 型 MOSFET のしきい値電圧以下)、④ピーク電圧 0.8V 以上(カスコード接続した n 型 MOSFET のしきい値電圧以上)を満たすことを合格条件とした。その結果、同表に示すとおり、自励振モデル・他励振モデルともに歩留まりが 100%となる。本結果より、自動補正機構を用いることで、P-HCNM 単体における歩留まりを向上させる事が可能である。

表 4.8 使用器具一覧

品名	型番	メーカー	備考
オシロスコープ	DCS-2204E	TEXIO	波形観測用
ファンクションジェネレータ	FGX-2220	TEXIO	刺激入力用
デジタルマルチメータ_1	7352E	ADCMT	V _{DD} 監視用
デジタルマルチメータ_2	7352E	ADCMT	電流監視用
直流安定化電源_1	PMX18-2A	KIKUSUI	V _{DD}
直流安定化電源_2	PMX18-2A	KIKUSUI	基準電流トリム
直流安定化電源_3	PMX18-2A	KIKUSUI	予備
ソケット	80QFP	VDEC	IC 実装用
プローブ	GTP-200B-4	TEXIO	オシロスコープ用
同軸ケーブル			信号入力用

表 4.9 サンプルの合否判定結果(歩留まり)

pin	励振状態	MOS寸法	コアユニット	コンデンサ	サンプル数	合格数
35	自励振モデル	小	構成1	MIMコンデンサ	5	5
36	自励振モデル	小	構成1	MOSコンデンサ	5	5
38	自励振モデル	小	構成2	MIMコンデンサ	5	5
40	自励振モデル	小	構成2	MOSコンデンサ	5	5
31,32	自励振モデル	大	構成1	MIMコンデンサ	10	10
33,34	自励振モデル	大	構成2	MIMコンデンサ	10	10
29	他励振モデル	小	構成1	MIMコンデンサ	5	5
30	他励振モデル	小	構成1	MOSコンデンサ	5	5
25	他励振モデル	小	構成2	MIMコンデンサ	5	5
26	他励振モデル	小	構成2	MOSコンデンサ	5	5
22,24	他励振モデル	大	構成1	MIMコンデンサ	10	10
27,28	他励振モデル	大	構成2	MIMコンデンサ	10	10
78	他励振モデル	極端セル	構成1	MIMコンデンサ	5	5

図 4.2.48 および図 4.2.49 に、他励振モデルに対する直流入力電流 vs 出力周波数特性を示す。図 4.2.48 には素子サイズが大きい場合の他励振モデルでの特性を、図 4.2.49 には素子サイズが小さい場合の他励振モデルでの特性を示す。同図において、横軸は入力した電流値を、縦軸は他励振モデルの発火周波数を示す。また、A~E はチップシリアル番号を、24 および 26 は測定した端子番号を示す。電流の入力方法として、チップ内部に配置したカスコード接続型カレントミラーのリファレンス端子に対しチップ外部より抵抗を通じて電流を印加することでコントロールユニットの入力に印加した。なお、作製した IC チップの特性により、カレントミラーが参照可能な最大電流値

が異なるため、電流の入力範囲は 0A から各端子の最大電流まで観測を行った。また、しきい値となる電流の設定値は図 4.2.48 および図 4.2.49 とともに共通の簡易基準電流源(シミュレーション値：3 μ A)とした。同図に示すとおり、どちらの条件においても設定したしきい値となる電流である 3 μ A ~4 μ A 以下では発振せず、しきい値以降はどの電流値においても発振条件が満たされる。また入力された電流値に応じて発火周波数が増加することを示している。この結果により、コントロールユニットを用いることでしきい値となる電流値を任意に設定することが可能であり、また入力電流値に対し上限を設けることなく発火動作を行うことが可能を示している。一方で、図 4.2.49 に示すとおり各チップ間で、最大発振周波数が 9 倍以上異なる結果となっている。これは、今回の検討で用いる単パルスで情報を表現するネットワークにおいては問題とならないが、今後の検討において発火頻度により情報を表現する場合は改善を行う必要がある。

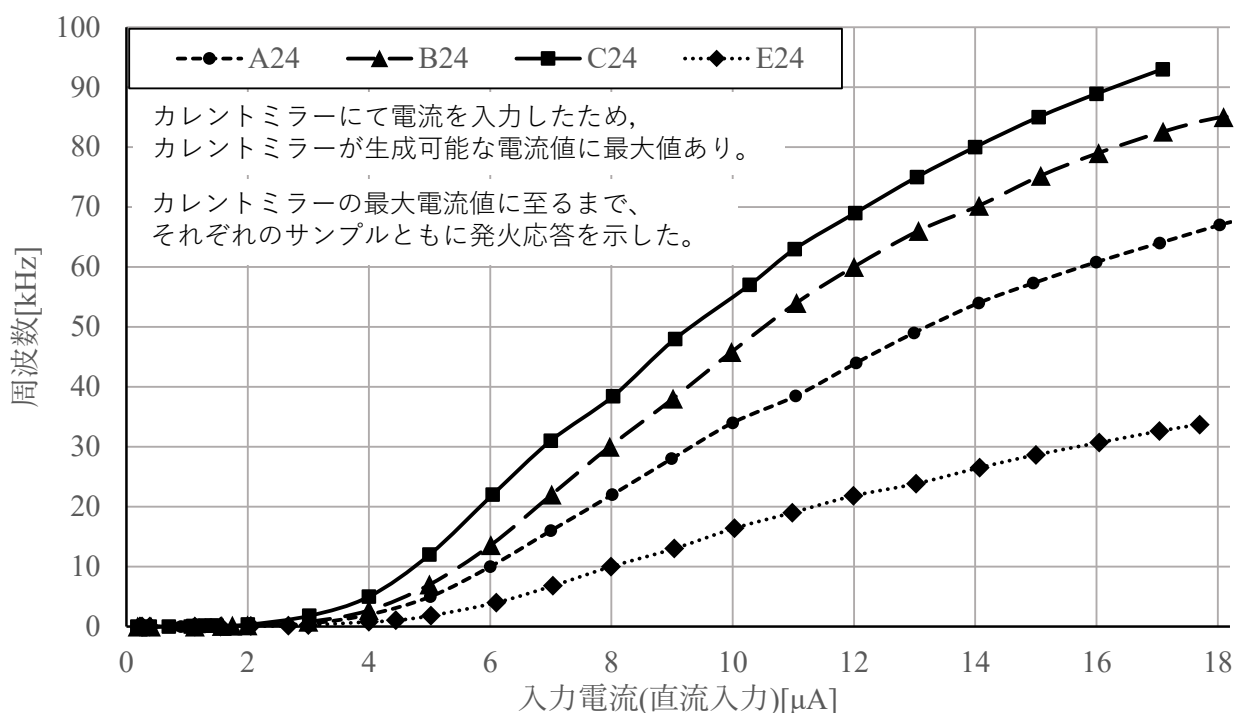


図 4.2.48 他励振モデル(ピン 24)に対する直流入力電流 vs 出力周波数特性

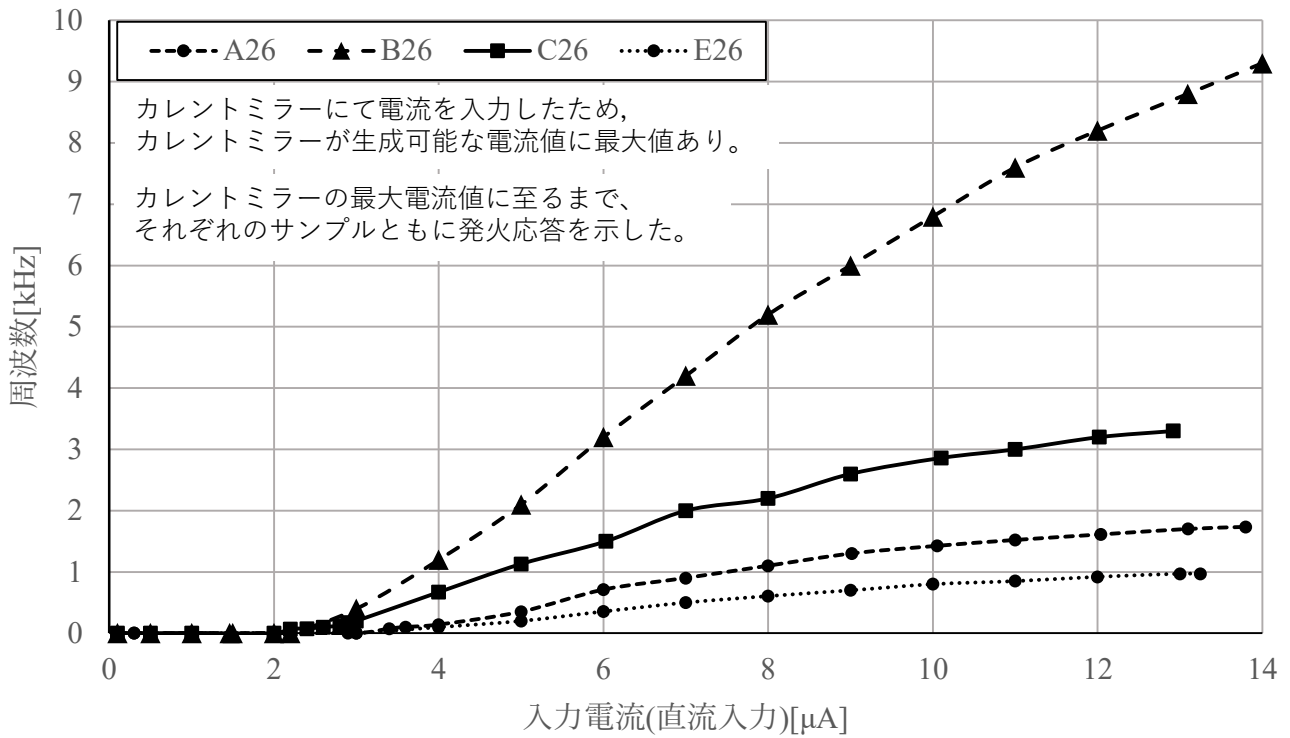


図 4.2.49 他励振モデル(ピン 26)に対する直流入力電流 vs 出力周波数特性

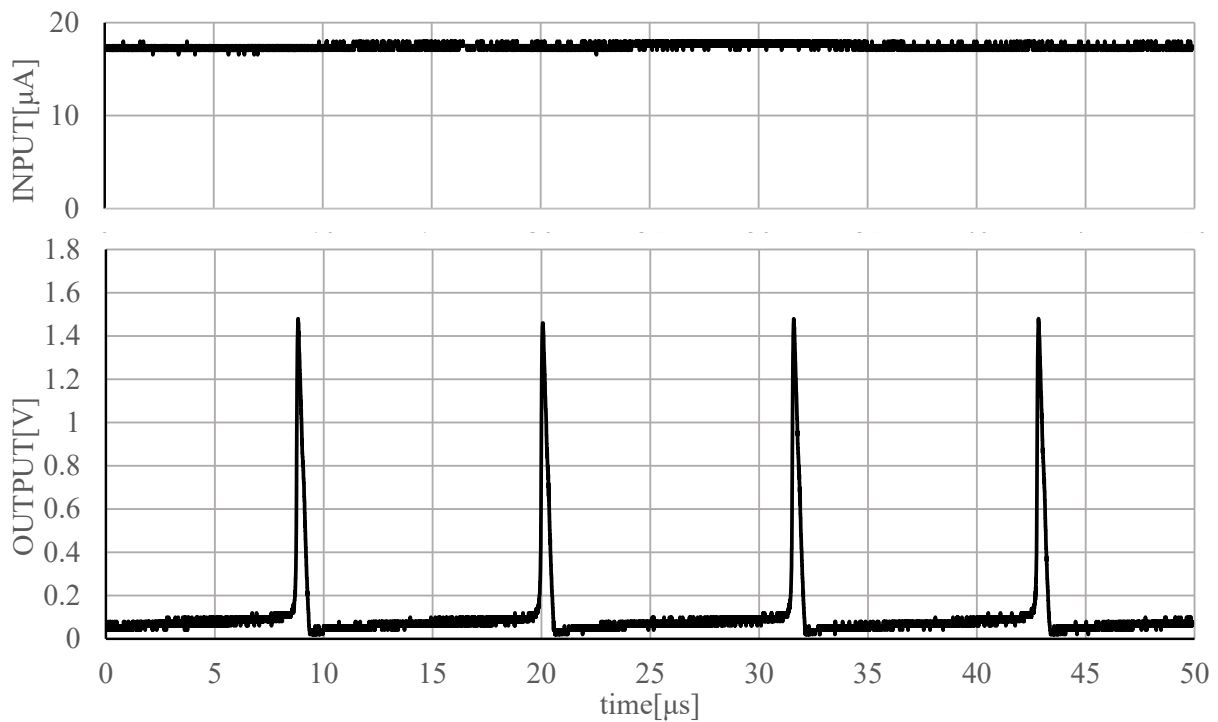


図 4.2.50 直流入力電流に対する発火応答波形

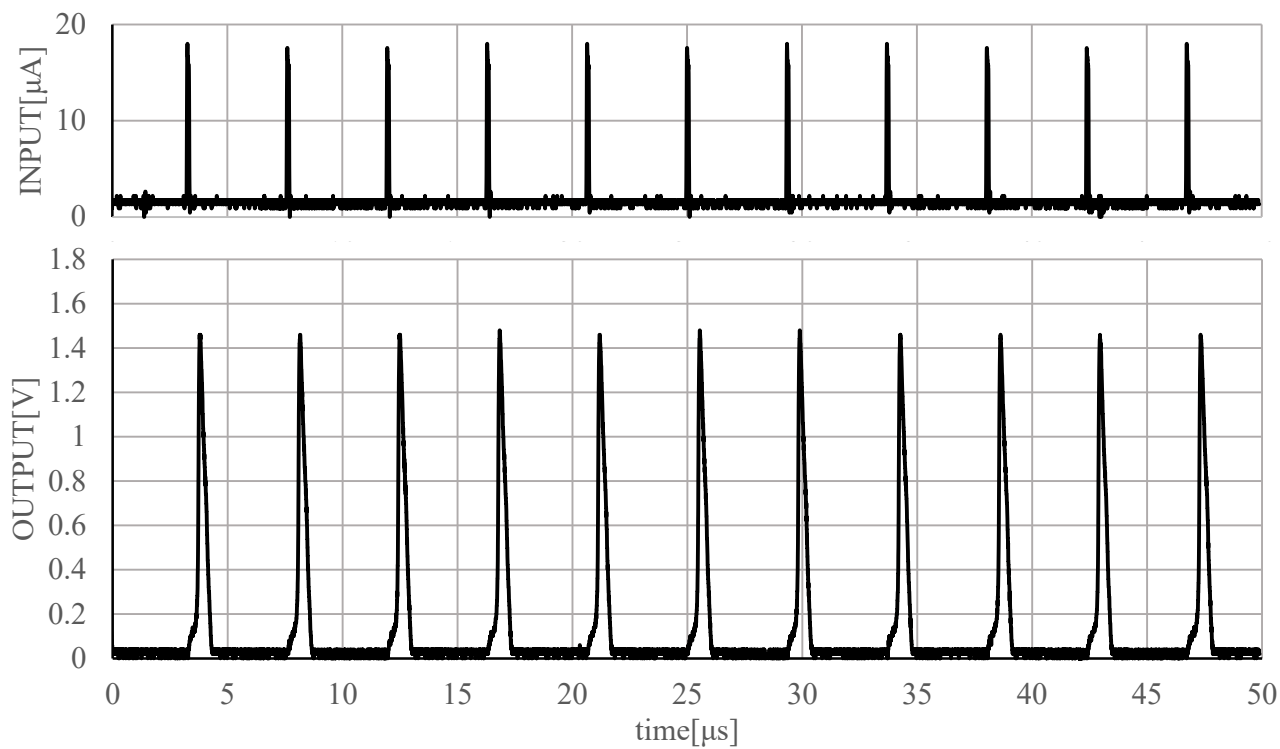


図 4.2.51 パルス入力電流に対する発火応答波形

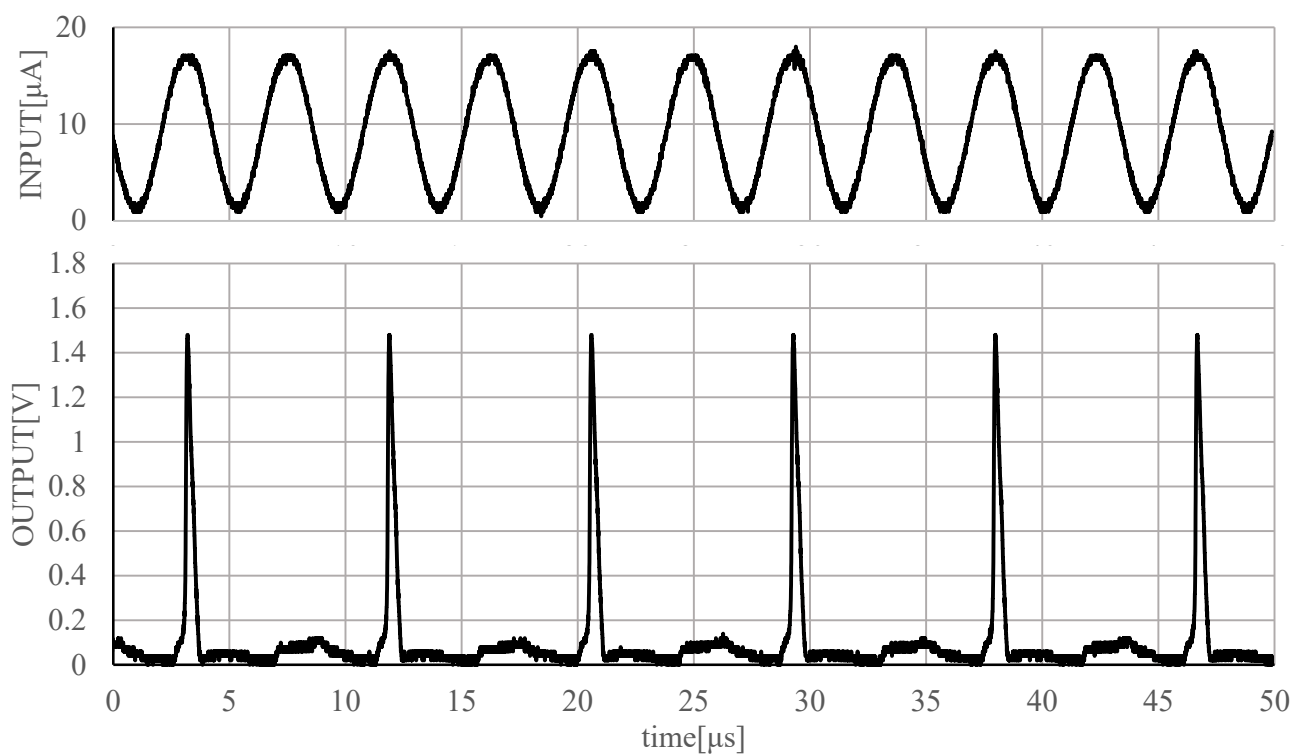


図 4.2.52 正弦波入力電流に対する発火応答波形

入力電流の波形形状に依存せず発振することを確認するため、入力電流の波形を直流、パルス、正弦波の3種類を用いて動作確認を行った。その結果を図4.2.50～図4.2.52に示す。同図において、横軸は経過時間を、縦軸(上)は入力電流値を、縦軸(下)はP-HCNMの出力電圧を示す。また、図4.2.50は入力端子を短絡することで最大の直流電流を入力し、図4.2.51は230kHz・ON TIMEが100nのパルス波を入力、図4.2.52は230kHzの正弦波を入力した。同図に示すとおり、入力波形の形状に依存せず発火することが可能である。また、図4.2.51および図4.2.52より、入力パルスの密度に応じ不応期特性が現れる。これにより、本モデルに入力に対する確率応答性が現れることから、本モデルによりカオス応答が可能であることが示唆される。本モデルは、従来モデルとは異なり膜容量 C_M に対し直接的に刺激電流を入力しない方式を採用しているため、入力波形が発火波形を歪めないことが期待される。

図4.2.53に、異なるON TIMEパルスを入力し、発火応答を取得した結果を示す。同図に示すとおり、発火成立後、パルスをOFFとするタイミングを変更しても発火波形に影響を及ぼさないことから、入力電流は発火波形の形状に対し影響を与えない。

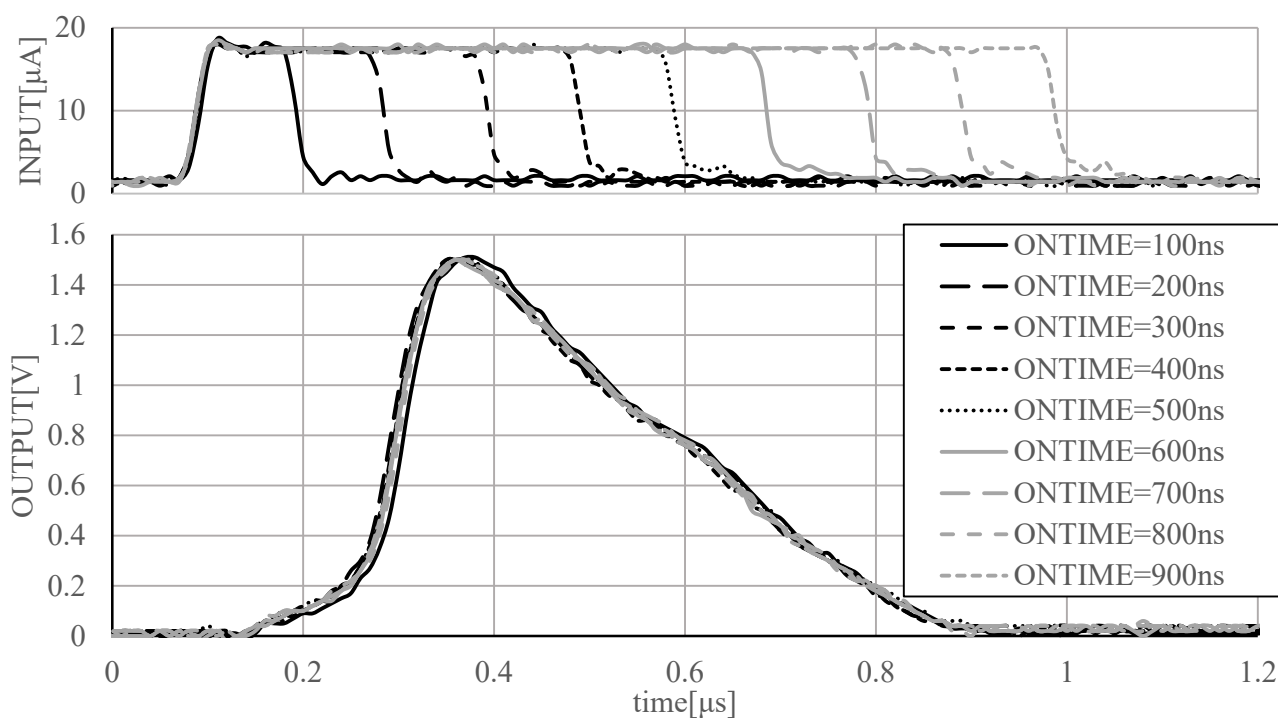


図 4.2.53 入力電流に対する発火波形の依存性

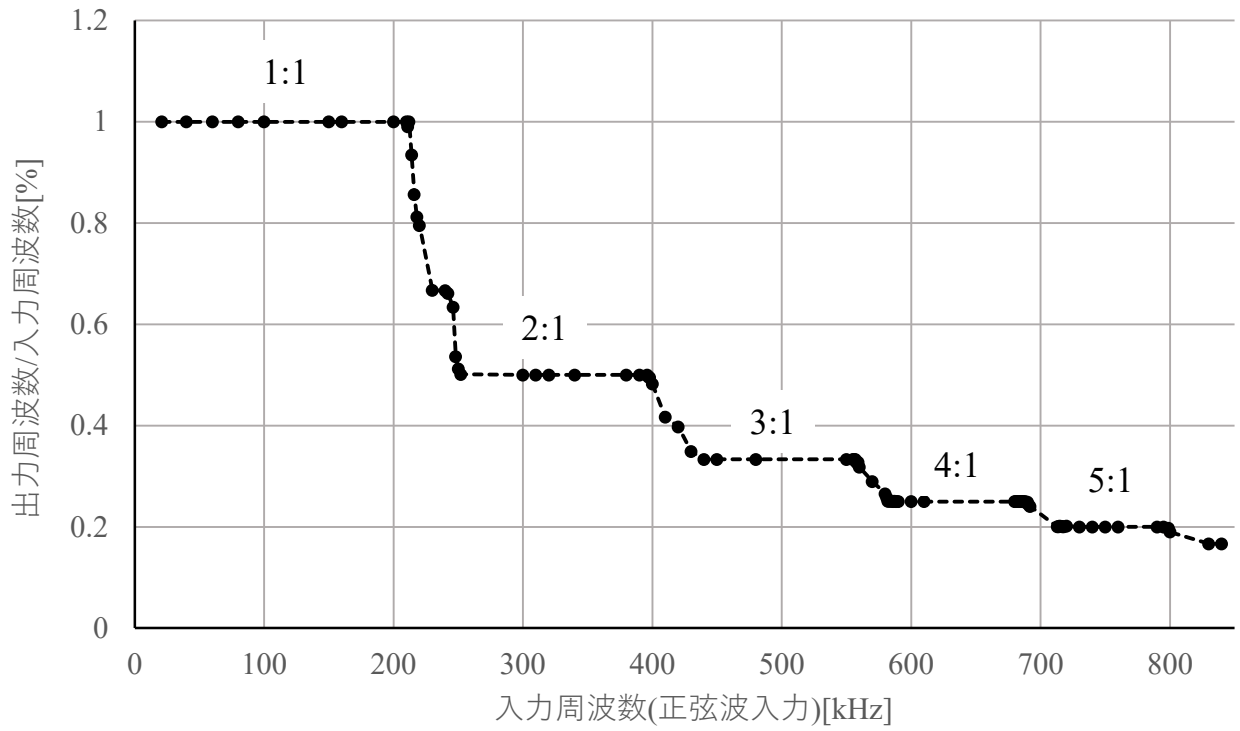


図 4.2.54 入力周波数 vs 出力周波数

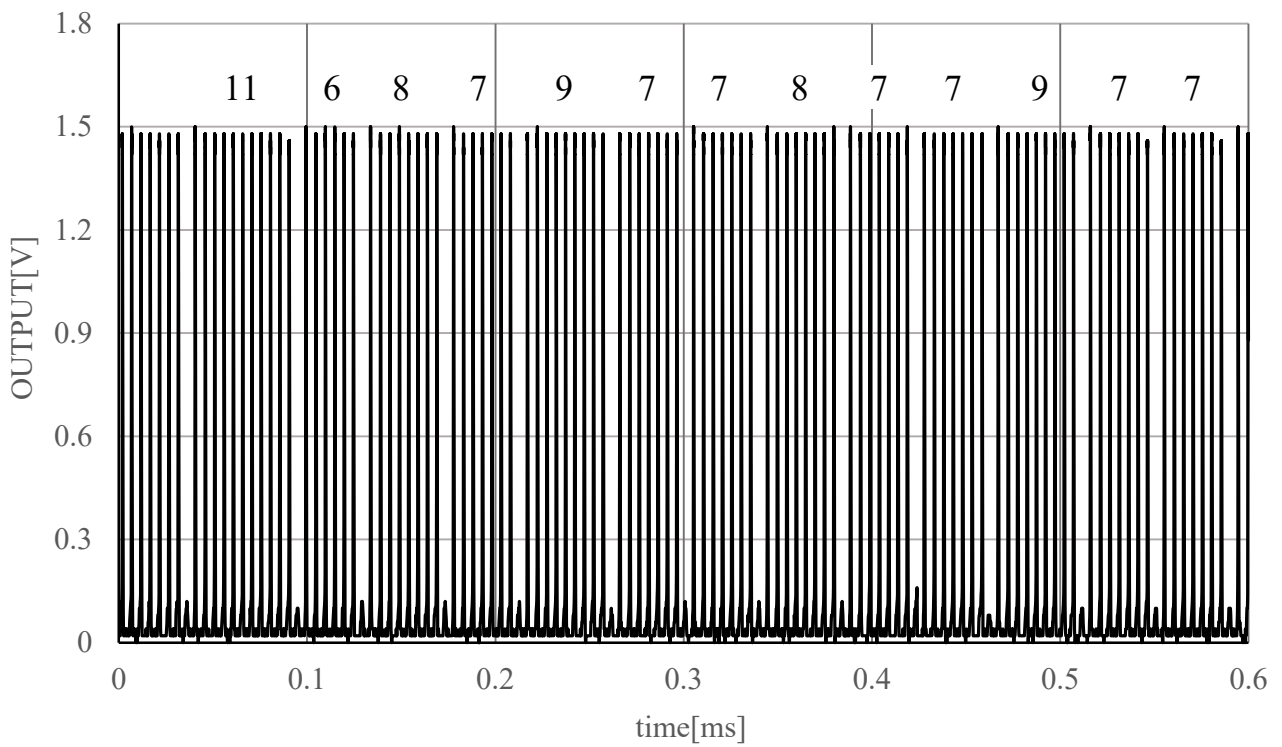


図 4.2.55 入力周波数=214kHz における発火応答(不規則応答)

本モデルは、従来モデルと同様に静電容量 C_G の両端電圧が作り出す電圧をバイアス電圧として用いる。このバイアス電圧は、発火動作に応じて時間的に変動し、ある一定の電圧値以上となると再び発火することが可能となる。発火が成立した直後は、バイアス電圧が減少するため、バイアス電圧が回復するまでは如何なる刺激入力に対しても発火応答を行わない不応期特性を持つ。不応期特性を持つ P-HCNM は、低頻度刺激であれば 1 回の入力に対し 1 つの発火応答を示すが、高頻度な刺激となるほど、2 回に対して 1 度、3 回に対して 1 度と、入力頻度に対する出力の出現頻度が減少する。入力頻度に対し出力頻度の特性は、一般的に階段状の形状を有し、また階段の境界となる頻度において不規則な発火周期が出現する。この不規則な発火は、カオス性を有するといわれている。したがって、本モデルでも階段特性を取得し、階段の境界となる周波数における応答を確認した。

図 4.2.54 に入力周波数に対する出力周波数の特性を示す。同図において、横軸はコントロールユニットに入力した電流の周波数を、縦軸は入力周波数に対する出力周波数の比率を示す。同図に示すとおり、入力周波数に対し出力周波数が階段状に変化する特性が得られる。

図 4.2.55 に、初段境界である 200kHz 近辺(214kHz)における発火応答を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の出力電圧を示す。同図は、11 連続発火の後、6 連続発火、8 連続発火、7 連続発火と、不規則な周期による発火応答を示している。すなわち、本モデルでもカオス性を有する可能性があることを示している。

4.3 まとめ

4 章では、3 章にて改良を行ったバイアス回路が生成するバイアス電圧を基に、P-HCNM の出力電圧が 0V における Λ 形負性抵抗出力電流 $I_{\Lambda 0}$ を制御することで、P-HCNM の入出力回路に起因する課題である励振状態のばらつき補償を行うことが可能な回路構成について検討を行った。まず、 $I_{\Lambda 0}$ を制御するため、 Λ 形負性抵抗の(I)と(II)の境界電圧について着目する。境界となる P-HCNM の出力電圧は、 Λ 形負性抵抗の 2 つのバイアス電圧の和と、 Λ 形負性抵抗に用いた MOSFET のしきい値および Λ 形負性抵抗の両端電圧の和が等しくなる電圧となることに着目し、P-HCNM の出力電圧が 0V において境界電圧となるようバイアス電圧の制御を行った。この制御は、 $I_{\Lambda 0}$ を 0A に設定することに相当する。この制御により、VLSI の様々なばらつき要素による MOSFET の静特性形状の変化に対しても、バイアス電圧を制御することで自動的に $I_{\Lambda 0}$ を一意の値に設定し続けることが可能である。2 章により、P-HCNM は多安定回路とみなすことができ、ばらつきにより P-HCNM の励振状態が変動するについても多安定回路の状態(単安定, 多安定)が変動することにより引き起こされる。多安定回路の状態は、 $I_{\Lambda 0}$ の変動により説明が可能であるため、 $I_{\Lambda 0}$ を一意の値に固定することで、励振状態を制御できると考え検討を行った。つぎに、外部から電流を P-HCNM に入力することで発振動作を行う際に、従来では外部電流により $I_{\Lambda 0}$ を制御していた方式を、 Λ 形負性抵抗のバイアス電圧により $I_{\Lambda 0}$ を制御する方式について提案を行った。外部から P-HCNM のコンデ

ンサに対し直接電流を入れなくてよいため、従来の構成の問題点であった、外部から入力可能な電流値の最大は P-HCNM の入力回路部における負荷電流源以下となる課題について解決できることが期待できる。本章の結果をまとめると、以下のようになる。

(1)原点補正回路を用いることで、VLSI のばらつきによる MOSFET の静特性形状の変化に関わらず、P-HCNM の出力電圧が 0V である場合の Λ 形負性抵抗出力電流 $I_{\Lambda 0}$ が 0A となるよう、すなわち Λ 形負性抵抗の静特性グラフ上における y 軸切片が原点となるよう補正を行うことが可能であることを明らかにした。また、原点補正回路を用いることで、P-HCNM を他励振モデルとして設計可能であることを明らかにした。

(2)しきい値および入力範囲改善のため、従来の V_{OUT} 端子に対し直接電流を供給する方式から、バイアス電圧を制御することによる Λ 形負性抵抗の $I_{\Lambda 0}$ をコントロールする発火制御に変更した。その結果、コントロールユニットを用いることで、しきい値以降のすべての範囲で入力を行うことが可能であることを明らかにした。さらに、外部電流が波形に対し直接影響を及ぼすことを防ぐことが可能であることを明らかにした。また、従来の P-HCNM と同様にカオス性を持つことを明らかにした。

(3)VLSI のばらつきによる MOSFET の静特性形状の変化に対する励振状態の補償を行うため、コントロールユニットが制御可能な最大電流値を推定し、適切な負荷電流値を自動的に生成可能な自動補正機構を作製した。その結果、MOSFET の静特性形状の変化に対し、 $I_{\Lambda 0}$ の最大値に対して最適な I_L となるよう自動的に補正が行われ、どのコーナー解析においても励振状態を制御可能であることを明らかにした。さらに、P-HCNM を VLSI 化し、測定を行った。その結果、自励振および他励振モデルともに作製したサンプルにおいて歩留まりを 100%にすることが出来ることを明らかにした。

第 5 章 自動補正機構を有するパルス形カオスニューロンモデル を用いたニューラルネットワーク

ホップフィールドネットワークは、第 1 章にて記述したとおり、一つの情報から別の情報を想起する連想想起機能を有している。この機能は、生体の脳が持つ処理能力のひとつであるため、P-HCNM を用いて生体の脳を再現するためには、ホップフィールドネットワークを構築し、連想想起が可能かを検討する必要がある。しかし、ホップフィールドネットワークは全結合型のニューラルネットワークであるため、ひとつの P-HCNM 入力部に対する接続数は、ネットワーク上に存在するニューロンモデル数および遅延数に応じて増大する。そのため、ホップフィールドネットワークの規模を大きくするにしたがって、ひとつの P-HCNM に入力される電流の量も増大する。ホップフィールドネットワークに用いるニューロンモデルはしきい値をもつ他励振モデルが用いられ、入力される電流の規模に関わらず、しきい値を超える入力が行われた場合は発火動作を行う必要がある。しかし、従来の P-HCNM は、P-HCNM の入出力端子にあるコンデンサに対し外部電流を直接入力する構造上、入出力端子の負荷電流源が出力する電流値以上の値を入力できない。また負荷電流源の出力電流をネットワークの規模に応じて増大させた場合、入力可能な電流範囲は増大するものの、P-HCNM が消費する電力の肥大化を引き起こす。以上の理由により、従来の P-HCNM を用いてホップフィールドネットワークを構築することは困難であった。また、ホップフィールドネットワークに用いるニューロンモデルは他励振モデルとして動作する必要があるが、VLSI として作製した場合、VLSI 上に実装したひとつひとつの P-HCNM の励振状態が他励振モデルとして動作することを補償できなかった。そのため、VLSI 実装としての面からも、従来の P-HCNM を用いたホップフィールドネットワークの構築は困難であった。第 4 章では、ホップフィールドネットワークを構築する上で課題であった従来の P-HCNM の励振状態制御および入力可能な電流範囲について検討を行い、励振状態の制御が可能で、さらに入力電流の上限値をなくすことが可能であることを明らかにしている。したがって、従来の P-HCNM では困難であったホップフィールドネットワークの構築が可能である。第 5 章では、第 4 章にて提案を行った P-HCNM を用いてホップフィールドネットワークを構築し、ホップフィールドネットワークが持つ連想想起機能を確認するため①静止画像のノイズ除去(補修)、および②時系列パターンの想起について検討を行った。なお、画像データおよび時系列データの学習に用いた学習則は、生体の大脳皮質や海馬で見受けられる学習則である Spike-Timing Dependent synaptic Plasticity (STDP)[48]-[49]を用いた。STDP は、信号を送信する側である前段の P-HCNM(PRE)と、信号を受信する側である後段の P-HCNM (POST)の発火順序及び発火時間差に応じて、前段の P-HCNM から後段の P-HCNM へ送信される信号の受信強度(結合荷重値)を変更する学習則である。STDP には、発火の時間差のみに着目する対称型 STDP と、発火の時間差および発火順序の両方に着目する非対称型 STDP が存在する。非対称型 STDP は、前段の P-HCNM が送信した信号により後段の P-HCNM が発火したかについて因果関係を明確にす

ることに適しており，主に結合に明確な前後関係をもつ階層型のネットワークに用いる．一方で，対称型 STDP は，P-HCNM に接続している，他の P-HCNM との発火タイミングを明確にすることに適しており，主に同期発火などの時間差情報により情報を表現する相互結合型ネットワークに用いる．今回，ホップフィールドネットワークは相互結合型のネットワークであるため，対称型の STDP を用いて画像データおよび時系列データをそれぞれ作成したホップフィールドネットワークにて事前に学習を行い，学習済みのホップフィールドネットワークを用いて連想想起機能の検討を行った．

5.1 静止画像を想起可能なホップフィールドネットワーク

一般的に，全結合を行ったホップフィールドネットワークは，欠損やノイズを含んだデータを，学習済みデータにより補完，復元する能力があると言われている．したがって，主に画像データの想起ネットワークとして用いられる．今回，提案ニューロシステムを用いて全結合型ネットワークを構築し，欠損画像データから元の画像データを再生可能なネットワークについて検討をおこなった．

5.1.1 入力画素データの定義

図 5.1.1 に，本ネットワークで用いる画素データの定義を示す．静止画像データは，本来時間的要素を持たない．しかし，発火時間差により結合荷重値を制御する STDP 学習則を用いるため，入力画素データを学習するためには，入力画素データそのものに時間差要素を与える必要がある．与える時間要素として，位相差や周波数，発火生起確率などが考えられるが今回のネットワークでは，発火順序(位相差)をモノクロデータとして定義し，先に発火した P-HCNM を白，後に発火した P-HCNM を黒として取り扱うこととした．

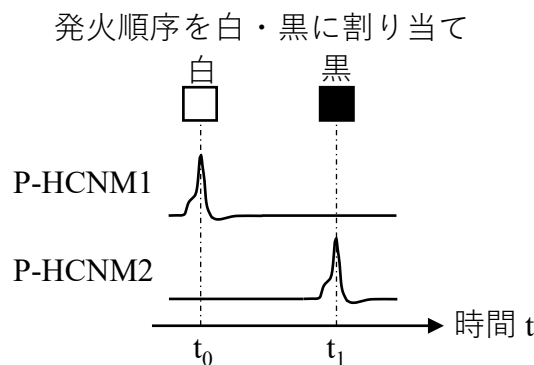


図 5.1.1 入力画素データ定義

5.1.2 出力画素データの定義

図 5.1.2 に、本ネットワークにて想定される入出力動作を示す。図 5.1.1 にて示したとおり、入力画素データは発火順序により定義したが、出力画素データは入力画素データをネットワークが受けとり、改めて異なる形式の画素データを生成しても良いため、必ずしも時間要素を持つデータとして出力する必要はない。今回のネットワークでは、単純化を行うため、出力画素データも入力画素データと同様に発火順序をモノクロデータとして出力する形式とした。したがって、ネットワーク内での想起動作は、同図に示すとおり学習済みデータと同一の画素データが繰り返し出力された状態を想起完了とみなし、データが一定の繰り返しとなっていない状態を想起中動作と定義した。

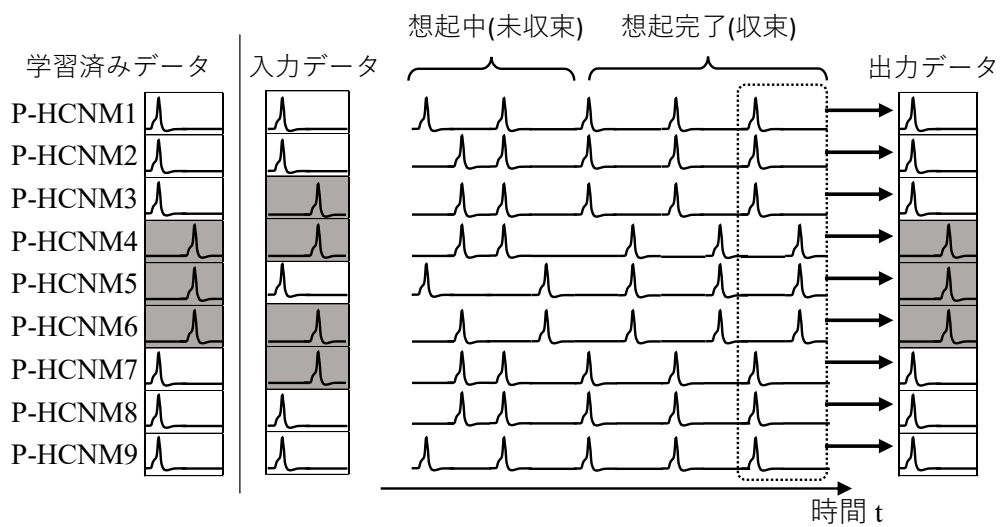


図 5.1.2 入出力の関係性

5.1.3 STDP に用いる発火時間差情報の定義

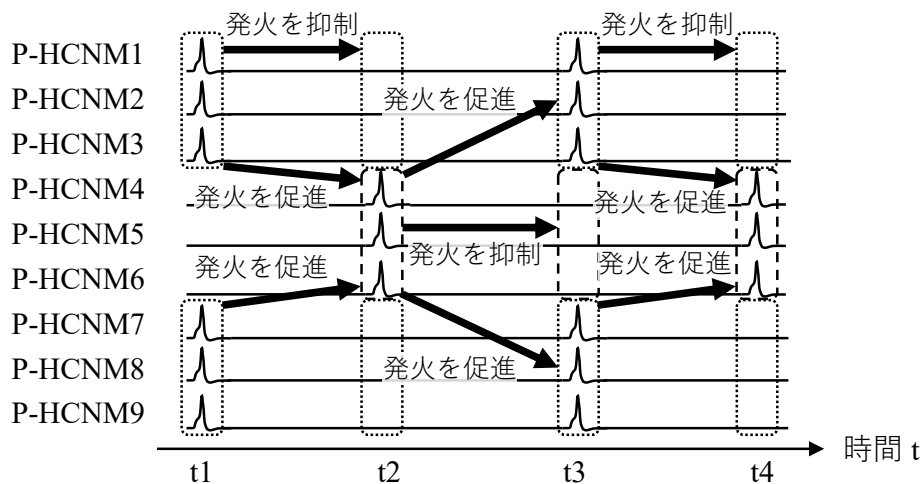


図 5.1.3 画素データから想定される学習動作

図 5.1.3 に、入出力画素データから想定される学習動作を示す。図 5.1.2 において、想起完了状態を、学習済み画素データが時間差データとして繰り返し出力される状態とした。したがって、白色画素として定義した P-HCNM は、時間 t_1 において発火動作を行ったと仮定した場合、黒色画素データの発火タイミングである時間 t_2 においては発火を行わない。したがって、 t_1 にて発火を行った P-HCNM が t_2 にて発火を行わないようにするためには、 t_1 にて発火した P-HCNM 同士で抑制しあう必要がある。したがって、図 5.1.3 の例では、P-HCNM 1,2,3,7,8,9 が同期発火しているため、P-HCNM 1 に対して P-HCNM 2,3,7,8,9 は抑制学習を行う必要がある。一方で、 t_1 にて発火を行わない P-HCNM は、 t_2 にて発火を行う。 t_2 にて発火を行うためには、 t_1 で発火した P-HCNM から興奮性の刺激を印加される必要がある。図 5.1.3 の例では、 t_2 において発火する P-HCNM は P-HCNM 4,5,6 であるため、P-HCNM 1,2,3,7,8,9 と P-HCNM 4,5,6 は興奮学習を行う必要がある。しかし、非対称型 STDP は、同時に発火した P-HCNM 同士の結合を興奮性学習させ、発火時間差が長くなるほど抑制学習を行うことが報告されている。したがって、STDP 学習則をそのまま使用した場合、本ネットワークで定義した学習アルゴリズムと反対の動作を行う。

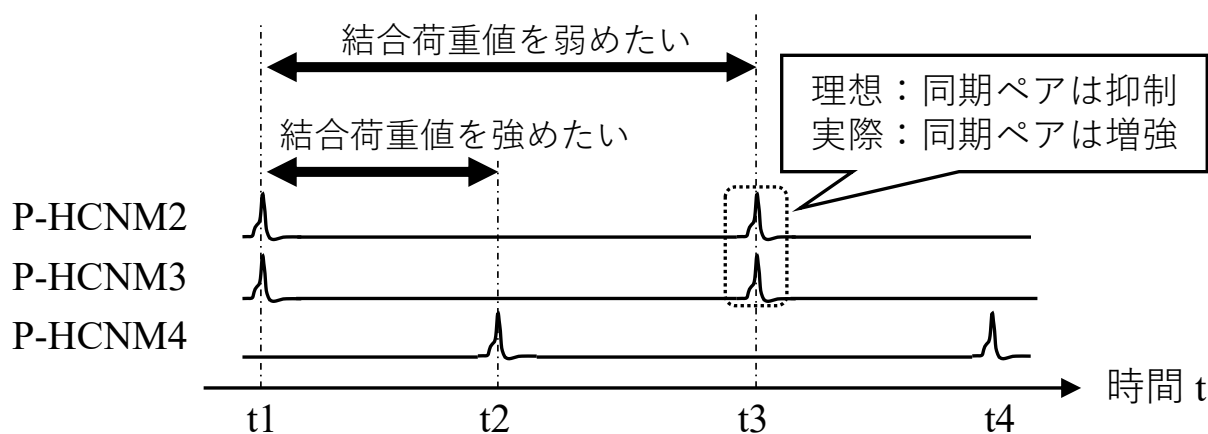


図 5.1.4 STDP を使用した場合に実際に行われる学習

図 5.1.5 に、本ネットワークにて STDP 学習則を用いるためのアルゴリズムを示す。先にも述べたとおり、STDP 学習則は通常同期発火ペアを興奮学習、時間差を持つペアを抑制学習としている。これは、時間における発火に対し相関を与えるための動作であることが推測される。この相関を実際のネットワークで実現しようとした場合、P-HCNM 間での伝達遅延を限りなく小さいものとする必要が生じる。一方で、生体において信号の伝達には遅延が生じるため、同期ペア同士を強化学習させた場合、同期時刻とは異なる時間に対して刺激入力を行うことになるため、同期発火動作に対して学習は寄与することが出来ない。そこで、図 5.1.5 に示すように、STDP 学習アルゴリズムを P-HCNM 同士の発火時間差ではなく、各 P-HCNM の軸索終端への信号伝達時刻と P-HCNM の発火時刻を時間差情報として取り扱う方式を新たに提案する。この方式は、P-HCNM 同士は同時刻における互いの発火事実を感知することはできないという前提に立っており、POST の P-HCNM が

発火した事実を検知することが可能な、軸索末端のシナプス結合の前後により学習を行う構成とした。したがって、本ネットワークでは、軸索モデルが時間的遅延を持ち、また軸索末端にて STDP 学習を行うよう設定した。

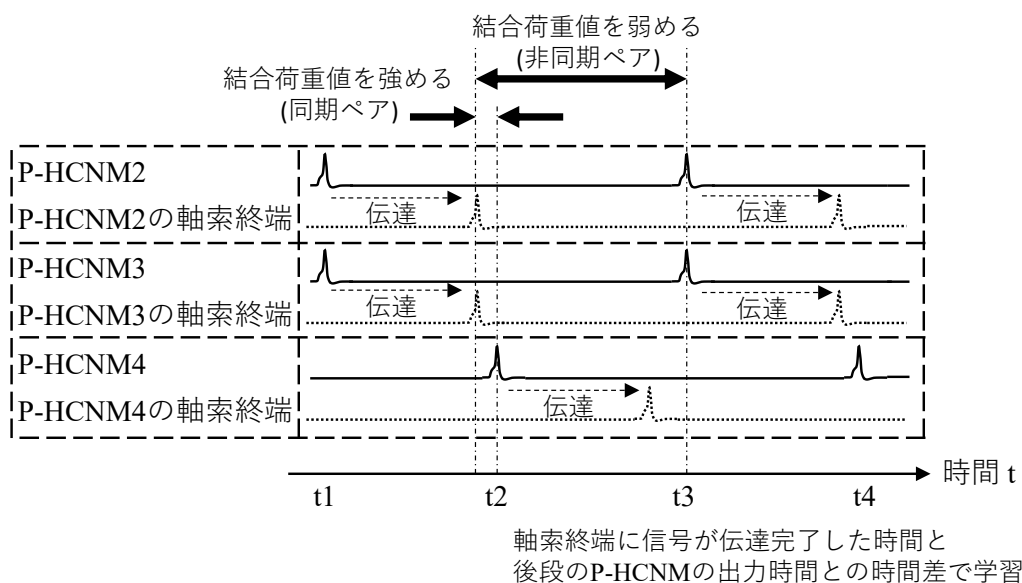


図 5.1.5 学習箇所の変更

5.1.4 画素座標の定義

図 5.1.6 に、本ネットワークで用いる画像データの画素座標を示す。同図に示すとおり、静止画像を縦 5 画素×横 5 画素の 25 画素にて表現することとした。なお、本ネットワークは全結合構成であるため上下左右などの順序関係はない。そのため、VLSI として実装する際には、必ずしも 2 次元配列として配置する必要はない。

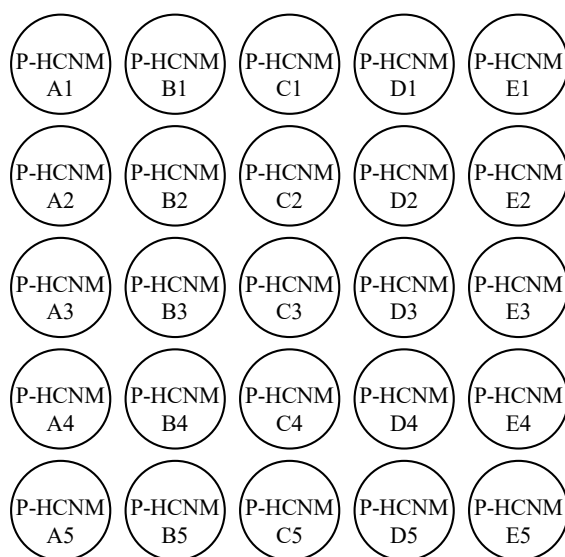


図 5.1.6 画素座標

5.1.5 ホップフィールドネットワークの構成

図 5.1.7 に、本ネットワークで用いる結合図を示す。実線矢印は発火信号を受け取る樹状突起モデルを示し、破線矢印は発火信号を送信する軸索モデルを示し、○は軸索モデルと樹状突起モデルのシナプス結合箇所を示す。同図に示すように、自分自身の樹状突起モデル-軸索モデル間以外においてシナプス結合を行っている。

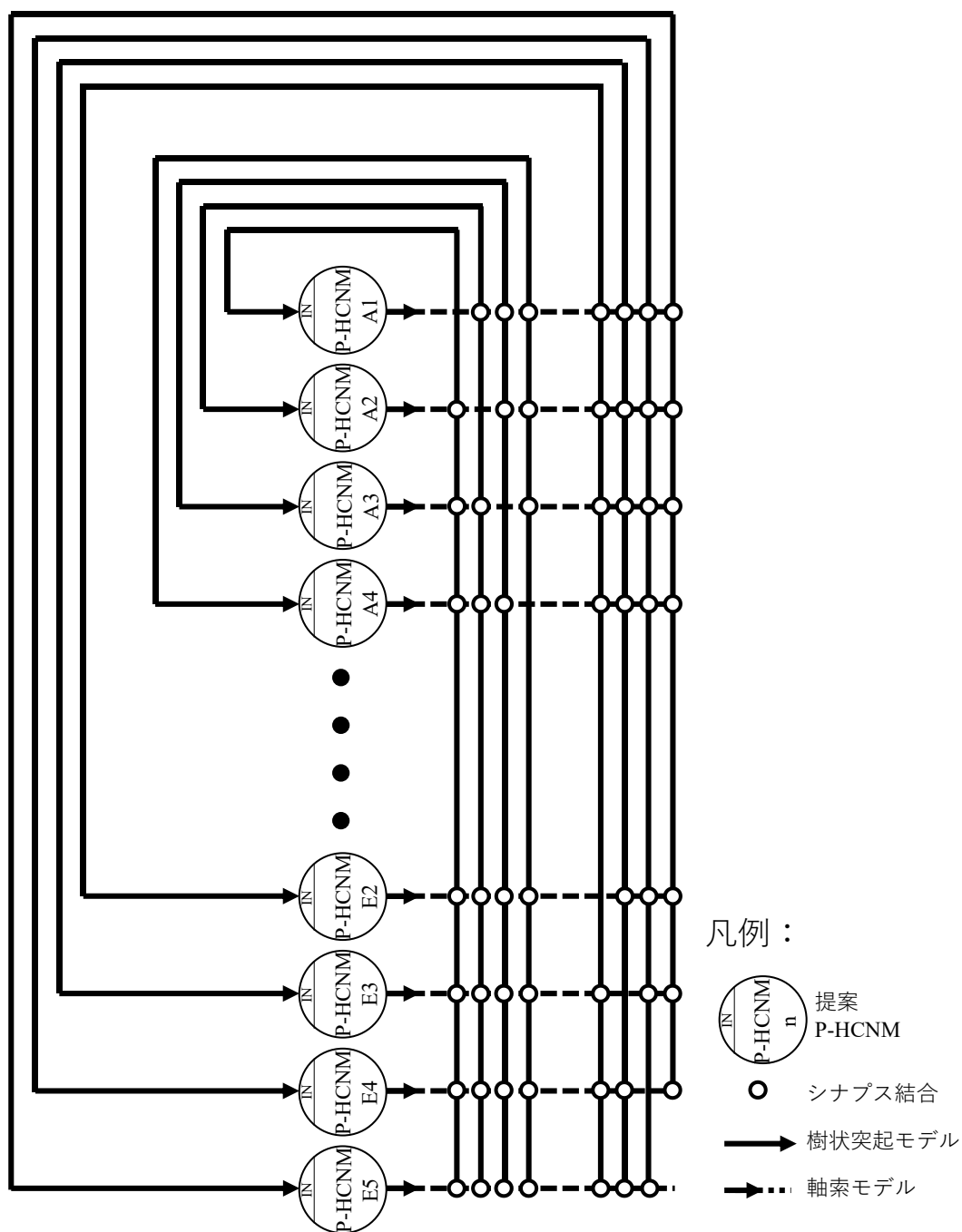


図 5.1.7 ホップフィールドネットワークの結合図

5.1.6 想起動作シミュレーション

図 5.1.8 に、本ネットワークに学習させた 4 種類の画像データを示す。なお、学習用データは白黒を反転させた画像についても同時に学習させた。結合荷重値データは STDP 学習則を用い、結合荷重値を OTA で構成したシナプスモデルに対し直流電源電圧 V_w として印加を行った。

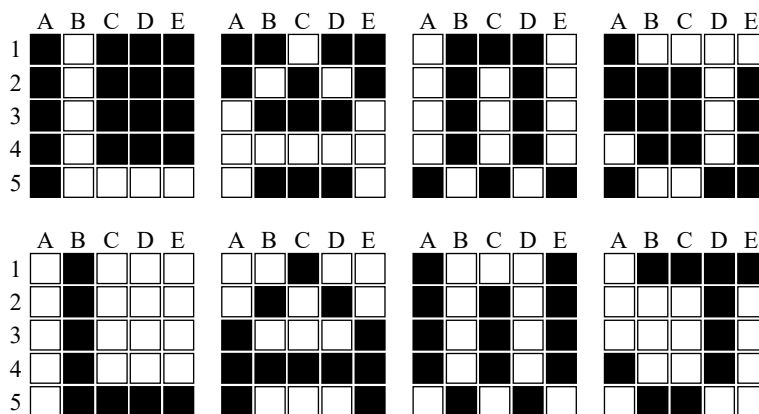


図 5.1.8 図 5.1.7 のホップフィールドネットワークに事前学習させた静止画像パターン

図 5.1.9 に、図 5.1.7 に入力した入力画像データを示す。本データは、図 5.1.8 に示した事前学習パターンのどの画像にも相当しない。そのため、この画像パターンを用いた想起動作は、ノイズの混じった画像パターンを補修する動作ではなく、通常の変想想起である「ひとつの情報から別の情報を思い出す」動作を想定したパターンである。事前に計算を行った結果、学習した画像の中から「W」に相当する出力が得られる推測結果となった。なお、今回定義したホップフィールドネットワークは、同じパターンを繰り返し続ける出力となる。そのため、時間の区切り方により一つの画素情報を「白」とも「黒」とも解釈することが可能であるため、想起される「W」は通常パターンおよび反転パターンの両方が当てはまる。

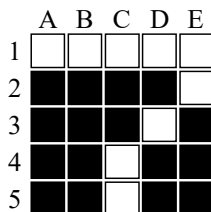


図 5.1.9 学習データおよび入力データ

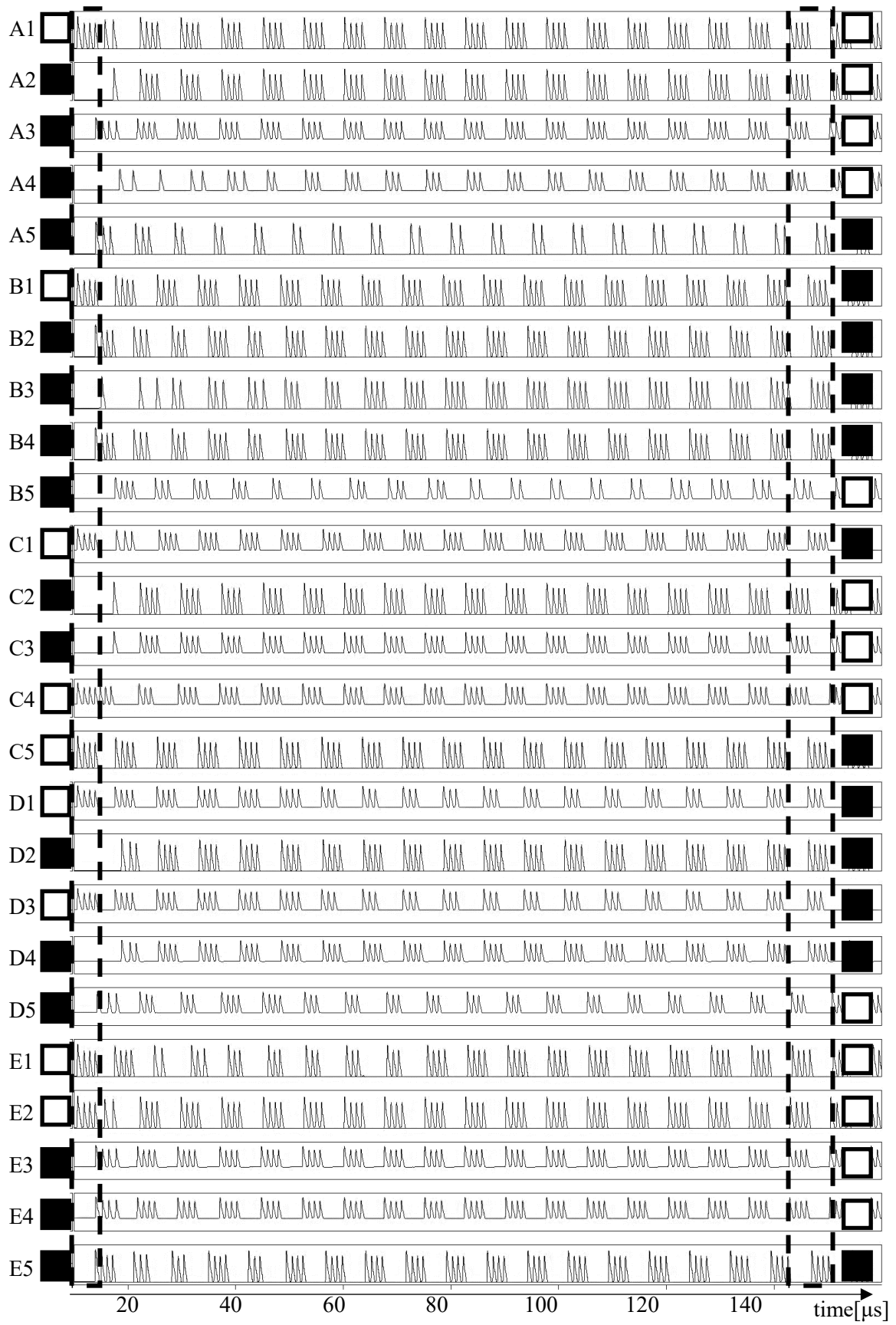


图 5.1.10 動作解析結果

図 5.1.10 に、提案ニューロシステムを用いた全結合型ネットワークの動作シミュレーション結果を示す。同図において、横軸に経過時間を、縦軸に各 P-HCNM の出力電圧 V_{OUT} を示す。同図に示すように、入力開始直後から $20\mu\text{s}$ までは一定のパターンに収束していないことから想起動作を行っており、 $20\mu\text{s}$ 以降は一定の繰り返しパターンに収束している。繰り返しパターンを復元した画像は図 5.1.11 に示すとおりであり、 $30\mu\text{s}$ 前後の短い時間で事前に学習した画像データに収束している。これは、提案ニューロシステムを用いた全結合型ネットワークを用いることで、静止画像の補完動作が可能であることを示している。なお、図 5.1.10 の A5 および B5 P-HCNM の発火波形が、他の P-HCNM に比べ発火頻度が少ないが、図 5.1.11 に示すように今回事前計算した結合荷重値による刺激入力（累積）が、他の P-HCNM と比較して 50% 以下の低刺激であったことに由来すると思われる。低刺激に対し低頻度の発火が出力されていることから、設計どおりの動作をしている。なお、図 5.1.11 の事前計算した入力電流の合計値が示すとおり、ひとつの P-HCNM に入力される電流値は、しきい値以上、すなわち合計 0 よりも大きい数値に対して比較を行うと、最大は 1.00 であり、最小は 0.22 である。そのため、最小と最大では約 4.55 倍の差がある。1.00 は正規化を行った後の値であるため、実際には今回用いた P-HCNM のしきい値電流である $3.22\mu\text{A}$ を基準としているため、P-HCNM には $3.22\mu\text{A}$ から $14.6\mu\text{A}$ までの入力許容電流範囲が求められる。従来の P-HCNM では、この電流範囲を満たすことは可能ではない。したがって、第 4 章にて提案を行った P-HCNM を用いることで、ホップフィールドネットワークを構築することが可能となったといえる。なお、今回構築したホップフィールドネットワークの規模はノード数が 25 と比較的小規模であり、この規模であっても入力電流に大きな差が発生したことから、より大規模なホップフィールドネットワークを構築することを考えた場合、今回提案した P-HCNM が重要になると考えられる。

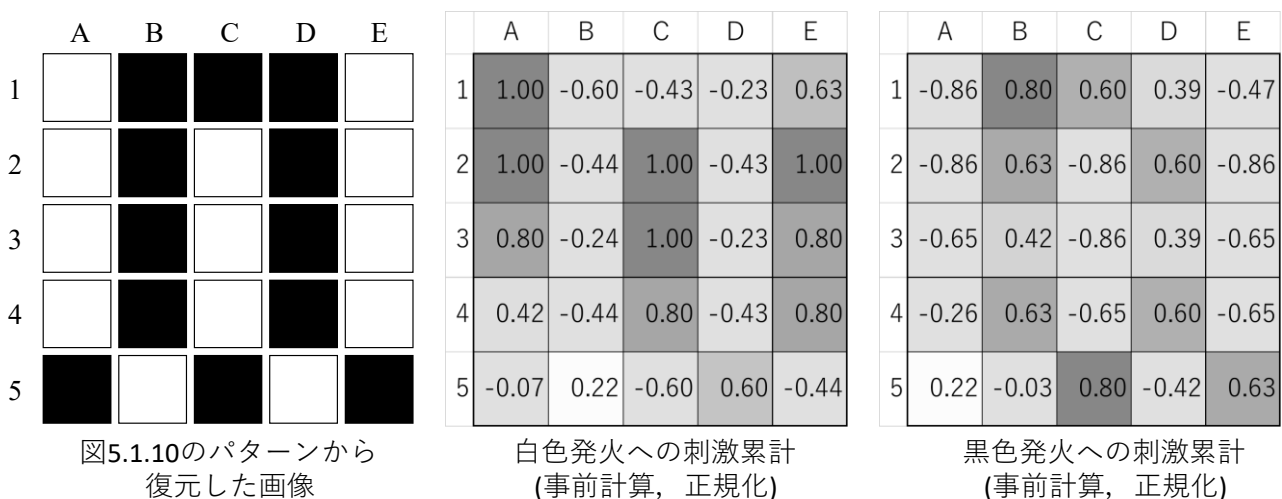


図 5.1.11 復元画像およびひとつの P-HCNM に入力される電流の事前予測結果(正規化)

図 5.1.12 に、図 5.1.7 で示したホップフィールドネットワークに対し STDP を用いて事前学習させたデータセットを示す。同図において、画素番号は行方向に 1~5、列方向に A~E とした。

図 5.1.13 に、図 5.1.7 で示したホップフィールドネットワークに対し入力した静止画像パターンを示す。同図において、画素番号は行方向に 1～5、列方向に A～E とした。同図は、図 5.1.12 に示した静止画像パターンに対し、欠損（ノイズ）を加えた画像パターンである。したがって、図 5.1.9 とは異なり、入力画像に対して出力されるべき画像が明確に存在する。この動作は、ホップフィールドネットワークの連想想起機能のうち、情報の補完（今回は画像補修として機能）に相当する。そのため、事前に学習を行った静止画像「L」に対して欠損を与えた画像をホップフィールドネットワークに入力した場合、事前に学習を行った「L」がホップフィールドネットワークの最終的な出力となることが予想される。

図 5.1.14～図 5.1.17 に、図 5.1.12 を学習させたネットワークに対し、欠損を持つ画素データを入力した際の動作波形を示す。同図において、横軸は経過時間を、縦軸は各 P-HCNM の発火電圧を示す。また、P-HCNM の番号は、縦から A1～5、B1～5、C1～5、D1～5、E1～5 の順番に配置した。なお、図 5.1.14 においては「L」に対し欠損を与えた画像データを、図 5.1.15 においては「A」に対し欠損を与えた画像データを、図 5.1.16 においては「J」に対し欠損を与えた画像データを、図 5.1.17 においては「+」に対し欠損を与えた画像データを入力した。各図に示すとおり、事前に学習した画像データに対し欠損を与えたデータをホップフィールドネットワークに入力すると、図 5.1.12 にて学習を行った画像データを繰り返し出力し続ける。

図 5.1.18 に、図 5.1.14～図 5.1.17 で示した、図 5.1.12 に対応する欠損を持つ画素データをネットワークに入力した際の出力結果を画像として再構築したデータを示す。同図に示すとおり、欠損を持つ画像データは、ホップフィールドネットワークに入力することで、入力に対応する事前に学習した画像を想起可能であることを示している。以上により、提案した P-HCNM を用いることで、ホップフィールドネットワークの連想想起機能のうち、画像データの補修を行うことが可能であることを明らかにした。

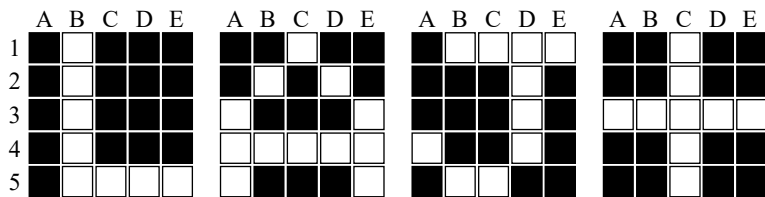


図 5.1.12 ホップフィールドネットワークに学習させた画像データ

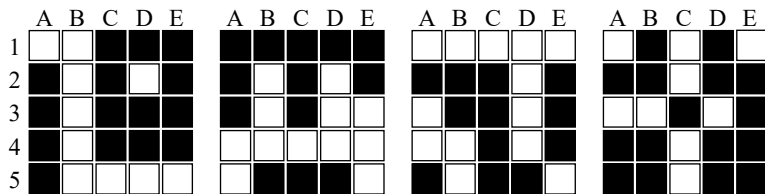


図 5.1.13 ホップフィールドネットワークに入力した画像データ

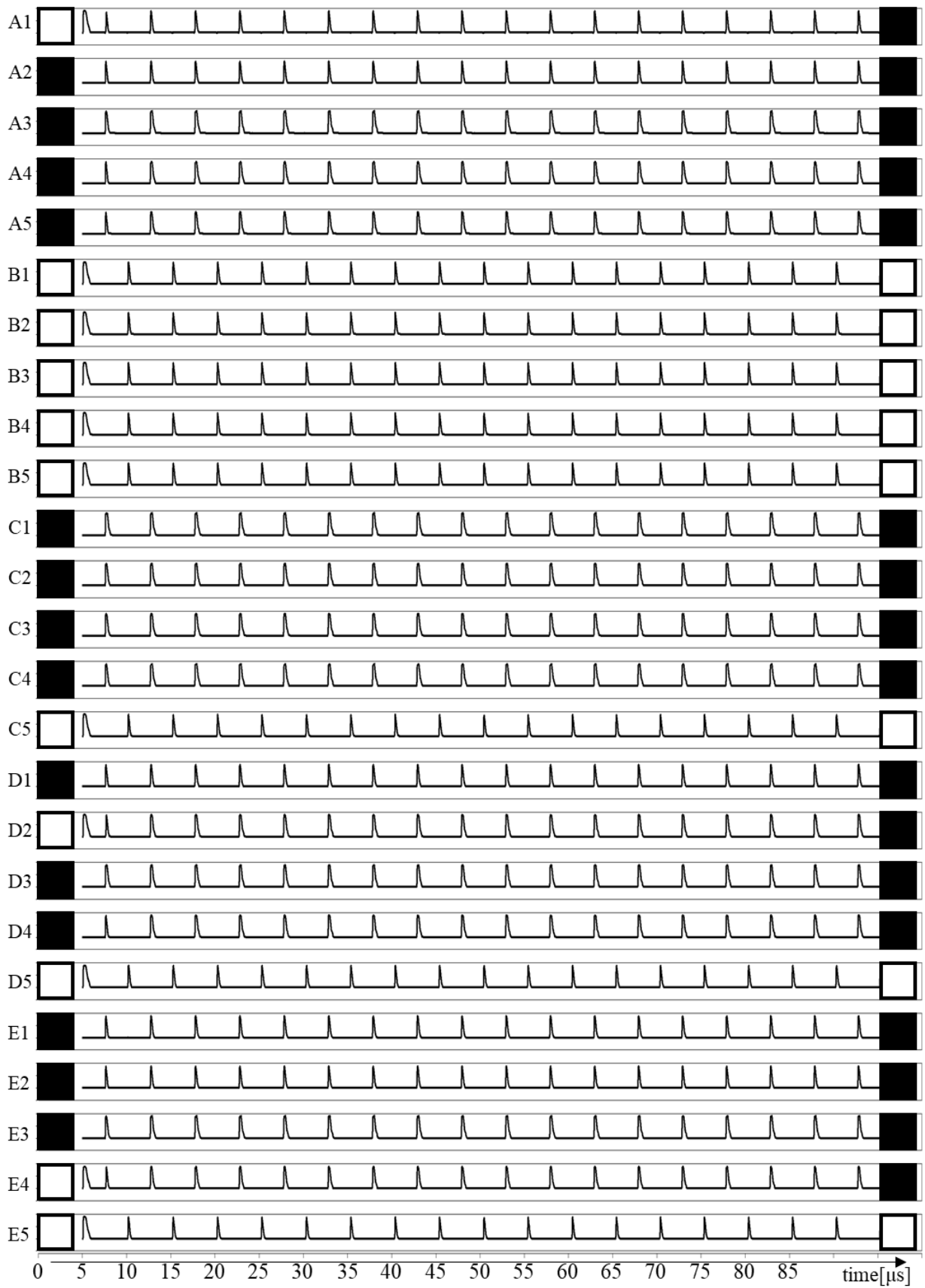


図 5.1.14 動作波形と入出力パターン(入力:「L」+ノイズ)

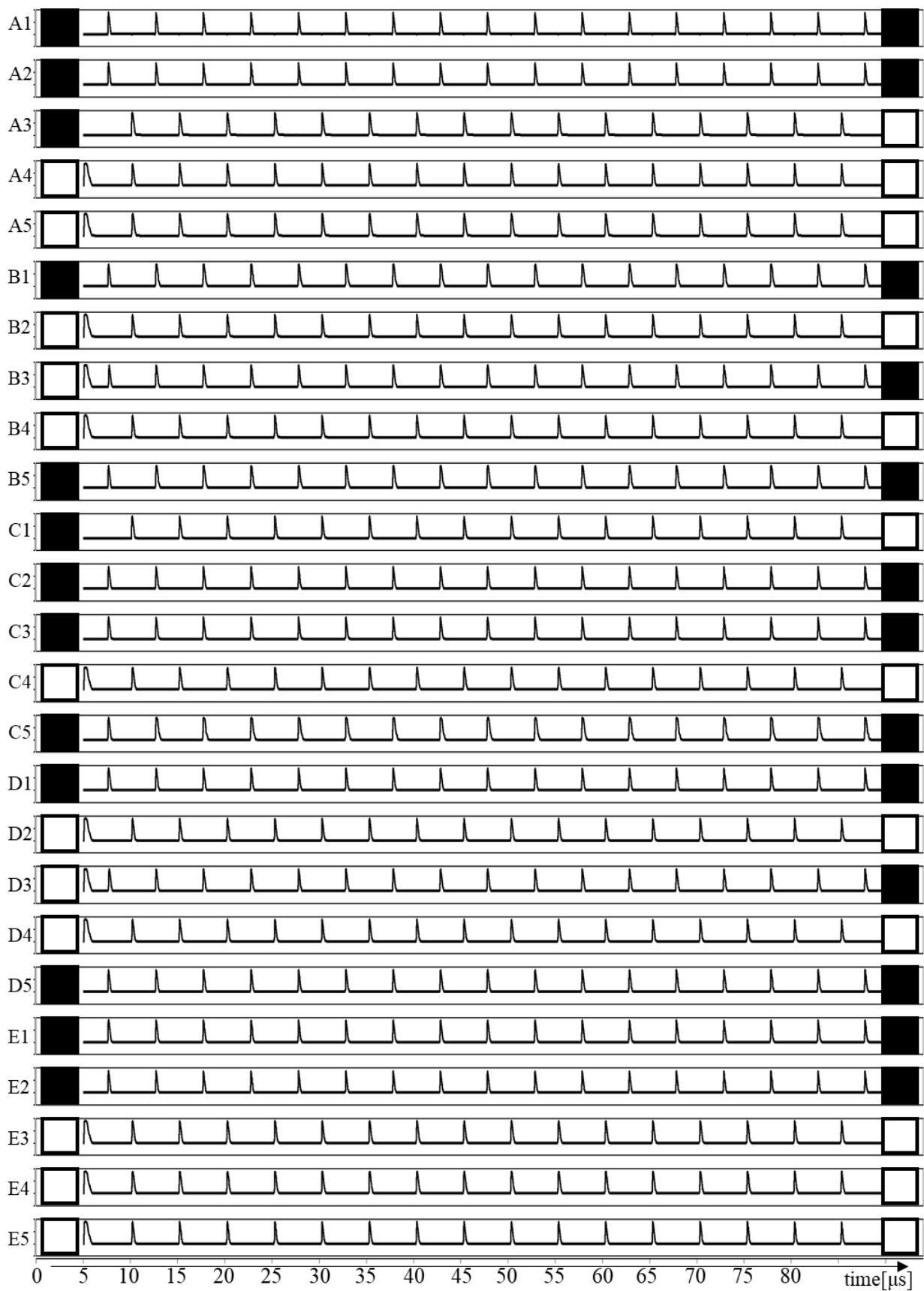


図 5.1.15 動作波形と入出力パターン(入力:「A」 + ノイズ)

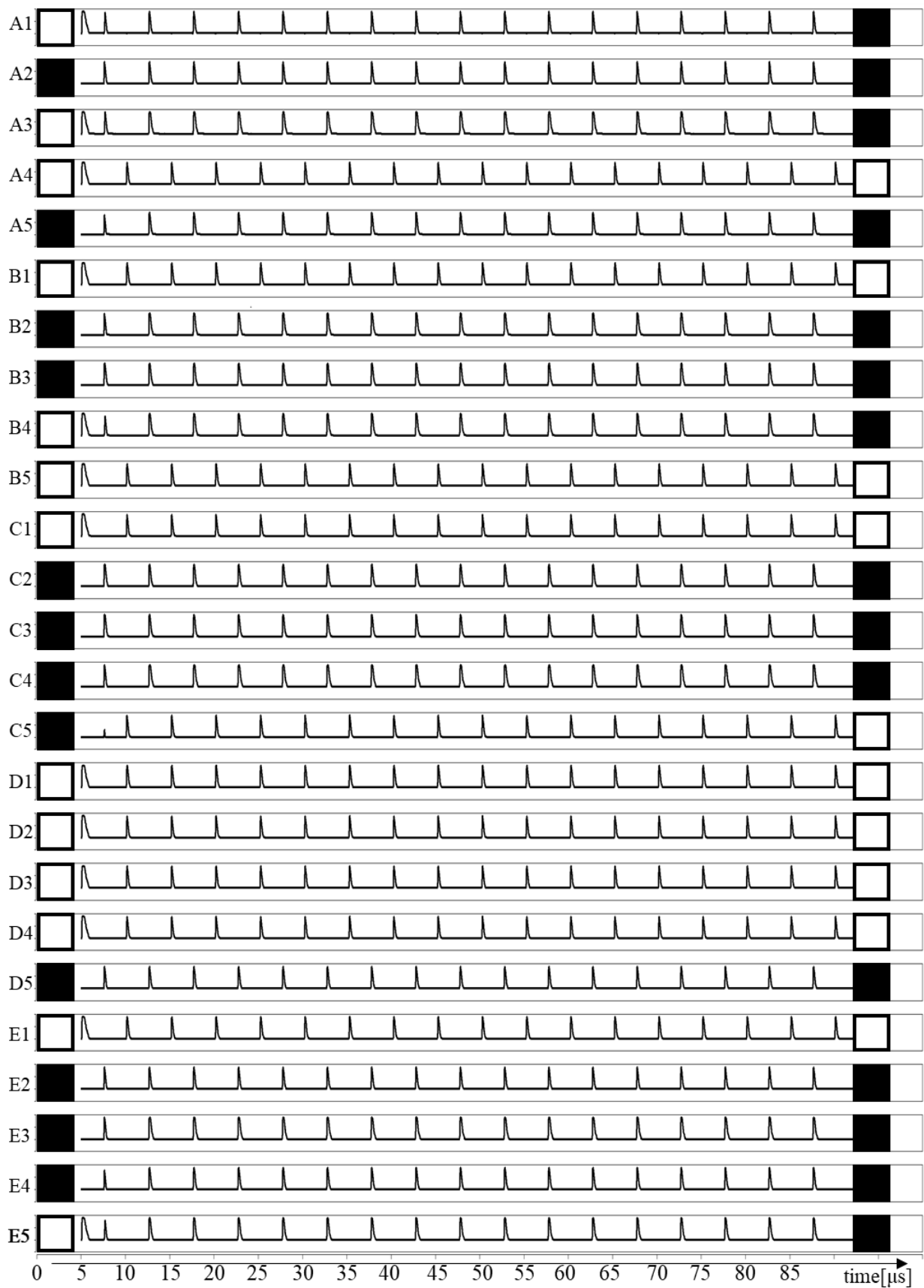


図 5.1.16 動作波形と入出力パターン(入力:「J」+ノイズ)

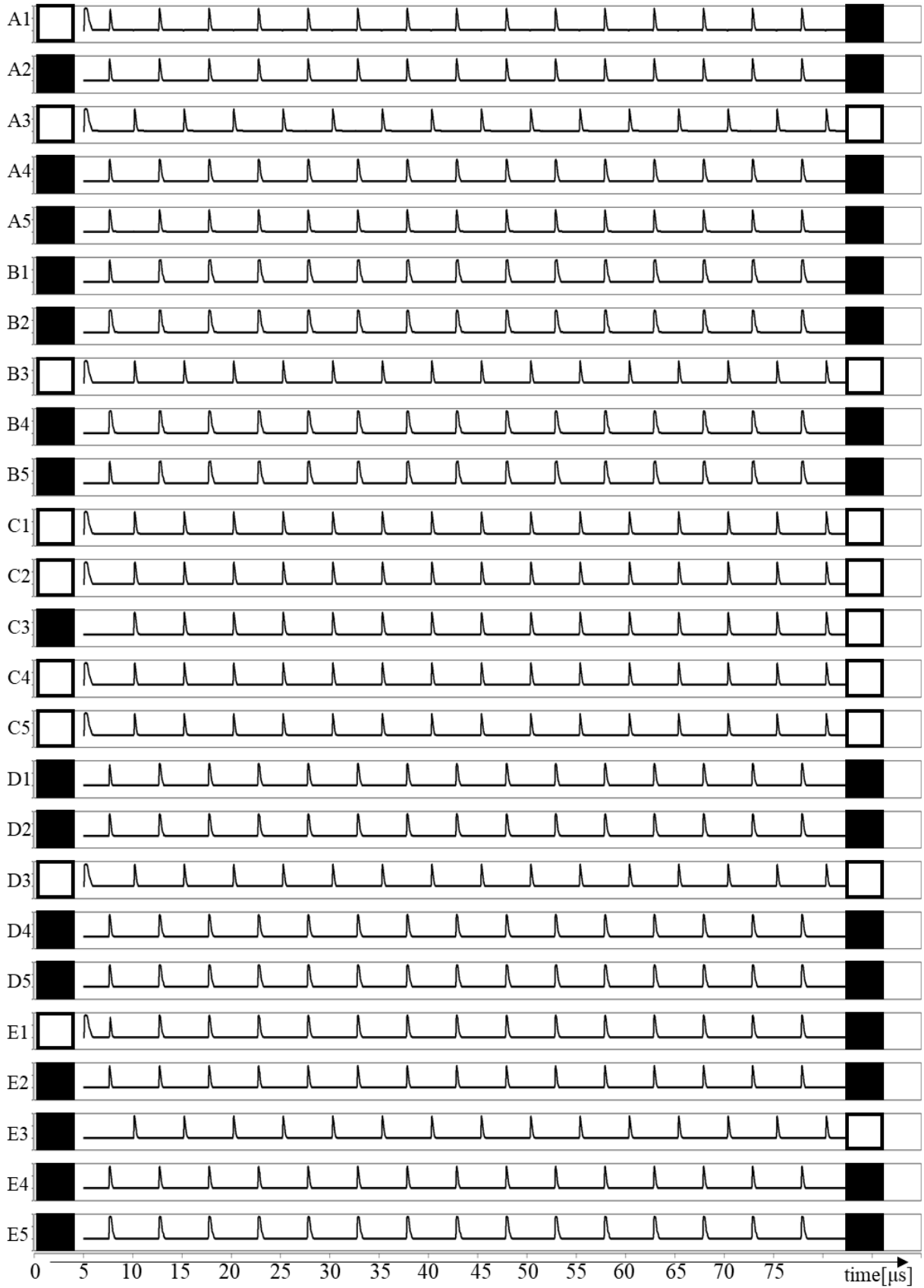


図 5.1.17 動作波形と入出力パターン(入力:「+」+ノイズ)

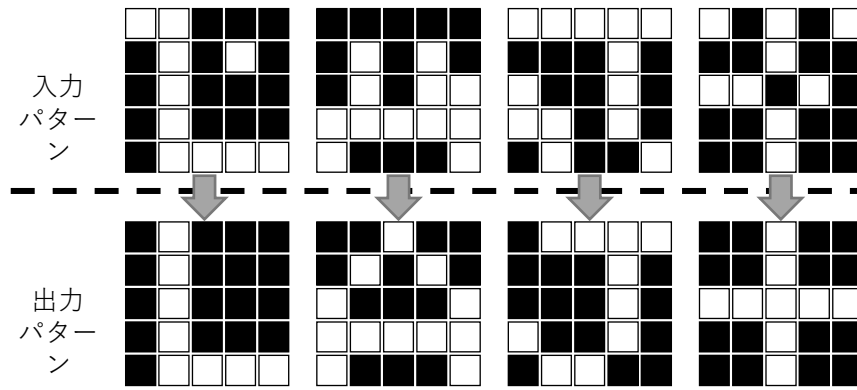


図 5.1.18 入力画素に対する出力パターン

5.2 時系列イメージを想起可能なホップフィールドネットワーク

ホップフィールドネットワークの連想起機能のひとつとして、時系列情報の想起がある。これは、任意の時間における P-HCNM の発火情報および過去の P-HCNM 発火履歴情報から、次の時間における情報を想起する動作である。本項では、11 個の P-HCNM を用い、7 個の時間タイミングで 1 つの時系列イメージ画像を表現した。なお、想起のために参照可能な過去の P-HCNM の発火履歴数は 3 個、および 7 個の 2 種類を検討した。参照可能履歴数が 7 個の場合、7 個の時間タイミングで 1 つの時系列イメージ画像を構成する本ネットワークにおいて、7 個の時間タイミングすべてを参照可能な状態である。参照可能履歴数が 3 個の場合、7 個の時間タイミングで 1 つの時系列イメージ画像を構成する本ネットワークにおいて、直近の 3 個の時間タイミングのみ参照可能な状態である。この参照履歴数の差は、ホップフィールドネットワークが時系列情報を想起するためには想起したい時系列数と同じ参照履歴数が必要か、それとも想起したい時系列数よりも少ない参照履歴数でも想起が可能かを検討するため使用したものである。

ホップフィールドネットワークに入力するデータは、静止画像において用いた「事前学習した画像+ノイズ」ではなく、事前学習した時系列イメージ画像を構成する 7 個の時間タイミングのなかから、任意の時間タイミングから数個の連続した時間タイミングを入力データとして用いた。この入力に対する出力は、入力した時間タイミングの末尾が 3 個目であった場合、4 個目の時間タイミングから続きのデータが出力される。

5.2.1 画素データ定義

図 5.2.1 に、本ネットワークで用いる画素データの定義を示す。本項では、静止画像データを取り扱った図 5.1.1 とは異なり、対象となる画像データそのものが時間的要素を持つ。そのため、図 5.1.1 とは異なり、STDP 学習を行うために、画像データの 1 画素に対して位相差などの時間情報を与える必要がない。したがって、時系列イメージを扱う本項では、画素情報の定義に発火順序など

の位相情報を加えず、任意の時間における P-HCNM の出力状態のうち、発火状態を「白」、非発火状態を「黒」と定義した。

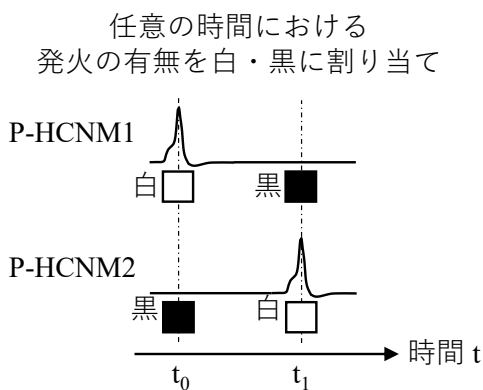


図 5.2.1 画素データ定義

5.2.2 画素座標の定義

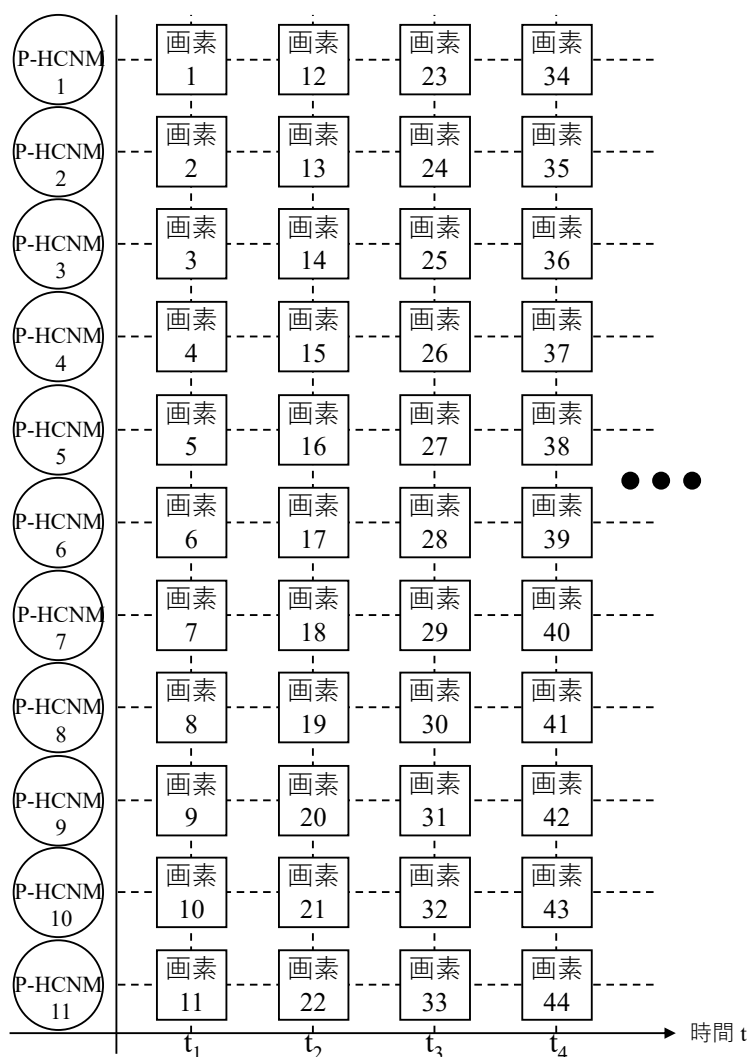


図 5.2.2 画素座標

図 5.2.2 に、本ネットワークで用いる画像データの画素座標を示す。同図に示すとおり、1つの P-HCNM の一定区切りの時間範囲を 1 画素とし、一定時間ごとに異なるセルを発火させることで画像を生成した。

5.2.3 参照履歴数がイメージの時系列数と等しい場合の動作解析

本項では、 $t_1 \sim t_7$ の 7 個の時系列に対し、参照可能な履歴数を 7 個として学習及び想起動作を行う。なお、各 P-HCNM は $t_1 \sim t_7$ の発火後、再び $t_1 \sim t_7$ を繰り返し発火するよう学習させた。

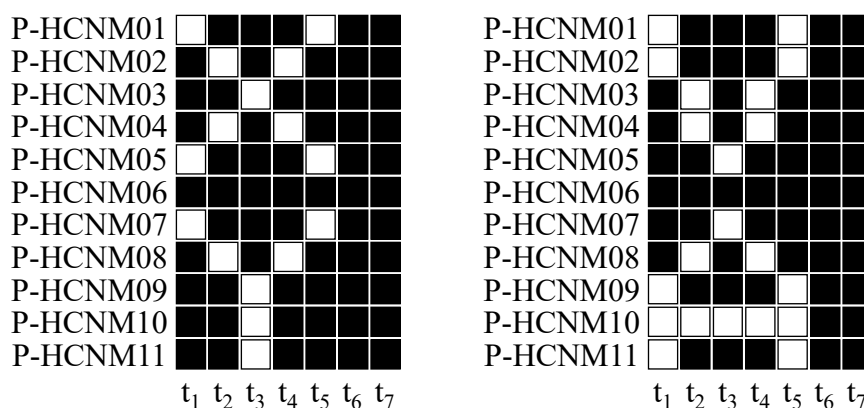


図 5.2.3 学習データセット

図 5.2.3 に、本ネットワークに学習させた 2 種類の時系列画像データを示す。なお、学習用データがループして出力されるよう、 t_7 の次の時間は t_1 へとループを行い学習させた。結合荷重値データは STDP 学習則を用い学習したデータを欠業荷重値として図 05.01.10 のシナプスモデル V_w に対し直流電源電圧として印加を行った。

図 5.2.4 に、軸索モデル内の参照可能な履歴数を 7 個に設定し、“VA” “XY” の 2 つの時系列パターンを学習させ、“VA”時系列を $t_1 \sim t_7$ すべて入力した場合の P-HCNM 発火シミュレーション結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の発火電圧を示す。同図に示すように、 $t_1 \sim t_7$ の時系列パターンが繰り返し出力される。

図 5.2.5 に、軸索モデル内の参照可能な履歴数を 7 個に設定し、“VA” “XY” の 2 つの時系列パターンを学習させ、“XY”時系列を $t_1 \sim t_7$ すべて入力した場合の P-HCNM 発火シミュレーション結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の発火電圧を示す。同図に示すように、 $t_1 \sim t_7$ の時系列パターンが繰り返し出力される。

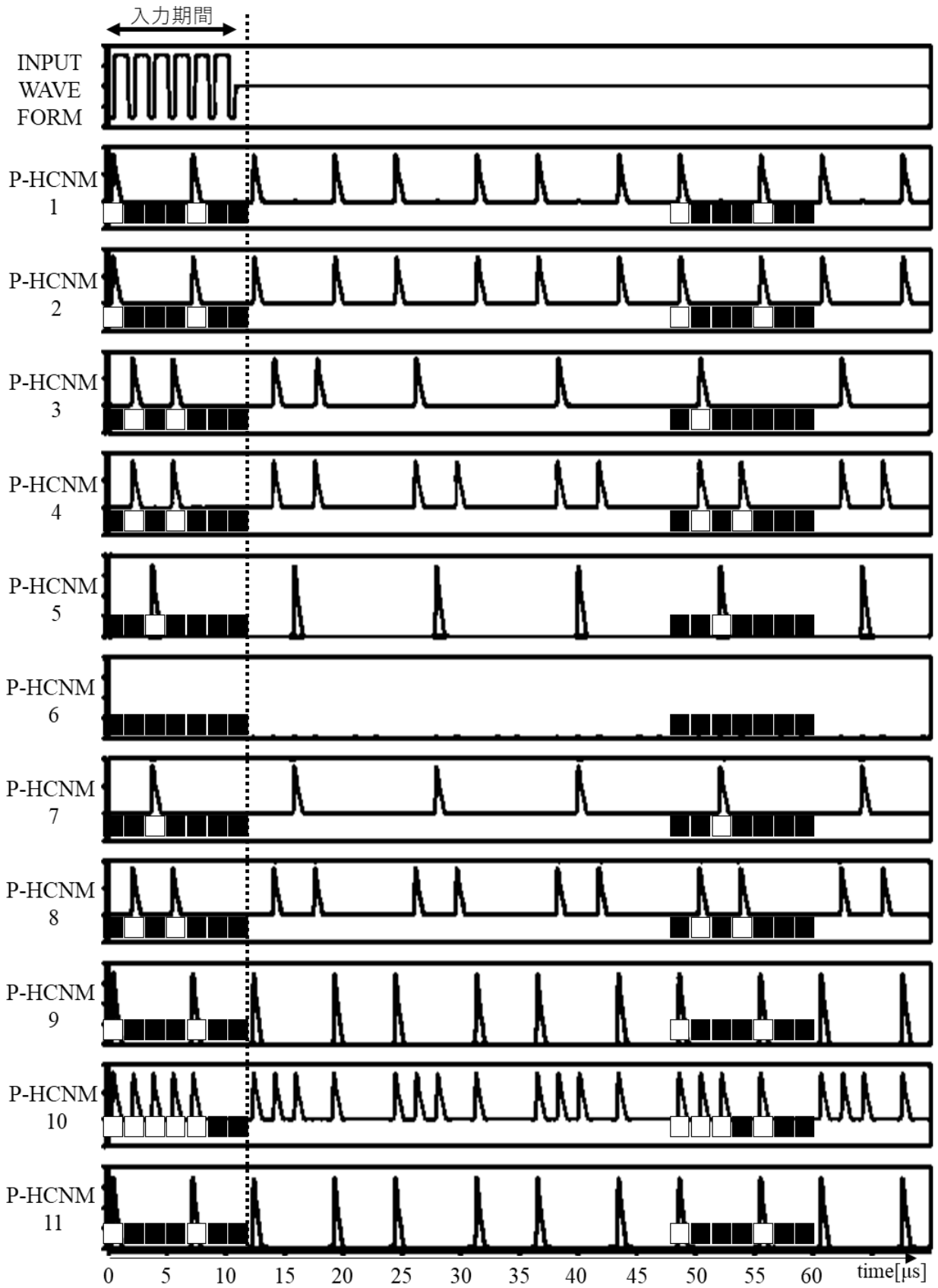


図 5.2.4 動作波形(参照可能な履歴数：7 “V A” “X Y”学習済み “V A” 入力)

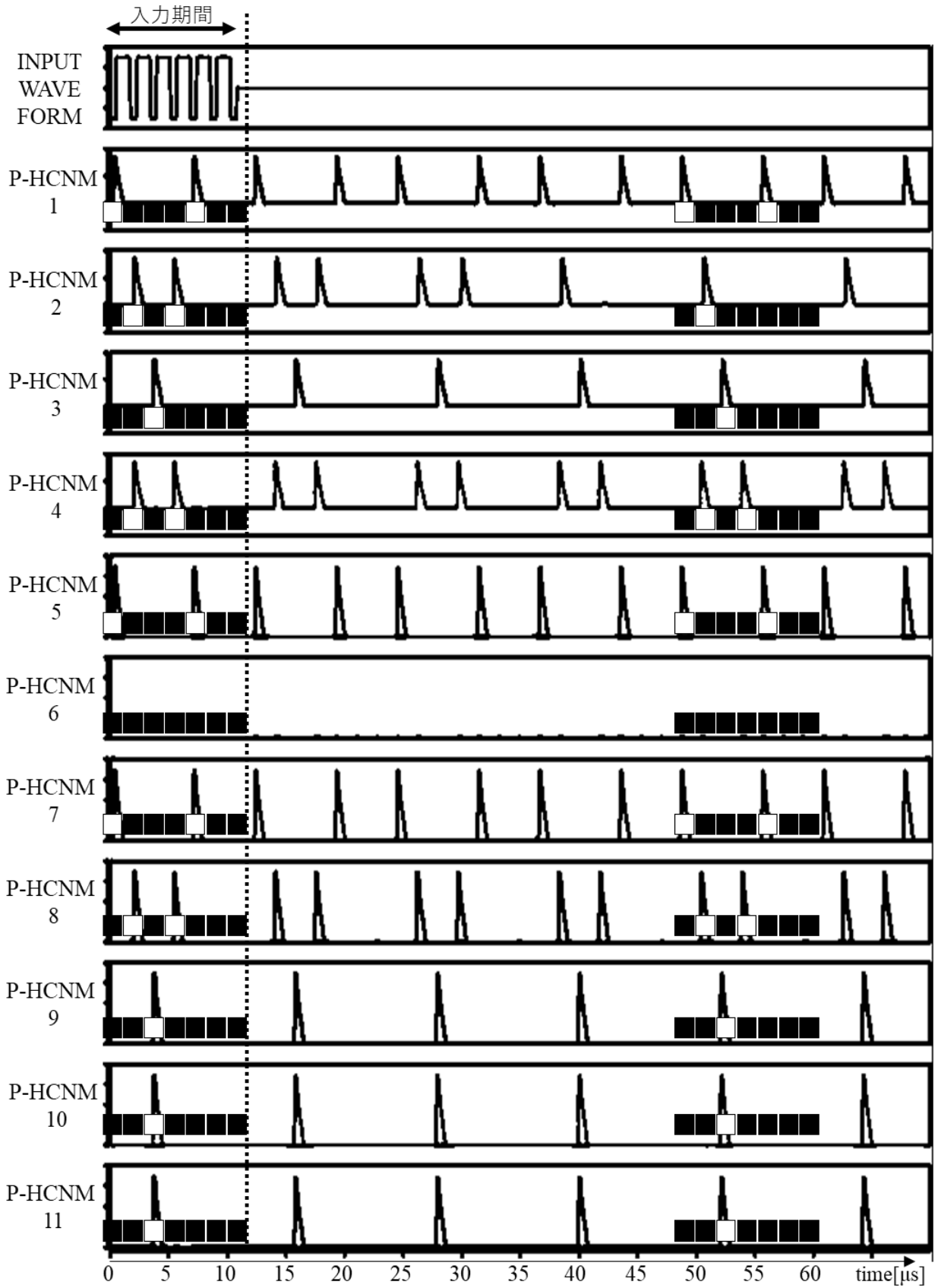


図 5.2.5 動作波形(参照可能な履歴数：7 “V A” “X Y”学習済み “X Y” 入力)

図 5.2.6 に、図 5.2.4 の発火出力から再構成した画像を示す。同図の斜線に示すように、学習した時系列とほぼ同じであるが、時系列のうち 2 画素データに欠落が生じている。

図 5.2.7 に、図 5.2.4 の発火出力から再構成した画像を示す。同図の斜線に示すように、学習した時系列とほぼ同じであるが、時系列のうち 1 画素データに欠落が生じている。

図 5.2.8 左図に、図 5.2.6 で示した欠落データの分析結果を示す。同図は、入力を受けた際の刺激累計を示しており、刺激累計が 0 を超えた場合に発火応答を行う設定としている。同図の斜線に示した画素が、図 5.2.6 にて示した欠落部分であるが、同図に示すとおり当該画素が収集する刺激累計は、他の画素に比べて 50%以下である。したがって、発火に至るまでに必要な入力時間が、他の P-HCNM よりも長くなり、限られた入力時間しか持たない本ネットワークでは、他の P-HCNM と同期間に発火しない可能性が高くなる。その結果、画素欠落が発生したものと考えられる。また、今回の学習における入力累計（合計）の最小値は 0.7、入力累計（合計）の最大値は 8.7 であった。図 5.1.11 の事例とは異なり、入力累計に対して正規化を行っていないが、P-HCNM のしきい値は同じく $3.22\mu\text{A}$ であるため、ひとつの P-HCNM に入力される電流範囲は $3.92\mu\text{A}\sim 9.4\mu\text{A}$ である。従来構成における P-HCNM の入力許容電流範囲は図 4.2.16 より $1.54\mu\text{A}$ から $2.96\mu\text{A}$ であることから、従来の P-HCNM では、この電流範囲を満たすことは可能ではない。したがって、第 4 章にて提案を行った P-HCNM を用いることで、ホップフィールドネットワークを構築することが可能となったといえる。図 5.2.8 右図に、図 5.2.7 で示した欠落データの分析結果を示す。同図は、入力を受けた際の刺激累計を示しており、刺激累計が 0 を超えた場合に発火応答を行う設定としている。同図の斜線に示した画素が、図 5.2.7 にて示した欠落部分であるが、図 5.2.6 の事例とは異なり、同じ P-HCNM 上に同値の刺激累積で発火を行っている画素がある。したがって、本来は発火が可能であると考えられる。ここで、このネットワークの事前計算では、任意時間における発火状態が同期状態であることを前提に計算を行っている。しかし、P-HCNM はアナログ性をもつモデルであり、非同期動作として機能するため、発火履歴として用いる遅延回路等との同期が行われない場合、想起動作に影響を与えられられる。そのため、正しく時系列を想起させるためには、発火履歴として用いた遅延回路に時定数を与える必要があると考えられる。

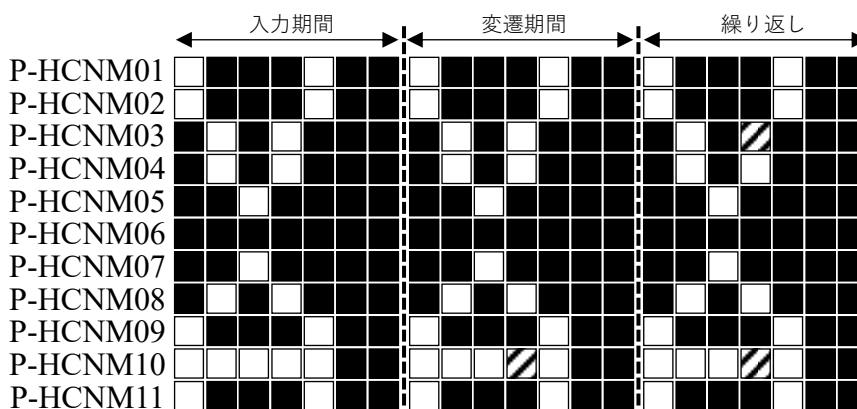


図 5.2.6 再構成画像“VA”

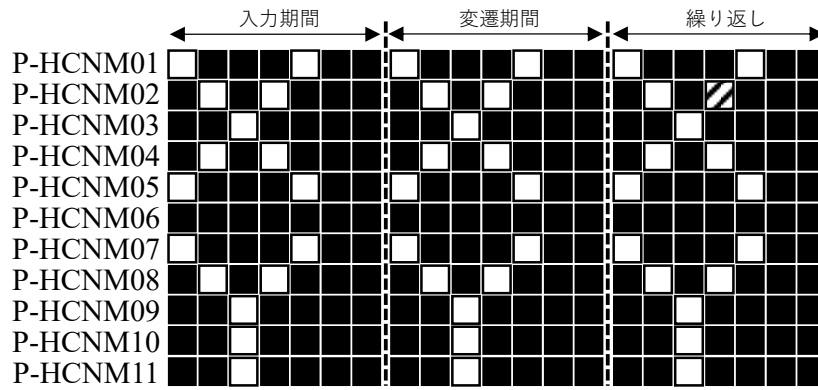


図 5.2.7 再構成画像“XY”

P-HCNM01	4.4	-6.9	-1.2	-4.6	3.9	-3.1	-3.0
P-HCNM02	2.9	-3.5	-4.2	-1.2	2.4	-3.5	-3.3
P-HCNM03	-4.9	3.0	-3.4	0.7	-4.5	-3.9	-4.0
P-HCNM04	-8.3	6.1	-6.4	3.7	-7.9	-2.0	-2.2
P-HCNM05	-6.6	-8.0	2.4	-5.7	-7.1	-2.6	-2.5
P-HCNM06	-7.6	-6.8	-5.1	-4.5	-8.0	-4.3	-4.1
P-HCNM07	-6.6	-8.0	2.4	-5.7	-7.1	-2.6	-2.5
P-HCNM08	-8.3	6.1	-6.4	3.7	-7.9	-2.0	-2.2
P-HCNM09	6.3	-6.5	-1.2	-4.2	5.8	-5.4	-5.2
P-HCNM10	6.8	3.6	3.1	1.2	7.2	-3.0	-3.2
P-HCNM11	6.3	-6.5	-1.2	-4.2	5.8	-5.4	-5.2
	t_1	t_2	t_3	t_4	t_5	t_6	t_7

入力累計“VA”

P-HCNM01	3.5	-4.5	-1.6	-4.5	3.7	-1.9	-2.7
P-HCNM02	-2.5	1.6	-3.8	1.6	-2.4	-0.8	-1.6
P-HCNM03	-3.4	-1.0	3.6	-1.0	-3.5	-2.4	-1.7
P-HCNM04	-4.5	6.2	-8.6	6.2	-4.7	-2.4	-1.7
P-HCNM05	3.5	-3.2	-4.6	-3.2	3.7	-4.1	-4.8
P-HCNM06	-2.6	-2.0	-5.8	-2.0	-2.4	-2.6	-3.3
P-HCNM07	3.5	-3.2	-4.6	-3.2	3.7	-4.1	-4.8
P-HCNM08	-4.5	6.2	-8.6	6.2	-4.7	-2.4	-1.7
P-HCNM09	-1.4	-5.6	8.3	-5.6	-1.3	-0.8	-1.6
P-HCNM10	-1.3	-2.7	8.7	-2.7	-1.5	-1.3	-0.6
P-HCNM11	-1.4	-5.6	8.3	-5.6	-1.3	-0.8	-1.6
	t_1	t_2	t_3	t_4	t_5	t_6	t_7

入力累計“XY”

図 5.2.8 刺激入力累計

図 5.2.9～図 5.2.11 に、軸索モデル内の参照可能な履歴数を 7 個に設定し、“VA” “XY”の 2 つの時系列パターンを学習させ、“XY”時系列 $t_1 \sim t_7$ の一部を入力した場合の P-HCNM 発火シミュレーション結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の発火電圧を示す。図 5.2.9 は、“XY”を構成する $t_1 \sim t_7$ のうち、 $t_1 \sim t_3$ までを入力した際の出力結果である。同図に示すとおり、 $t_1 \sim t_3$ 入力後、 $t_4 \sim t_7$ に学習データと同様な時系列パターンが出力される。また、図 5.2.10 は、“XY”を構成する $t_1 \sim t_7$ のうち、 $t_1 \sim t_2$ までを入力した際の出力結果である。 $t_1 \sim t_2$ の入力後、 $t_3 \sim t_7$ に学習データと同様な時系列パターンが出力される。これは、時系列パターンの一部を想起キーとした場合に、対応する時系列パターンを出力可能であることを示している。このことは、本ネットワークを用いることで、時系列パターンの学習・想起を行うことが可能であることを示している。なお、図 5.2.10 のように、キーとなる時系列数が少ない場合、一部の時系列パターンに余分な発火が混じる。これは、キー情報の不足によるものであるが、その他の要素として、遅延に応じたシナプス結合荷重値の重みづけを行っていないことも要素として考えられる。したがって、今後の検討課題として、直近の時系列パターンに対してより大きな重みを持たせるなど、結合荷重値生成のアルゴリズムについて検討を行う必要がある。

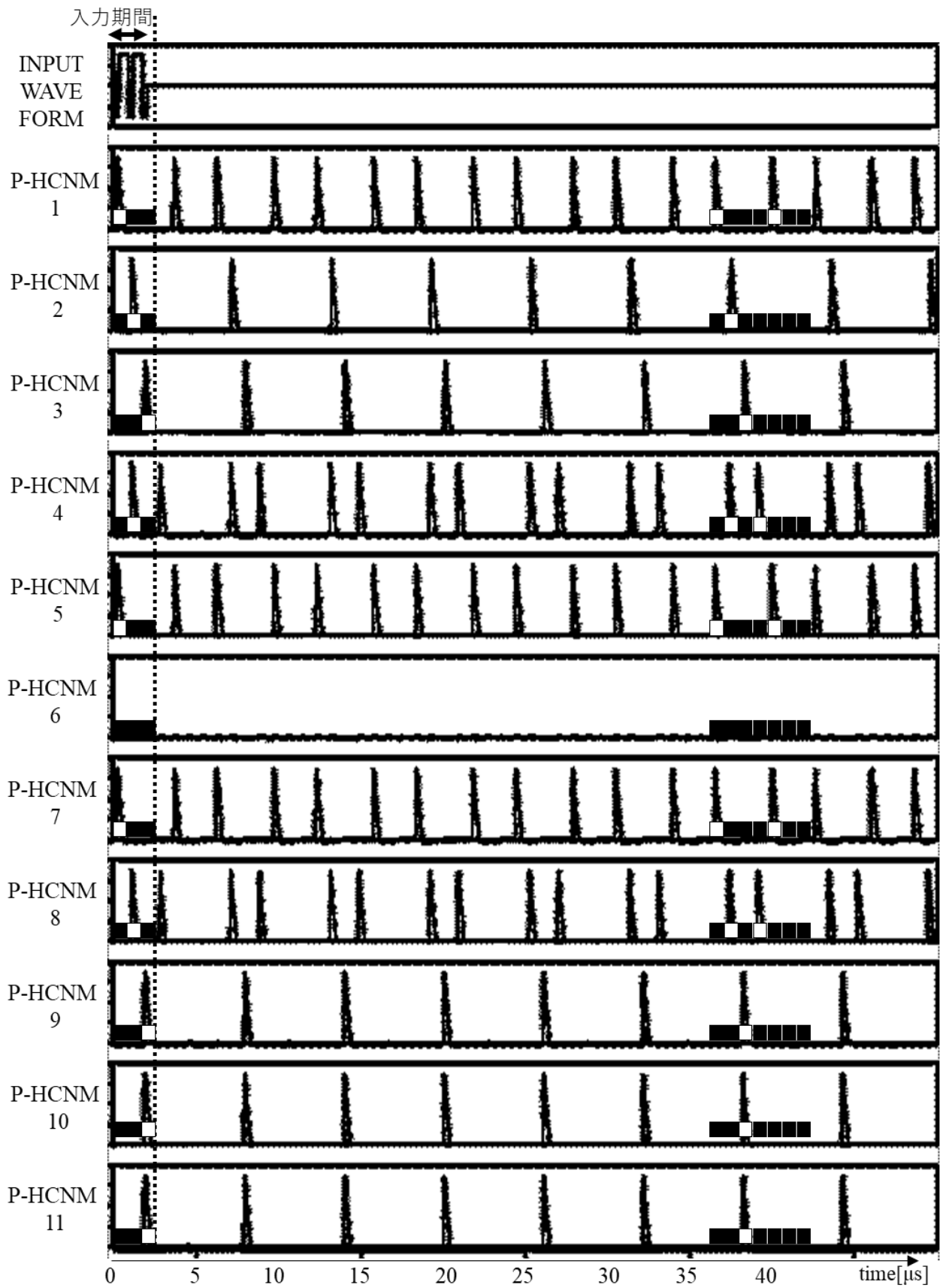


図 5.2.9 動作波形(参照可能な履歴数：7 “VA” “XY”学習済み “XY” $t_1 \sim t_3$ 入力)

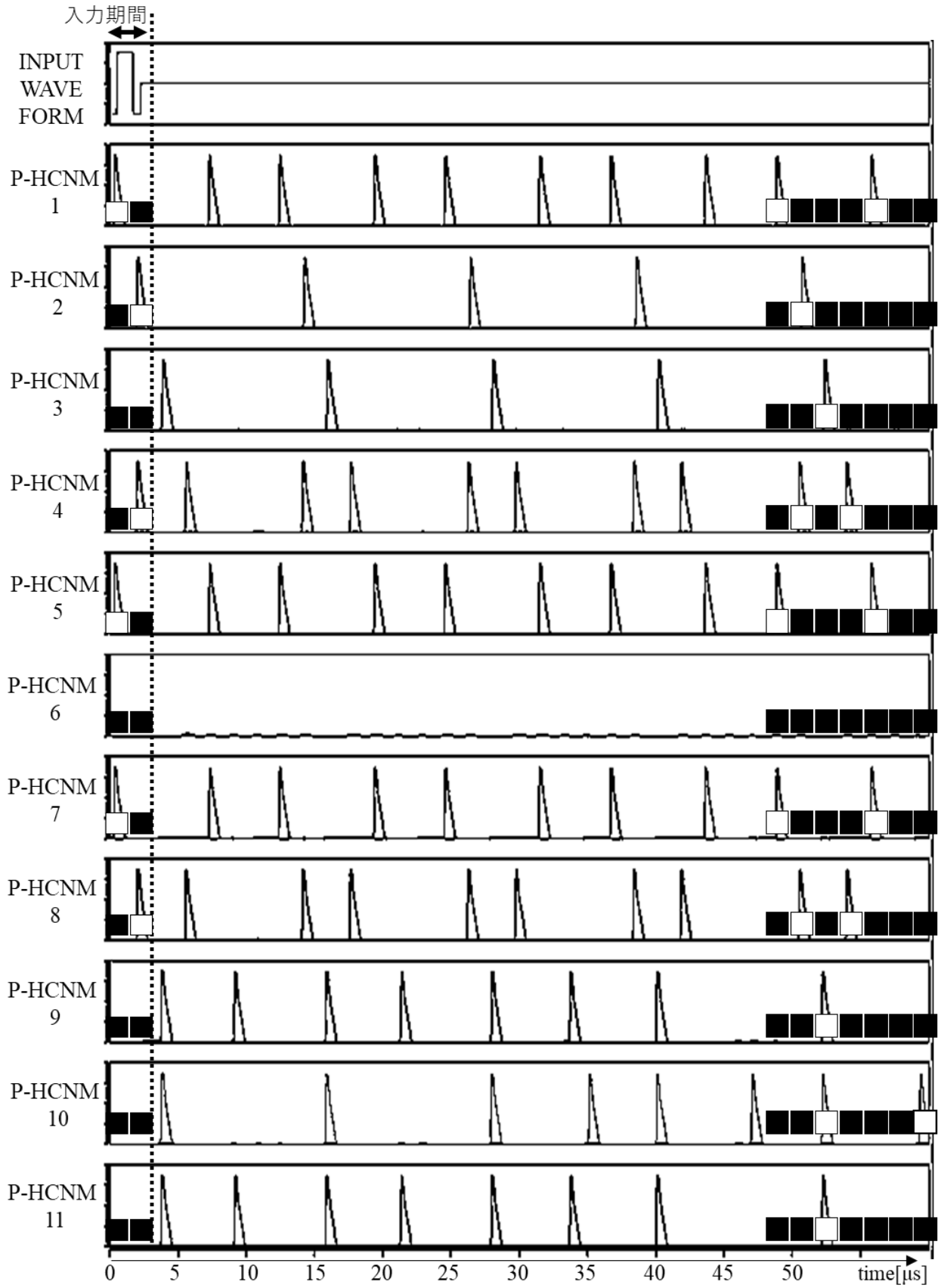


図 5.2.10 動作波形(参照可能な履歴数：7 “V A” “X Y”学習済み “X Y” $t_1 \sim t_2$ 入力)

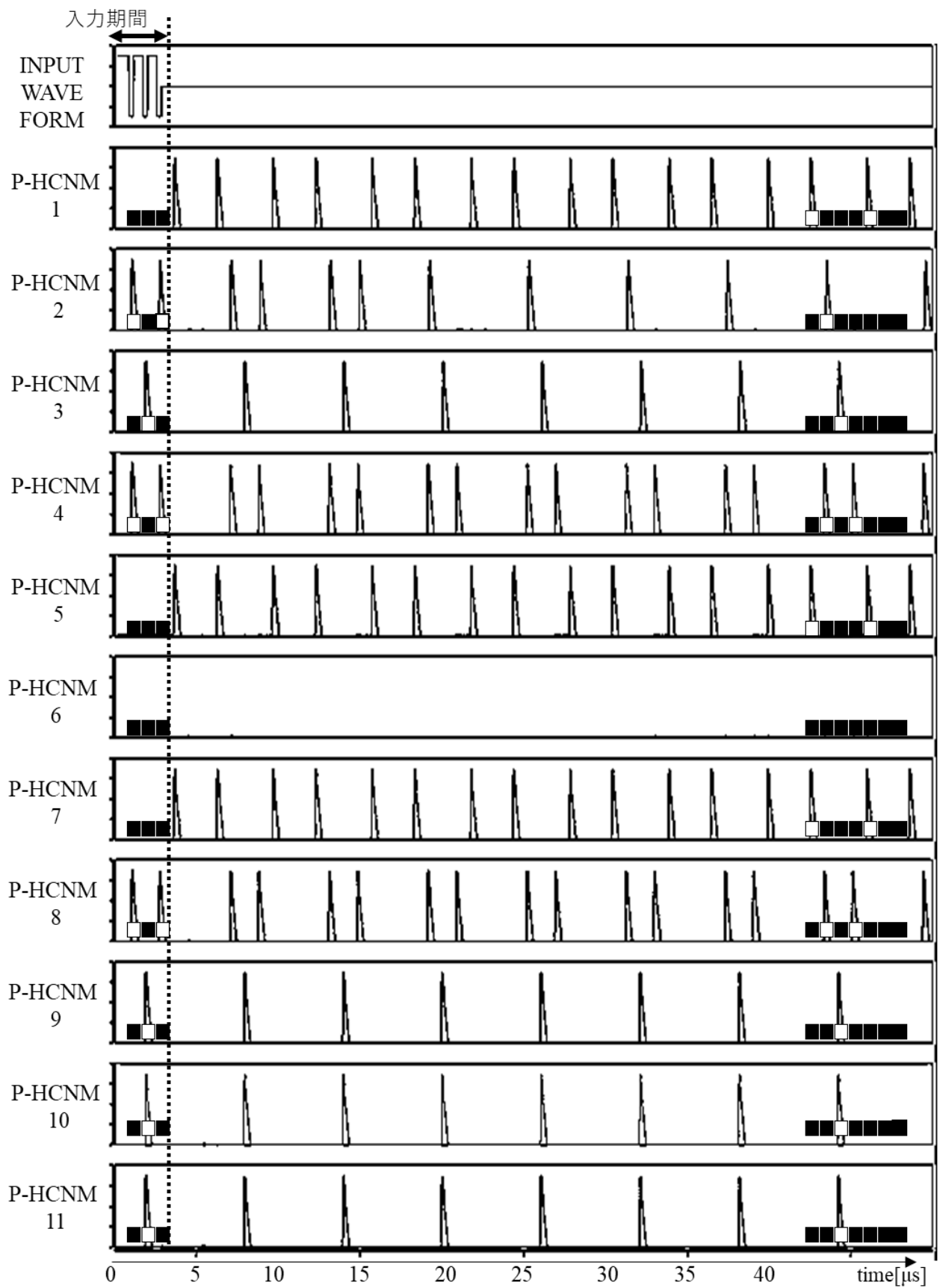


図 5.2.11 (参照可能な履歴数：7 “VA” “XY”学習済み “XY” $t_2 \sim t_4$ 入力)

5.2.4 参照履歴数がイメージの時系列数より少ない場合の動作解析

本項では、 $t_1 \sim t_7$ の 7 個の時系列に対し、参照可能な履歴数を 3 個として学習及び想起動作を行う。なお、各 P-HCNM は $t_1 \sim t_7$ の発火後、再び $t_1 \sim t_7$ を繰り返し発火するよう学習させた。学習パターンは、図 5.2.12 に示すように“XY”の 1 パターンのみ学習を行った。

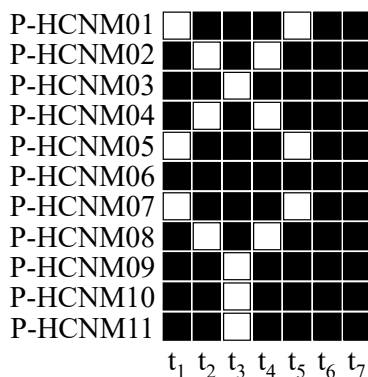


図 5.2.12 学習データセット

図 5.2.13～図 5.2.15 に、軸索モデル内の参照可能な履歴数を 3 個に設定し、“XY”の 1 時系列パターンを学習させ、“VA”時系列 $t_1 \sim t_7$ の一部を入力した場合の P-HCNM 発火シミュレーション結果を示す。同図において、横軸は経過時間を、縦軸は P-HCNM の発火電圧を示す。

図 5.2.13 に、事前学習した時系列データ“VA”の $t_1 \sim t_7$ をすべて入力した場合の動作波形を示す。同図に示すとおり、すべての入力を終了した後、再び $t_1 \sim t_7$ のパターンが出力される。この結果は、参照可能な履歴数がイメージの時系列数よりも少ない場合においても、時系列パターンを想起可能であることを示している。すなわち、限られたネットワーク規模で、長時間の時系列情報を保持することが可能であることを示している。

図 5.2.14 に、事前学習した時系列データ“VA”の $t_1 \sim t_7$ のうち、 t_1 および t_2 を入力した場合の動作波形を示す。同図に示すとおり、きっかけ刺激である t_1 および t_2 を入力した後、続きとなる $t_3 \sim t_7$ が出力される。また、図 5.2.13 と同様に、 t_7 終了後、再び $t_1 \sim t_7$ のパターンが出力される。

図 5.2.15 に、事前学習した時系列データ“VA”の $t_1 \sim t_7$ のうち、 t_3 および t_4 を入力した場合の動作波形を示す。同図に示すとおり、きっかけ刺激である t_3 および t_4 を入力した後、続きの時系列である $t_5 \sim t_7$ が出力されず、誤った出力が行われている。これは、今回ホップフィールドネットワークに学習させた時系列データが、 t_1 および t_2 を起点として学習を行っているため、 t_1 および t_2 を喪失させた場合、正しく想起を行うことが出来なかったためであると考えられる。 t_1 および t_2 は、参照可能な過去の情報が少ない状態で学習が行われる時間タイミングであるため、他の時間タイミングに比べて比重が重かった可能性がある。しかし、生体の脳においては、音楽などの時系列を冒頭以外からも想起することが可能であるため、STDP による学習アルゴリズムに改良を加える必要がある。

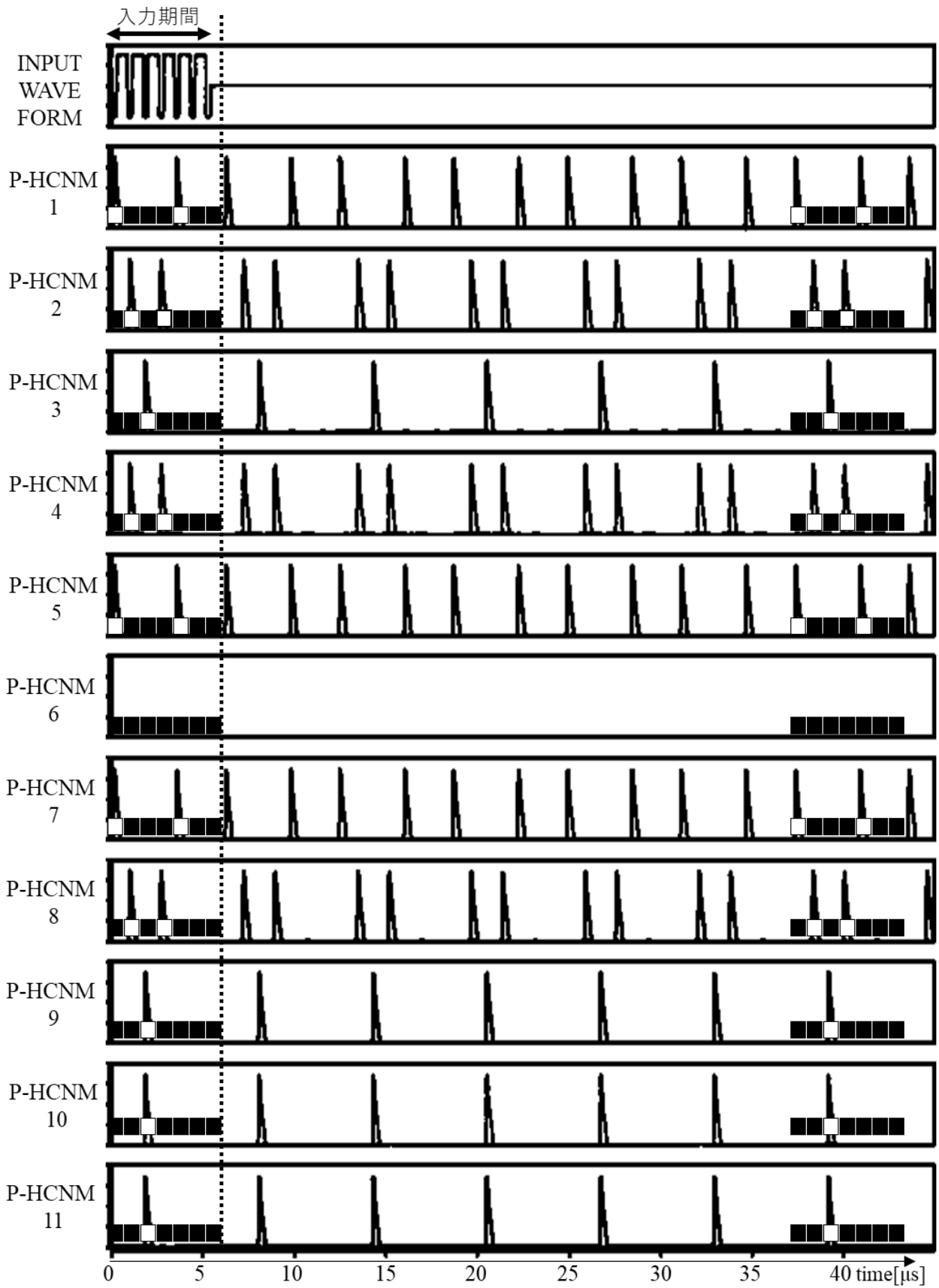


図 5.2.13 動作波形(参照可能な履歴数：3 “X Y”学習済み “XY”から $t_1 \sim t_7$ 入力)

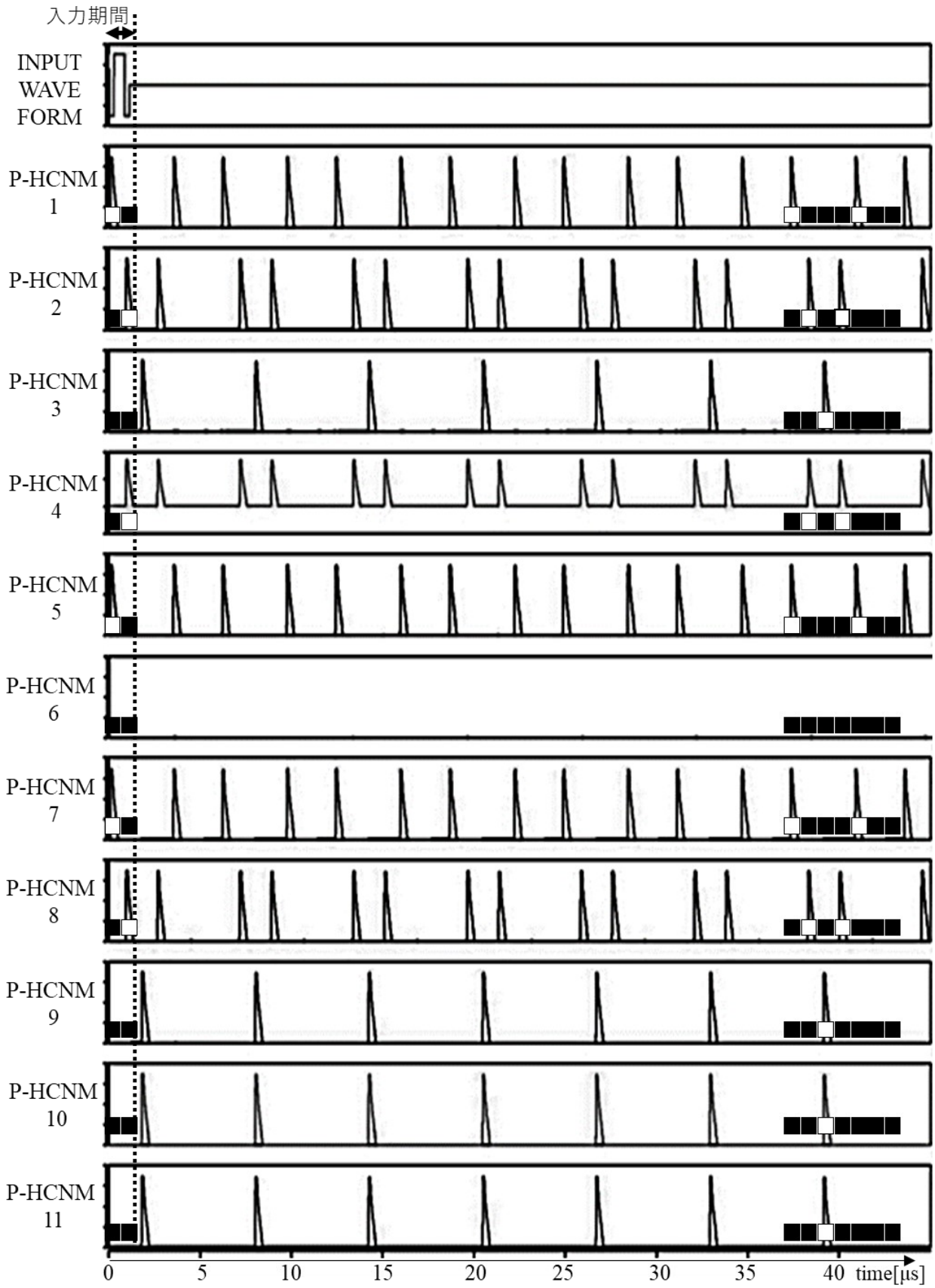


図 5.2.14 動作波形(参照可能な履歴数：3 “X Y”学習済み “XY”から $t_1 \sim t_2$ 入力)

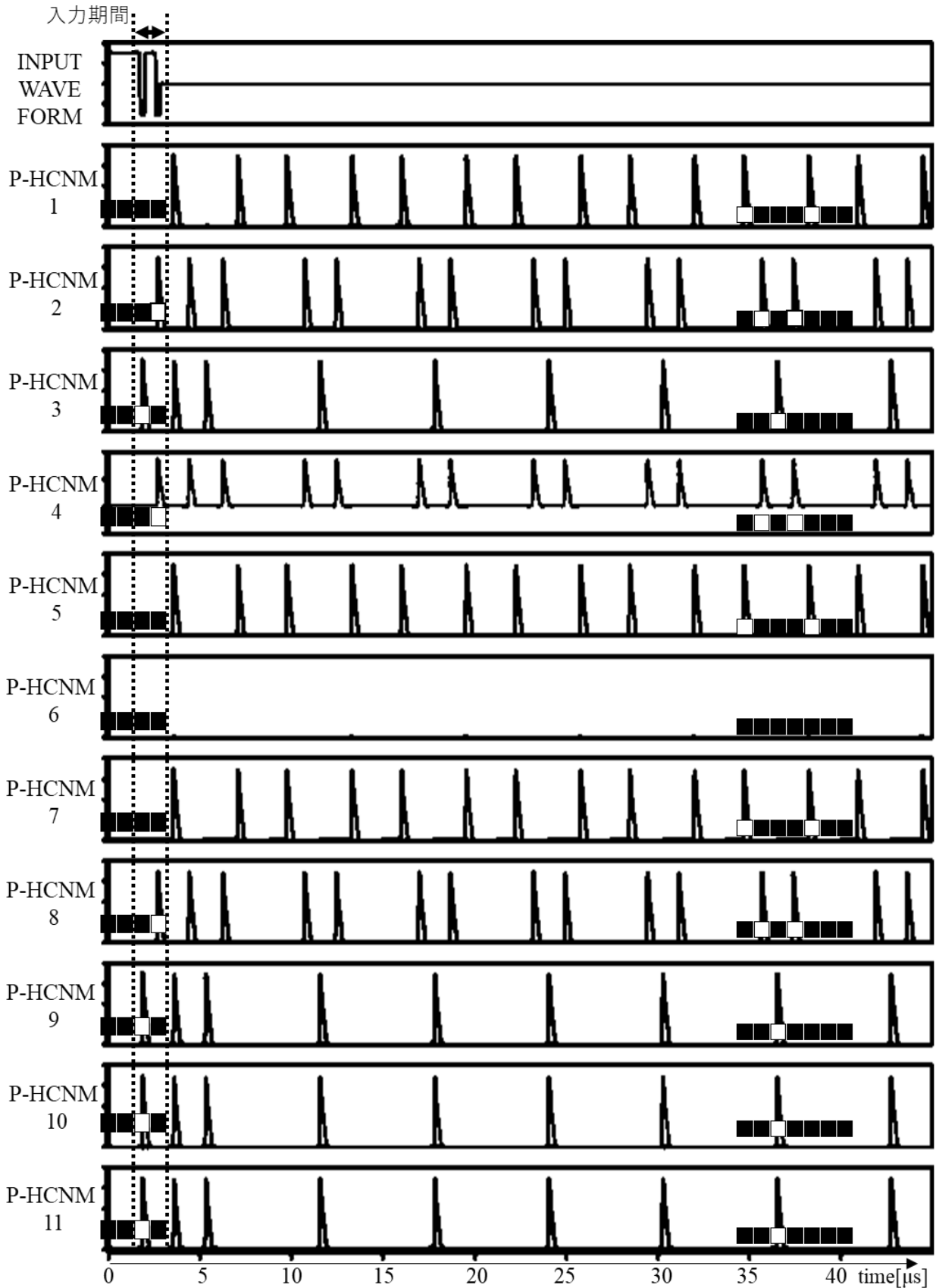


図 5.2.15 動作波形(参照可能な履歴数：3 “X Y”学習済み “XY”から $t_3 \sim t_4$ 入力)

5.3 まとめ

第 5 章では、P-HCNM を用いてホップフィールドネットワークを構築し、連想想起機能である静止画像の補修及び時系列パターンの想起について検討を行った。従来の P-HCNM は、外部刺激電流を P-HCNM の出力端子に直接入力する構造であったため、P-HCNM の出力端子に接続された負荷電流値以上の入力を行うことができなかった。そのため、P-HCNM に入力可能な電流値に上限が存在してしまい、ネットワークの規模に応じて P-HCNM に入力される電流値が増大するホップフィールドネットワークを構築することが困難であった。第 4 章により、コントロールユニットを用いた P-HCNM の励振状態を制御する構造により、外部から P-HCNM に入力可能な電流値に上限がなくなることが明らかとなった。そのため、本章では、第 4 章で提案した新たな P-HCNM の構造を用いることで、ホップフィールドネットワークの連想想起機能が再現可能であるかを検討した。本章の結果をまとめると、以下のようになる。

- (1) 第 4 章で提案した P-HCNM を用いてホップフィールドネットワークを構築することで、静的画像の連想想起が可能なネットワークを構築可能であるか検討を行った。その結果、事前に学習を行った静止画像にノイズを加えた画像をホップフィールドネットワークに入力することで、事前に学習を行った静止画像を想起することが可能であることを明らかにした。また、入力から想起完了までに要する収束時間は $30\mu\text{s}$ と短時間で収束可能であることを明らかにした。また、今回のホップフィールドネットワークに設定した結合荷重値による P-HCNM に入力される電流範囲は $3.22\mu\text{A}$ から $14.6\mu\text{A}$ であり、従来の P-HCNM 構造が許容可能な範囲である $1.54\mu\text{A}$ ~ $2.96\mu\text{A}$ を大きく上回ることから、従来の P-HCNM でホップフィールドネットワークを構築すること困難であったが、第 4 章で提案した P-HCNM は入力可能な電流値に上限をもたない。したがって、第 4 章で提案した P-HCNM を用いることにより、静止画像を想起可能なホップフィールドネットワークを構築可能であることを明らかにした。
- (2) 第 4 章で提案した P-HCNM を用いてホップフィールドネットワークを構築することで、時系列パターンの連想想起が可能なネットワークを構築可能であるか検討を行った。学習した時系列イメージ画像は 7 個の時間タイミングにおける発火の有無で表現した。また、ホップフィールドネットワーク内で発生した発火の履歴を参照可能な履歴数を 3 個および 7 個に設定することで、時系列パターンを想起するためには、使用した 7 個の時間タイミングをすべて参照する必要があるかについて検討を行った。その結果、参照可能な履歴数を 3 個および 7 個にしたどちらの場合においても、時系列パターンを想起可能であることを明らかにした。この結果から、時系列イメージを構成する時間タイミング数よりも少ない参照可能履歴数で時系列パターンを想起可能であることを明らかにした。また、静止画像を想起するホップフィールドネットワークと同じく、従来の P-HCNM では応答することが不能である入力電流範囲 $3.92\mu\text{A}$ ~ $9.4\mu\text{A}$ が P-HCNM に入力されるため、第 4 章にて提案を行った P-HCNM を用いることにより時系列パターンを想起可能なホップフィールドネットワークを構築可能であることを明らかにした。

第 6 章 結言

6.1 本研究で得られた成果

本論文の成果をまとめると以下のとおりとなる。

第 1 章

本論文の背景として人工知能デバイスの現状について述べ、パルス波形のアナログ性やカオス性などを忠実に再現可能なニューロンモデルを研究することの必要性について述べた。また、本論文で対象とする生体の細胞体について述べ、さらにハードウェアとして構築する ANN としてホップフィールドネットワークについて述べた。その後、P-HCNM の VLSI 実装を行う本論文の目的について述べ、最後に本論文の構成について述べた。

第 2 章

P-HCNM は南雲の回路(BVP モデル)を基に作製されており、南雲の回路は微分方程式を基にした L,C,R および負性抵抗を用いた発振回路であることから P-HCNM は MOSFET とコンデンサを用いて L,C,R および負性抵抗の等価素子を構築した回路であることを述べた。MOSFET の静特性を使用しているため、L,C,R および負性抵抗は MOSFET の静特性形状に依存するため、VLSI による MOSFET の特性ばらつきが発生した際の発振を補正することは条件が複雑であり困難であることを述べた。そのため、補償を行うためには、課題の単純化が求められることを述べた。本章では、P-HCNM が Λ 形負性抵抗を用いた多安定回路であるとみなし、多安定回路が持つ 3 つの安定状態(単安定 LOW, 多安定状態, 単安定 HIGH)により P-HCNM の動作原理を説明することにより、負性抵抗の出力電流 $I_{\Lambda 0}$ と負荷電流源 I_L の大小関係という単純な比較のみで励振状態を説明できるか検討した。また、P-HCNM が持つ各課題の解析を行った。その結果、P-HCNM を多安定回路とみなす際に使用する、多安定回路内の Λ 形負性抵抗素子を解析した。解析の結果、P-HCNM の励振状態制御に必要な、バイアス電圧による $I_{\Lambda 0}$ の制御が可能であることを明らかにした。また、 Λ 形負性抵抗を用いた多安定回路について解析を行った。その結果、P-HCNM の励振状態制御に必要な、 Λ 形負性抵抗のバイアスに応じて多安定回路の安定状態を変更可能であることを明らかにした。さらに、多安定回路の安定状態を設計し、各安定状態での P-HCNM の挙動について解析を行った。その結果、単安定(HIGH)は自励振モデルとして、多安定状態は他励振モデルとして動作することを明らかにした。P-HCNM の過渡解析において、P-HCNM のバイアス部に基板電流が発生し、電源へ逆流することを明らかにした。また、基板電流が P-HCNM の振幅低減および静電容量の肥大化を引き起こすことを明らかにした。このバイアスに起因する課題は、発振条件には影響を与えないものの、励振状態を制御する回路のバイアス電圧として使用するため、まずバイアス回路について検討を行う必要があることを示した。他励振モデルとして設計した P-HCNM の過渡解析において、

P-HCNM に対し入力する外部電流が、P-HCNM の発火波形のひずみを引き起こすことを明らかにした。また、本来は入力電流に対し発火応答を示さない期間においても、継続的な電流入力によりパルスが発生してしまうことを明らかにした。この課題は、励振状態の制御と同じ、P-HCNM の入出力回路に起因する課題であることから、励振状態とともに入力電流の影響についても検討する必要があることを明らかにした。

第3章

第3章では、バイアス回路に起因する課題について検討を行った。第2章により、励振状態を制御するためには、P-HCNM の入出力回路部について検討を行う必要があるが、P-HCNM の入出力回路部を制御するためには P-HCNM のバイアス回路の出力電圧を定める必要があるため、入出力回路部の検討に先んじて、バイアス回路について検討を行う必要があることを述べた。そのため、第3章では、バイアス回路に起因する課題である、電源に対する逆流電流、および P-HCNM の振幅低減を解決可能なバイアス回路の回路構成について検討を行った。その結果、従来の P-HCNM 構成において、バイアス電圧を時間的にダイナミックに変化させる電流経路に用いていた p 型 MOSFET を n 型 MOSFET に変更することで、基板のダイオード構造に対する突入電流を抑制することができ、またさらに電流経路を設けることで従来と同様の発火波形を得ることが出来ることを示した。また、基板のダイオード構造による大電流を抑制することで、バイアスに用いてきたキャパシタの容量値を抑制することが可能であり、従来に比べバイアス用キャパシタのレイアウト面積を 1/3 に削減することが可能であることを示した。また、バイアスのディスチャージ特性をシフトさせることで、電源電圧 1.8V を用いた場合において、逆流改良モデルに対し 0.6V の振幅補償ができ、従来モデルと比較した場合においても電源電圧に対する振幅電圧を従来の 73.8% から 94.4% へと改善することが可能であることを明らかにした。

第4章

4章では、3章にて改良を行ったバイアス回路が生成するバイアス電圧を基に、P-HCNM の出力電圧が 0V における Λ 形負性抵抗出力電流 $I_{\Lambda 0}$ を制御することで、P-HCNM の入出力回路に起因する課題である励振状態のばらつき補償を行うことが可能な回路構成について検討を行った。2章により、P-HCNM は多安定回路とみなすことができ、ばらつきにより P-HCNM の励振状態が変動するについても多安定回路の状態（単安定、多安定）が変動することにより引き起こされる。多安定回路の状態は、 $I_{\Lambda 0}$ の変動により説明が可能であるため、 $I_{\Lambda 0}$ を一意の値に固定することで、励振状態を制御できると考え検討を行った。つぎに、外部から電流を P-HCNM に入力することで発振動作を行う際に、従来では外部電流により $I_{\Lambda 0}$ を制御していた方式を、 Λ 形負性抵抗のバイアス電圧により $I_{\Lambda 0}$ を制御する方式について提案を行った。その結果、原点補正回路を用いることで、VLSI のばらつきによる MOSFET の静特性形状の変化に関わらず、P-HCNM の出力電圧が 0V である場合の Λ 形負性抵抗出力電流 $I_{\Lambda 0}$ が 0A となるよう、すなわち Λ 形負性抵抗の静特性グラフ上におけ

る y 軸切片が原点となるよう補正を行うことが可能であることを明らかにした。また、原点補正回路を用いることで、P-HCNM を他励振モデルとして設計可能であることを明らかにした。また、しきい値および入力範囲改善のため、従来の V_{OUT} 端子に対し直接電流を供給する方式から、バイアス電圧を制御することによる Λ 形負性抵抗の $I_{\Lambda 0}$ をコントロールする発火制御に変更した。その結果、コントロールユニットを用いることで、しきい値以降のすべての範囲で入力を行うことが可能であることを明らかにした。さらに、外部電流が波形に対し直接影響を及ぼすことを防ぐことが可能であることを明らかにした。また、従来の P-HCNM と同様にカオス性を持つことを明らかにした。さらに、VLSI のばらつきによる MOSFET の静特性形状の変化に対する励振状態の補償を行うため、コントロールユニットが制御可能な最大電流値を推定し、適切な負荷電流値を自動的に生成可能な自動補正機構を作製した。その結果、MOSFET の静特性形状の変化に対し、 $I_{\Lambda 0}$ の最大値に対して最適な I_L となるよう自動的に補正が行われ、どのコーナー解析においても励振状態を制御可能であることを明らかにした。さらに、P-HCNM を VLSI 化し、測定を行った。その結果、自励振および他励振モデルともに作製したサンプルにおいて歩留まりが 100%とすることが出来ることを明らかにした。

第 5 章

第 5 章では、P-HCNM を用いてホップフィールドネットワークを構築し、連想想起機能である静止画像の補修及び時系列パターンの想起について検討を行った。従来の P-HCNM は、外部刺激電流を P-HCNM の出力端子に直接入力する構造であったため、P-HCNM の出力端子に接続された負荷電流値以上の入力を行うことができなかった。そのため、P-HCNM に入力可能な電流値に上限が存在してしまい、ネットワークの規模に応じて P-HCNM に入力される電流値が増大するホップフィールドネットワークを構築することが困難であった。第 4 章により、コントロールユニットを用いた P-HCNM の励振状態を制御する構造により、外部から P-HCNM に入力可能な電流値に上限がなくなることが明らかとなった。そのため、本章では、第 4 章で提案した新たな P-HCNM の構造を用いることで、ホップフィールドネットワークの連想想起機能が再現可能であるかを検討した。その結果、事前に学習を行った静止画像にノイズを加えた画像をホップフィールドネットワークに入力することで、事前に学習を行った静止画像を想起することが可能であることを明らかにした。また、入力から想起完了までに要する収束時間は $30\mu\text{s}$ と短時間で収束可能であることを明らかにした。また、今回のホップフィールドネットワークに設定した結合荷重値による P-HCNM に入力される電流範囲は $3.22\mu\text{A}$ から $14.6\mu\text{A}$ であり、従来の P-HCNM 構造が許容可能な範囲である $1.54\mu\text{A} \sim 2.96\mu\text{A}$ を大きく上回ることから、従来の P-HCNM でホップフィールドネットワークを構築すること困難であったが、第 4 章で提案した P-HCNM は入力可能な電流値に上限をもたない。したがって、第 4 章で提案した P-HCNM を用いることにより、静止画像を想起可能なホップフィールドネットワークを構築可能であることを明らかにした。さらに、時系列パターンの連想想起が可能なネットワークを構築可能であるか検討を行い、参照可能な履歴数を 3 個および 7 個に

したどちらに場合においても、時系列パターンを想起可能であることを明らかにした。この結果から、時系列イメージを構成する時間タイミング数よりも少ない参照可能履歴数で時系列パターンを想起可能であることを明らかにした。また、静止画像を想起するホップフィールドネットワークと同じく、従来の P-HCNM では応答することが不能である入力電流範囲 $3.92\mu\text{A}\sim 9.4\mu\text{A}$ が P-HCNM に入力されるため、第 4 章にて提案を行った P-HCNM を用いることにより時系列パターンを想起可能なホップフィールドネットワークを構築可能であることを明らかにした。

6.2 今後の展望

本論にて構築した自動補正機構を用いた P-HCNM は、生物の脳機能を VLSI 上にて再現することを目的に、VLSI に実装した際に発生するグローバルな素子ばらつきへの耐性を与えている。これにより、大規模ネットワークを構築した場合においても外部端子からの補正を必要とすることなく所望の機能を達成することが可能となる。今後、電源電圧の低電圧化などにより低消費電力化などが期待できる。

また、今回解析した人工的な簡易ネットワークであるホップフィールドネットワーク以外の、小脳などに存在する小規模な結合ネットワークを構築することで、生理学的に未解明な機能の解析が可能となることが期待できる。

謝辞

本論文は、佐伯勝敏教授のご指導の下に研究を行った内容である。佐伯教授にはこのような意義深い研究テーマを与えていただいただけでなく、実験のための十分な設備を与えていただいたこと、数多くの学会の場や委員会等で発表する機会を与えていただいたこと、論文執筆のご指導を頂けたことなど、大変お世話になりました。厚く御礼申し上げます。

また、作田幸憲元教授、塚本新教授、齊藤健教授には、ご多忙の中でも本論文の査読をしていただき、多くのご指摘および大変参考になるご助言を頂くなど、大変お世話になりました。厚く御礼申し上げます。

日頃から、貴重なご助言・ご鞭撻いただきました電子工学科の諸先生方に深く感謝申し上げます。また、本研究は佐伯研空室に所属する多くの学生による協力により遂行することができました。特に IC チップの制作に関し協力を頂いたこと感謝申し上げます。

なお、本チップ試作は東京大学 VDEC 活動を通し、ローム(株)および凸版印刷(株)、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものであり、IC 作製にご協力を頂いたこと誠に感謝申し上げます。

参考文献

- [1] 日経ビジネス：“AIと職人 切磋琢磨が生む好循環：「脅威」「代替」だけじゃない”,日経ビジネス(2072),pp.50-54,(2021)
- [2] 日経ビジネス：“テックトレンド(151)ユーザそれぞれに合ったサービス提供 美容家電, AIで生まれ変わる”,日経ビジネス(2078),pp.66-68(2021)
- [3] 日経サイエンス“人の意をくむ AI: ビジネスや研究に浸透 (特集 AIに言葉の意味はわかるか)”,日経サイエンス 51(2),pp.60-64(2021)
- [4] 毎日新聞出版：“2分でわかる AI 図解 日本の未来(第9回)EV 普及で帝人, GS ユアサに期待”,エコノミスト 99(1),p.94,(2020)
- [5] 東洋経済新報社：“弁護士「過払金バブル」はじけ, 供給過剰に AI も (消える仕事, 残る仕事 1億人の「職業地図」)”,週刊東洋経済 (6967),p.54(2021)
- [6] 東洋経済新報社：“銀行員 マイナス金利, 再編圧力, AIで支店は激減 (消える仕事, 残る仕事 1億人の「職業地図」)”,週刊東洋経済 (6967),p.47(2021)
- [7] エネルギージャーナル社：“電子タグと AI 活用で食品ロス削減ツールを実証：食品ロス≒CO₂削減に大役果たす IC タグ活用”,エネルギーと環境(2612),p.5(2021)
- [8] 藤田 広志：“AI 画像診断が医療現場を変える”,情報処理 62(2),e1-e8,(2021)
- [9]D.Silver et al：“MASTERING THE GAME OF GO WITHOUT HUMAN KNOWLEDGE”, Google Deep Mind,in Nature,Vol.550,pages 354-359(2017)
- [10]D.Silver et al：“MASTERING THE GAME OF GO WITH DEEP NEURAL NETWORKS AND TREE SEARCH.”, Google Deep Mind in Nature,Vol,529,pages484-489(2016)
- [11] 大橋 拓文, “よくわかる囲碁 AI 大全-AlphaGo から Zen まで-, 日本棋院(2017)
- [12] 芝野龍之介, 芝野虎丸, “アルファ碁 Zero の衝撃”, マイナビ出版(2018)
- [13] Emma Strubell,Ananya Ganesh,Andrew McCallum：“Energy and Policy Considerations for Deep Learning in NLP”,in the 57th Annual Meeting of the Association for Computational Linguistics,(2019)
- [14] Paul A. Merolla, John V. Arthur, Rodrigo Alvarez-Icaza, Andrew S. Cassidy, Jun Sawada, Filipp Akopyan, “A million spiking-neuron integrated circuit with a scalable communication network and interface”, Science,Vol345,Issue6197,pp.668-673(2014)
- [15]内田 厚研, “デジタルスパイクニューラルネットワークの同期現象と時系列近似”, 法政大学大学院紀要. 理工学・工学研究科編, vol61, pp1-5(2020)
- [16]米田 友洋, “簡易デジタルスパイクニューロンとその FPGA 実装に関する一考察”, 信学技報 119(371), 135-140, (2020)
- [17]名波 拓哉, “デジタルシリコンニューロンモデルに向けたパラメータ探索手法”, 東京大学生産技術研究所, 生産研究 72(2), 103-109(2020)

- [18] Benoit Girard, Jean Lienard, Carlos Enrique Gutierrez, Bruno Delord, Kenji Doya, “A biologically constrained spiking neural network model of the primate basal ganglia with overlapping pathways exhibits action selection”, *European Journal of Neuroscience*, (2020)
- [19] Yunliang Zang, Sungho Hong, Erik De Schutter, “Firing rate-dependent phase responses of Purkinje cells support transient oscillations”, *eLife Sciences Publications*, vol.9(2020)
- [20] Jason K. Eshraghian, Seungbum Baek, Timothée Levi, Takashi Kohno, Said Al-Sarawi, Philip H.W. Leong, Kyoungrok Cho, Derek Abbott, and Omid Kavehei, "Nonlinear Retinal Response Modeling for Future Neuromorphic Instrumentation," *IEEE Instrumentation & Measurement Magazine*, Vol. 23, No. 1, pp. 21-29(2020)
- [21] Shashwat Shukla, Hideaki Shimazaki, Udayan Ganguly. Structured mean-field variational inference and learning in winner-take-all spiking neural networks. (2019)
- [22] 酒見 悠介, 森野 佳生, ”スパイクングニューラルネットワークにおける深層学習“, 東京大学生産技術研究所, 生産研究, Vol71, No2, pp159-167(2019)
- [23] 河野 崇, "シリコン神経ネットワーク:脳互換 AI へ向けて", 2019 年第 80 回応用物理学会秋季学術講演会, 20a-F211-2 (2019)
- [24] 河野 崇, "シリコン神経ネットワーク回路の実装技術", 2019 年 電気学会 電子・情報・システム部門大会, TC14-3, pp. 528-530(2019)
- [25] 村田侑雄, 安田裕之, 黒田佳織, 合原一幸, 長谷川幹雄 “Coherent Ising Machine を用いた非対称巡回セールスマン問題の最適化”, 電子情報通信学会技術研究報告 116(514), 7-12, (2017)
- [26] 加藤孝史, 上ノ原誠二, 鈴木秀幸, 田向権, 森江隆: “カオスボルツマンマシンの CMOS 回路化”, 電子情報通信学会 NOLTA, 40(2015)
- [27] 山口正登志, 上ノ原誠二, 森江隆: ”スパイク列フィルタとして動作するスパイクングカオス振動子回路”, 電子情報通信学会技術研究報告, 114(414), 77-82(2015)
- [28] 東原敬, 松坂建治, 西広海, 森江隆: “スパイクベース非線形演算のための CMOS 結合位相振動子回路”, 電子情報通信学会技術研究報告, 112(389), 137-142(2013)
- [29] 佐々木寛弥, 森江隆, 伊井慎一郎, 岩田穆, “パルスタイミングに基づくスパイクングホップフィールドネットワークによる高速連想メモリ”, 電子情報通信学会技術研究報告, NC2002-81, pp. 91-95, 2002.
- [30] T.Adachi, N.Akou, T.Asai, Y.Amemiya: ”A memristor-based synaptic device having an asymmetric STDP time window”, *The IEICE*, A-1-23(2011)
- [31] K.Ishimura, T.Asai, M.Motomura: “Circuit-Oriented Chaos Dynamics based on the Duffing Equation and Experiments of Chaotic Resonance with Analog Electronic Circuits”, *IEICE NLP*, vol.111, no.106(2011)
- [32] D.Komukai, Y.Shimizu, J.Sato, “Parameter Decision Method of Chaos Generating Circuit Based on Statistical Analysis”, *TSICE*, 250-2(2009)

- [33] H.Nakano, T.Saito : “Response of Resonate-and-Fire Chaotic Neuron Circuits to Irregular Pulse-Train Inputs”, Technical report of IEICE , NLP, Vol 103(37), pp53-58, (2004)
- [34] T.Matsuzaki,M.Nakagawa : ”A Bipolar Logistic Chaos Neuron and Its Hardware Implementation”,The IEIECE Tran.A, Vol.J85-A, No.5, pp.537-547(2002)
- [35] 末永晋也,佐藤茂雄,中島康治 : ” 環状ニューラルネットワークのリミットサイクルと集積回路による実測” ,電子情報通信学会技術研究報告. NLP, 101(68), 13-18, (2001)
- [36] I.Obana : ”Chaotic Firing Property of a Neuron Represented by an Electoronic Circuit”,IEEJ Trans,C Vol.116,No.12, pp.1378-1381(1996).
- [37] H.Wasaki,Y.Horio,s.Nakamura : ”Amodified Hebbian Algorithm for Analog VLSI Neural Network Implementaion” ,The IEIECE Tran. A Vol.J76-A, No.3, pp.348-356(1993)
- [38] TREVES A : ” Computational constraints suggest the need for two distinct input system to the hippocampal CA3 network” ,Hippocampus 2(2), 189-200,(1992)
- [39] Y. Sekine, K. Saeki : “CMOS Implementation of a Pulse-type Hardware Neuron Model and Its Application”, The Brain & neural networks,Vol.15, No.1, pp.27-38, (2008)
- [40] 関根好文 : ” ラムダ(Λ)形トランジスタを用いたパルス形ハードウェアニューロンモデルとその応用” ,電子通信学会論文誌 D,vol9,pp.1343-1351(1986)
- [41] 関根好文,隅山正巳,佐伯 勝敏,合原一幸 : ” エンハンスメント型 MOSFET による Λ 形ニューロンモデル”,電子情報通信学会論文誌. C, エレクトロニクス 00084(00010), pp.988-994(2001)
- [42] 陳銳,関根好文 : ”階層型時系列パターン識別モデル実現のためのパルス形ハードウェアニューロン回路に対する検討” ,電気学会電子回路研究会,ECT-09-109 (2009)
- [43] 谷口浩介,佐伯勝敏,関根好文 : ” 入力パルス間隔を記憶する環状 NN モデル”, 電気学会電子回路研究会,ECT,39,37-40(2006)
- [44] 谷口浩介, 京極将矢,関根好文 : ” 時系列パターンを記憶するハードウェア NN”, 電気学会電子回路研究会,ECT,114,25-29(2006)
- [45] 笹野直哉,竹田淳文,関根好文 : ”シナプス部を有するパルス形ハードウェアニューロンモデルによる環状ニューラルネットワークに対する検討” ,電子情報通信学会ニューロコンピューティング研究会,NC102-430,pp.73-78(2002)
- [46] 関根好文 : ” パルス形ハードウェアニューロンモデル (脳と情報処理--脳はどこまで創れるのか)” ,サイエンス社,Computer today16,Vol27-33(1999)
- [47] 秦恵子, 佐伯勝敏, 関根好文 : ”パルス形ハードウェア CPG モデルによる遊脚・接地に着目した四足歩行運動生成” ,電子回路研究会(8), pp.51-56(2007)
- [48] Alireza Valizadeh, Peter A. Tass, “Propagation Delays Determine the Effects of Synaptic Plasticity on the Structure and Dynamics of Neuronal Networks”, DOI:10.13140/RG.2.2.28601.88166(2018)

- [49] Dominic Standage, Thomas Trappenberg, Gunnar Blohm, “Calcium-Dependent Calcium Decay Explains STDP in a Dynamic Model of Hippocampal Synapses”,
<https://doi.org/10.1371/journal.pone.0086248>(2014)
- [50] H.Hayashi, S. Ishizuka, M.Ohta, K.Hirakawa : ”Chaos in Excitable Lipid Membranes” Phys. Lett. 88A,435(1982)
- [51] 堀尾喜彦 : “脳型コンピュータハードウェア : 進展・停滞と期待”, 日本神経回路学会誌 Vol.22, No.4, pp.149–151(2015)
- [52] HODGKIN, A.L. HUXLEY, A.F. : “A quantitative description of membrane current and its application to conduction and excitation in nerve.”, The Journal of physiology, 117(4), 500-44.(1952)
- [53] Y.Horio, K.Ishimura, J.Takahashi, K.Aihara : ”Dynamical Logic Circuit with Chaotic Transition Using Switched-Capacitor Chaotic Neuron Circuits” IEICE Technical Report, NLP 110(387), pp.13-18(2011)
- [54] H.Tanaka, T.Morie, K.Aihara : “A CMOS Spiking Neural Network Circuit with Symmetric/Asymmetric STDP Function”, IEICE Trans. Fundamentals, Vol. E92-A, No. 7, pp.1690-1698,(2009)
- [55] T.Yokota, Y.Horio, K.Aihara : ”IC Implementation of an Asynchronous Pulse Neuron Model”, The IEICE, Vol 1, P.15(2000)
- [56] Y.Ohashi, N.Ogawa, Y.Horio, K.Aihara, : “A Improved Switched-Current Chaotic Neuron IC for Quadratic Assignment Problems”, IEICE NLP, vol.106(274) , pp73-78, (2006)
- [57] M.Arai, Y.Horio, K.Aihara : “A Compact Switched-Capacitor Chaotic Neuron Circuit with Extended Duffing Equation”, IEICE NLP ,111(276), pp19-24(2011)
- [58] 田村浩人, 河野崇, 合原一幸 : ”深層カオスニューラルネットワークのための ReLU カオスニューロンモデル”, 生産研究 70(3), 183-185(2018)
- [59] 合原一幸, 池口徹, 山田康司, 小室元政 : “カオス時系列解析の基礎と応用”, 産業図書
- [60] 森野佳生, 田中剛平, 合原一幸 : “興奮性振動子結合系における自発的な振動現象”, 日本物理学会講演概要集 72.1(0), pp.3035-3035(2017)
- [61] 三木翔太, 斎藤陽平, 杉山友規, 合原一幸, 小林 徹也 : “細胞間相互作用による細胞集団の自己制御に関する数理的解析”, 生産研究 68(3), 245-246,(2016)
- [62] 上ノ原誠二, 森江隆, 田向権, 合原一幸 : ” 大規模非線形結合系のためのデバイスミスマッチ補償回路の評価”, 電子情報通信学会 NOLTA, 41,(2015)
- [63] 松本元 : ”脳・心・コンピュータ”, 丸善出版, 日本物理学会編集 (1996)
- [64] 林初男 : ”神経システムの非線形現象”, コロナ社
- [65] M.Sano and Y.Sawada : “Measurement of the Lyapunov Spectrum from a Chaotic Time Series” Phys.Rev.Lett. 55 ,1082(1985)
- [66] A.Wolf, J.B.Swift, H.L.Swinney and J.A.Vastano, “Determining Lyapunov exponents from a time series” Physica D ,vol 6, pp285-317(1985)

- [67] A.Uchida, K.Hirano, K.Amano , T.Yamazaki, S.Yoshimori, K.Yoshimura : “Experiment on fast physical random number generation with chaotic semiconductor lasers subject to optical feedback” , IEICE NLP 109(269), pp 171-176(2009)
- [68] G.Benettin, L.Galgani, A.Giorgilli, J.Streleyn : “Lyapunov Characteristic Exponents for smooth dynamical systems and for hamiltonian systems; a method for computing all of them. Part 1: Theory”, *Meccanica*, Vol 15, Issue 1, pp9-20.
- [69] F.Carbonell, R.Biscay, J.C.Jimenez : “QR-Based methods for computing lyapunov exponents of stochastic differential equations”, *NAM B*, Vol 1, Num 2, pp 147-171(2010)
- [70] K.Geist, U.Parlitz, W.Lauterborn : “Comparison of Different Methods for Computing Lyapunov Exponents”, *PTP*, Vol.83 No.5(1990)
- [71] Hubertus F, von Bremen, Firdaus E, Udwardia, Wlodek Proskurowski : “An efficient QR based method for the computation of Lyapunov exponents”, *Physica D* Vol 101, pp1-16, (1997)
- [72]FitzHugh R, “Mathematical models of threshold phenomena in the nerve membrane”. *Bull. Math. Biophysics*, 17:257-278(1955)
- [73]FitzHugh R, “Impulses and physiological states in theoretical models of nerve membrane”. *Biophysical J.* 1:445-466(1961)
- [74]FitzHugh R, “Mathematical models of excitation and propagation in nerve” Chapter 1 (pp. 1-85 in H.P. Schwan, ed. *Biological Engineering*, McGraw-Hill Book Co., N.Y. (1969)
- [75]Nagumo J., Arimoto S., and Yoshizawa S.“ An active pulse transmission line simulating nerve axon”. *Proc IRE.* 50:2061-2070. (1962)