

博士学位論文

システム LSI における動画像符号化処理の
高性能化, 低電力化及び低遅延化に関する研究

Studies on high-performance, low-power, and low-latency
video-codec processing in a system-on-a-chip

日本大学大学院工学研究科

情報工学専攻

望月 誠二

2019 年

目 次

第 1 章 序論.....	1
1.1 関連分野の歴史的背景.....	1
1.2 本研究の目的.....	10
1.3 本論文の内容.....	10
第 2 章 動画像符号化処理の概要及び従来技術の課題.....	13
2.1 緒言.....	13
2.2 動画像符号化処理の概要.....	13
2.3 動画像符号化処理の実装及び LSI の従来例.....	20
2.4 動画像符号化処理における従来技術の課題.....	23
2.5 結言.....	25
第 3 章 動画像符号化・復号回路の低電力化.....	26
3.1 緒言.....	26
3.2 動画像符号化・復号回路の低電力アーキテクチャ.....	27
3.2.1 マクロブロックレベルパイプラインアーキテクチャ.....	27
3.2.2 動的クロック供給停止機構.....	29
3.3 動画像符号化処理の低電力実装のためのアルゴリズム.....	32
3.3.1 イントラ予測における課題.....	32
3.3.2 入力画像からの予測によるイントラ予測モード決定手法.....	34
3.3.3 入力画像からの予測によるイントラ予測モード決定手法の改善.....	36
3.3.4 MATD による係数有無予測に基づくインター予測モード決定手法.....	37
3.4 結言.....	41
第 4 章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ.....	43
4.1 緒言.....	43
4.2 車載情報システム向けシステム LSI のアーキテクチャ.....	45
4.2.1 システム LSI の構成及び動画像処理仕様.....	45
4.2.2 階層バスアーキテクチャ.....	46
4.2.3 プロセッサの動作周波数調整によるピーク電力の抑制.....	49
4.3 データ圧縮によるメモリアクセス量の低減.....	50
4.3.1 メモリアクセスデータ圧縮を用いた LSI アーキテクチャ.....	51
4.3.2 動画像符号化処理におけるメモリアクセスデータ圧縮手法.....	54
4.4 結言.....	57
第 5 章 動画像符号化処理の低遅延化.....	59
5.1 緒言.....	59

5.2	従来符号化方式での低遅延化	60
5.2.1	H.264 動画復号回路の構成.....	60
5.2.2	H.264 動画復号回路の低遅延化	62
5.3	超低遅延符号化方式の設計	63
5.3.1	超低遅延の必要性	63
5.3.2	ライン単位処理による超低遅延化.....	65
5.3.3	ライン単位符号化処理の概要	66
5.3.4	ライン単位符号化アルゴリズム	67
5.3.5	1次元 DCT の適用	72
5.4	結言	74
第6章	評価結果	75
6.1	緒言	75
6.2	動画符号化・復号回路の試作及び評価.....	75
6.3	高性能及び低電力動画処理システム LSI の試作及び評価	78
6.4	超低遅延動画符号化方式の評価	82
6.5	結言	87
第7章	結論.....	88
謝 辞	91
参考文献	93

第1章 序論

1.1 関連分野の歴史的背景

近年、実現しつつある高度情報化社会に向けて、様々な情報提供・通信サービス、及び、情報に基づく機械解析・自動制御のアプリケーションが一般生活に広く浸透している。これらの情報サービスを基に社会システムが構築されつつあるため、そのサービスそのものが社会にもたらすインパクトは極めて大きい。特に、デジタル画像情報がサービスの供給者、需要者の間で自由に通信できることは、画像を介したコミュニケーションや画像による環境認識に基づいた制御から生じる利便性を促進し、豊かな社会を形成する上で必要不可欠な条件となってきた。この画像情報の伝送を活用した高度情報化社会の実現においては、膨大な情報量を持つ動画像データの取り扱いが本質的な問題となる。これを解決する手段として、動画像情報の冗長性を除去し、高画質を保った状態で情報量削減が可能な動画像符号化技術と呼ばれるデータ圧縮技術が用いられている。図 1.1 に動画像符号化技術によって実現しうる高度情報化社会における画像情報サービスを示す。従来から普及しているデジタル放送やパッケージメディア頒布に加え、インターネット及び高速無線通信の発展に伴い、様々な画像情報サービスが実現されている。インターネットの利用の一般化に伴い、動画像付きの通話、動画像コンテンツのストリーミング視聴が普及している。高速無線通信と携帯電話・スマートフォンの発展により、個人単位で高画質な動画を録画・再生し、インターネットを介しホスト側がデータを蓄積・処理するシステムが可能となり、SNS (Social Networking Service) における画像を介したコミュニケーションや、個人が取得した画像データをアップロードして活用するサービスが盛んに行われている。さらに、車・産業機器などにおいて、画像解析により周辺環境を認識して自動制御することが実現されつつある。一方で、第 5 世代移動通信システム (5G) など 10Gbps の広い伝送帯域を用いた無線通信が低コストで実現可能となりつつある。しかしながら、動画像情報を非圧縮の形で取り扱うことは、いかに広帯域伝送が可能であったとしても、通信時間、通信コスト、さらにはデータを保持する機器のコストの観点で社会一般への普及には問題がある。また、HD (High Definition) 解像度 (1280 画素×720 ライン) や Full-HD 解像度 (1920 画素×1080 ライン) を超える 4K 解像度 (3840 画素×2160 ライン、または、4096 画素×2160 ライン) の画像情報サービスも普及しつつあるなど、動画像情報のデータ量は増加の一途を辿っている。すなわち、高解像度化が進む動画像情報に対して、品質劣化を抑えながら圧縮伸長し効率良く扱うことを前提に、情報サービスを実現する製品群が供給されることが求められている。

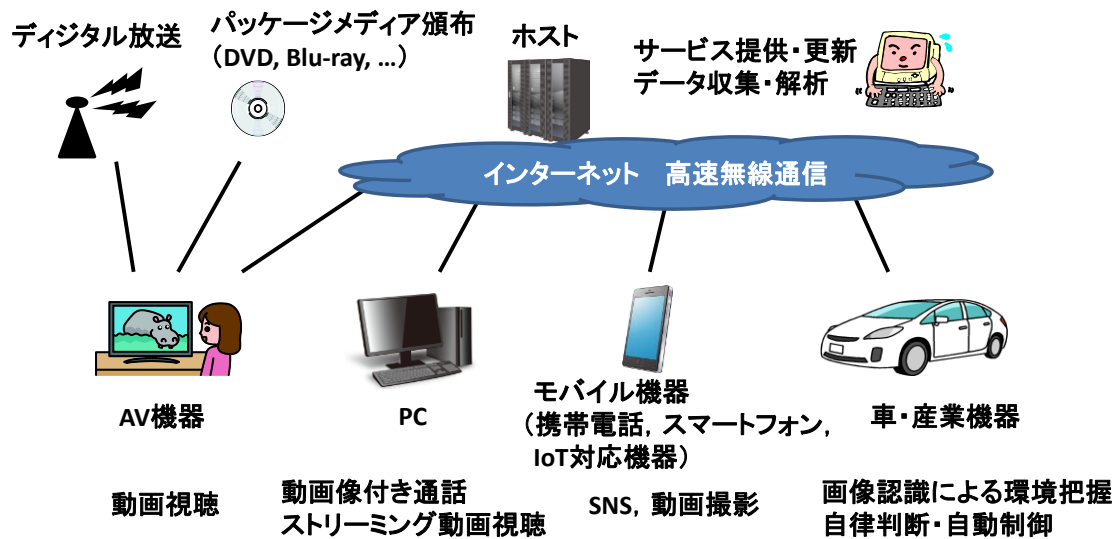


図 1.1 高度情報化社会における画像情報サービス

画像のデジタル信号処理技術は、1960年代後半から信号処理理論を中心に研究開発が進められたが、LSI (Large Scale Integrated Circuit) の微細化や設計技術の発展に支えられ1980年頃から急速な進展を遂げた[FORT86][BAJI88]。特に、動画像信号のデジタル化は、膨大な処理量を必要とするにもかかわらず、動画像符号化技術とデジタル信号処理LSIの集積化技術の急速な発展により、2000年頃には画像情報サービスの中心を担うようになった。2000年当時の画像情報サービスは、デジタル放送、有線の専用回線を用いたテレビ会議システム、DVD (Digital Versatile Disc) などのパッケージメディア頒布などから構成され、テレビジョン信号のデジタル化、すなわちデジタルフィルタリング応用から始まった動画像信号のデジタル処理技術[MURA86]が動画像符号化技術へと発展し、これらの画像情報サービスに適用されるに至った。2000年代にはインターネット及び携帯電話・スマートフォンに代表されるモバイル機器の普及に伴い、動画像付き通話、ストリーミングなどサービスが多様化し、適用する動画像符号化技術も複数の方式が提案されそれぞれに活用されてきた。インターネット接続及び無線通信の広帯域化により、動画像の高解像度化への要求も促進され、より高圧縮を実現するため動画像符号化技術も複雑化している。近年では、車の運転補助・自動運転に対する要求の高まりに対し、動画像により周辺環境を認識して制御を行うシステムが提案されており、システム中での動画像伝送において動画像符号化技術が用いられつつある。図 1.2 に、動画像符号化技術の概要についてまとめる。動画像符号化技術は、大別して、予測符号化、変換符号化、及び、エントロピー符号化に分類される。各応用分野において、これらの方式を用途に応じて組み合わせながら高効率な符号化システムを実現している。

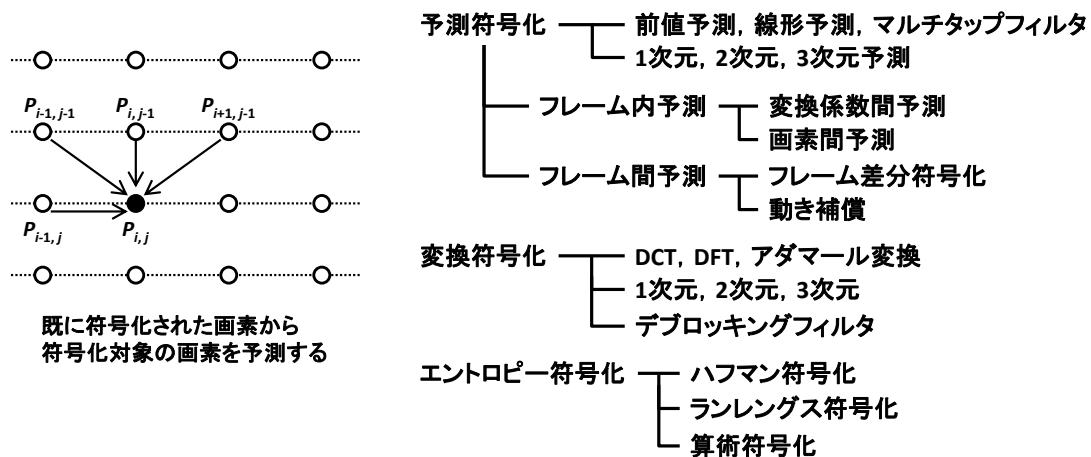


図 1.2 動画像符号化技術の概要

図 1.3 に画像通信における基本伝送モデル[KOIZ97]を示す。これはシャノンの通信系モデルとこれに対応するデジタル画像符号化伝送システムの基本構成を対比させたものである。カメラなどから入力された情報源となる画像は符号化器において画像データ前処理、情報源符号化処理、及び、通信路符号化処理が施され、1次元の符号列(ビットストリーム)が生成される。ビットストリームは通信路を介して復号器に入力され、そこで通信路復号処理、情報源復号処理、及び、画像データ後処理が行われ、最終的に再生画像として表示される。すなわち、本モデルにおいては、入力画像は送信側で通信路が許容できる伝送量まで圧縮され、通信路を介して伝送される。そして、受信側では圧縮されたビットストリームを入力とし、これを伸長することにより復号画像を得ている。図 1.4 にスマートフォンでの動画像付き通話における送信・受信システムを応用例として示す。このように、デジタル画像符号化伝送システムは、送信側における符号化と受信側における復号から構成される。図 1.4 では説明の便宜上、送信側と受信側を分けて描画しているが、実際の動画像付き通話アプリケーションは双方向通信であり、動画像付き通話の送受信器は符号化及び復号の双方の機能を有する必要がある。以降、本論文において、符号化技術あるいは符号化処理など技術・方式・処理について、特に断りなく符号化と述べた場合、符号化及び復号を包含するものとする。一方で、符号化器あるいは符号化回路については、符号化のみの処理を行う機構・回路を示す。復号処理も行う場合、符号化・復号器あるいは符号化・復号回路と記載する。なお、符号化器あるいは符号化回路が行う符号化処理については、符号化のみの処理を表す。

第1章 序論

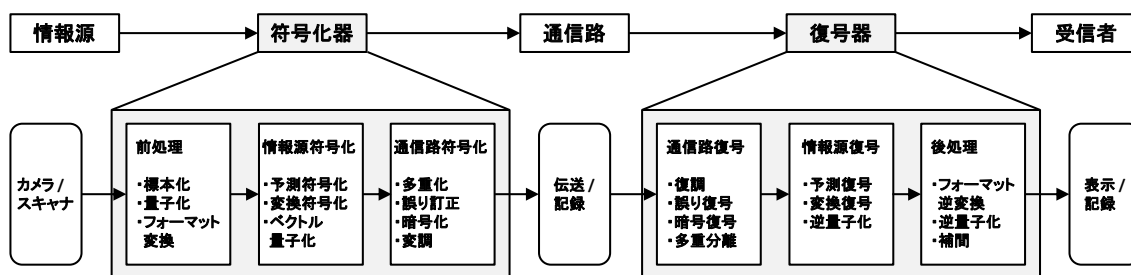


図 1.3 画像通信における基本伝送モデル

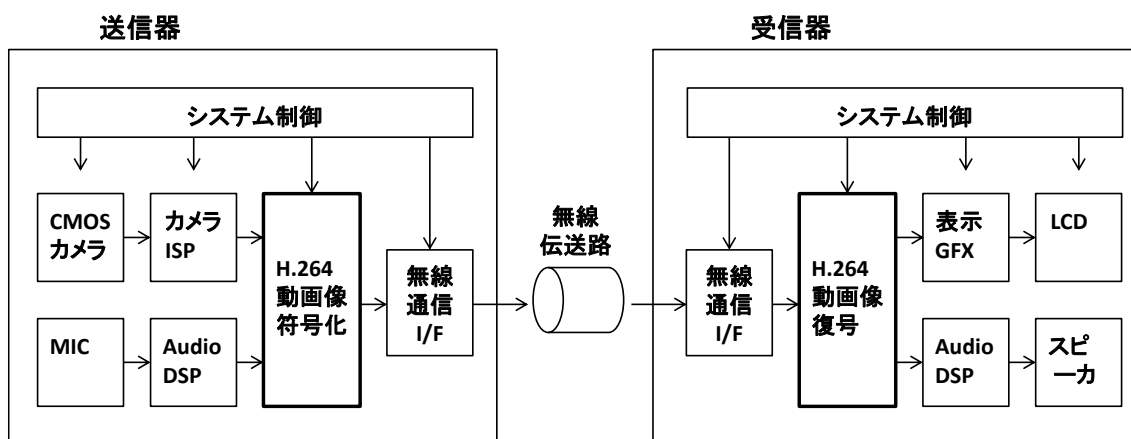


図 1.4 動画像付き通話における送信・受信システム

1990 年に国際電信電話諮問委員会 (CCITT) より狭帯域 ISDN (Integrated Services Digital Network) 網を対象としたデジタル音声・画像通信の標準化勧告が実施されたことにより、テレビ電話・テレビ会議システム[RAOS93][HARR99]をはじめとする画像通信時代の幕開けとなった。図 1.5 に主な画像圧縮国際標準の仕様についてまとめる。国際標準化機構 (ISO : International Standardized Organization) の MPEG (Motion Picture Expert Group) により規格化の検討がなされたデジタル蓄積メディア対応の動画像符号化方式は、1992 年に MPEG-1 として勧告されビデオ CD (Compact Disc) などの製品に応用された[TAMI92]。1994 年には現行デジタル放送を対象とした動画像符号化方式として MPEG-2[ISOV94]が ISO より勧告された。MPEG-2 は、DVD (Digital Versatile Disc) [DVDF99]などの民生用デジタル AV (Audio Visual) 機器や、セットトップボックス (STB : Set-Top-Box) と呼ばれるデジタル放送受信機などに広く応用されている。1999 年にはより広範なマルチメディア対応を企図した動画像符号化方式として MPEG-4[ISOV99]が ISO より勧告され、中でも 2003 年に国際電気通信連合 (ITU : International Telecommunication Union) との共同で規格化が推進された MPEG-4 Part10 AVC (Advanced Video Coding) [ISOV03] (ITU における規格の名称は H.264 [ITUT03]) は、インターネット及びモバイル機器の普及による爆発的な動画像通信需要に

第1章 序論

適応し、現在でも標準的な規格として広く応用されている。その後 2013 年に、より高圧縮を実現する動画像符号化方式として MPEG-H HEVC (High Efficiency Video Coding) [ISOV13] (ITU における規格の名称は H.265[ITUT13]) が勧告され、徐々に普及しつつある。本論文においては、以降、1999 年に勧告された MPEG-4 Part2 を「MPEG-4」、MPEG-4 Part10 を「H.264」、MPEG-H HEVC を「H.265」と記載する。

標準名 (成立時期)	標準化 機関	主要アルゴリズム	主な応用分野	代表的な画面 フォーマット
H.261 (1990年)	ITU/ITU-T	フレーム間動き補償+DCT ハフマン符号化	テレビ会議 テレビ電話	CIF 354 x 288
JPEG (1992年)	ISO/IEC	DCT ハフマン符号化	FAX デジタルカメラ	規定なし
MPEG-1 (1992年)	ISO/IEC	フレーム間動き補償+DCT ハフマン符号化	ビデオCD	SIF 360 x 240
MPEG-2 (1994年)	ISO/IEC	フレーム間動き補償+DCT ハフマン符号化	デジタル放送 DVD	SD 720 x 480
MPEG-4 (1999年)	ISO/IEC	フレーム間動き補償+DCT DC/AC予測 ハフマン符号化	テレビ電話 デジタルビデオカメラ	SD 720 x 480
H.264 MPEG-4/AVC (2003年)	ITU/ITU-T ISO/IEC	フレーム間動き補償+整数変換 フレーム内予測 ハフマン符号化, 算術符号化	デジタル放送 Blu-ray, テレビ電話 デジタルビデオカメラ ストリーミング	Full-HD 1920 x 1080
H.265 MPEG-H/HEVC (2013年)	ITU/ITU-T ISO/IEC	フレーム間動き補償+整数変換 フレーム内予測 算術符号化	4K放送 ストリーミング	4K 3840 x 2160

ITU : 国際電気通信連合
ITU-T : 電気通信標準化部門
ISO : 国際標準化機関
IEC : 国際電気標準会議

CIF : Common Interface Format
SIF : Standard Interface Format
SD : Standard Definition
HD : High Definition

図 1.5 主な画像圧縮国際標準の仕様

動画像符号化標準では、機能を表すプロファイルと対応解像度を表すレベルが定義される。例として、図 1.6 に H.264 における主なプロファイルとレベルを示す。この中で、Baseline Profile は狭帯域通信への適応を指向しており、日本において携帯電話向けのテレビ放送（ワンセグ）として世界に先駆けて実用化され[HATO07]、高度情報化社会への助走として動画像通信需要喚起の先駆けとしての役割を担った。2000 年代後半には、世界的な HD 化の流れを受け、より高圧縮・高画質を実現する High Profile が主流となり、現在ではデジタル放送[DVB-T18]や Blu-ray Disc[BDAJ05]などに広く応用されている。H.265 においては、規格策定当初からポスト HD 時代を見据えて 4K 解像度や 8K 解像度（7680 画素×4320 ライン、または、8192 画素×4320 ライン）などより高解像度に対応したレベルが定義されており[ITUT13]、ストリーミング配信などにおいて適用されつつある。

第1章 序論

これらの動画像符号化方式は、複数の信号処理アルゴリズムを複合した形のハイブリッド（混合）符号化方式を採用している。図 1.7 に H.264 における動画像圧縮アルゴリズムの基本概念、図 1.8 に H.264 における動画像符号化器の構成を示す。基本的には画質劣化を最小限に抑えながら、動画像の空間及び時間冗長度を除去する画像処理部と、統計的符号割り当てを効率よく行う可変長符号化などで構成されるエントロピー符号化部で構成される。画像処理部は、イントラ予測（フレーム内予測）、インター予測（フレーム間予測、動き予測とも呼ばれる）、直交変換、逆直交変換、量子化、逆量子化などで構成される。

Profile	主要アルゴリズム	主な応用分野	主に対象とする画面フォーマット
Baseline	片方向動き予測 ハフマン符号化	テレビ会議 テレビ電話	CIF~SD
Main	両方向動き予測 ハフマン符号化 算術符号化	ビデオカメラ ストリーミング	SD~Full-HD
High	両方向動き予測 8x8フレーム内予測 8x8整数変換 重み付き量子化 ハフマン符号化 算術符号化	デジタル放送 Blu-ray	Full-HD

Level	ビットレート (下段は High profile時)	該当する主な画面フォーマット (下段はフレームレート)
3.0	10Mbps 12Mbps	SD 720x480 30fps
3.1	14Mbps 17.5Mbps	HD 1280x720 30fps
3.2	20Mbps 25Mbps	HD 1280x720 60fps
4.0	20Mbps 25Mbps	Full-HD 1920x1080 30fps
4.1	50Mbps 62.5Mbps	Full-HD 1920x1080 30fps
4.2	50Mbps 62.5Mbps	Full-HD 1920x1080 60fps

Profile : 符号化の仕様を規定
Level : 解像度, ビットレートを規定

図 1.6 H.264 における主なプロファイルとレベル

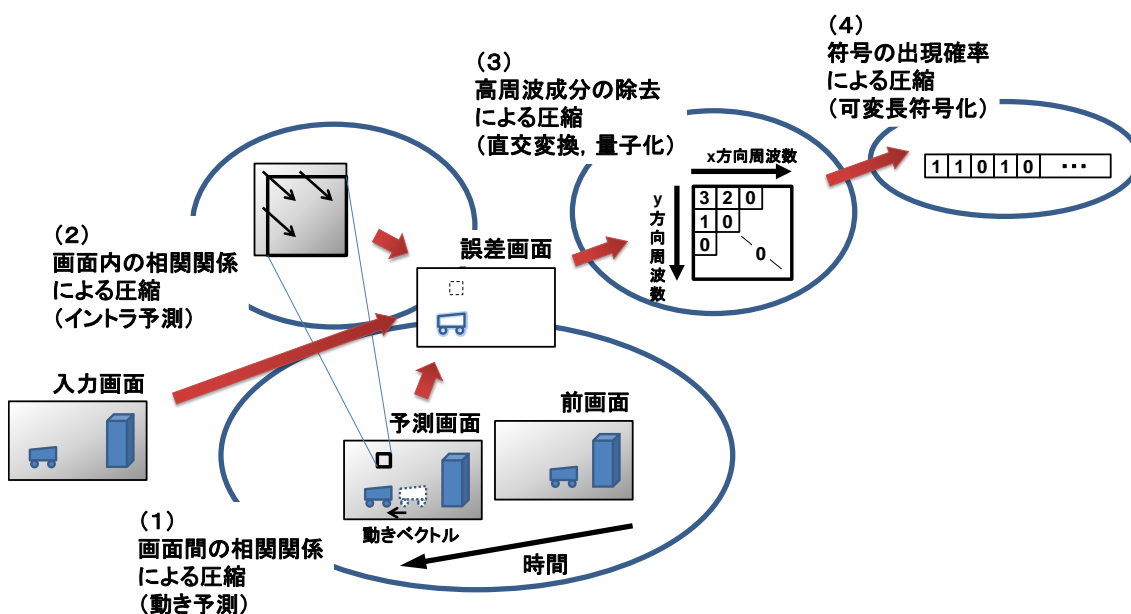


図 1.7 H.264 における動画像圧縮アルゴリズムの基本概念

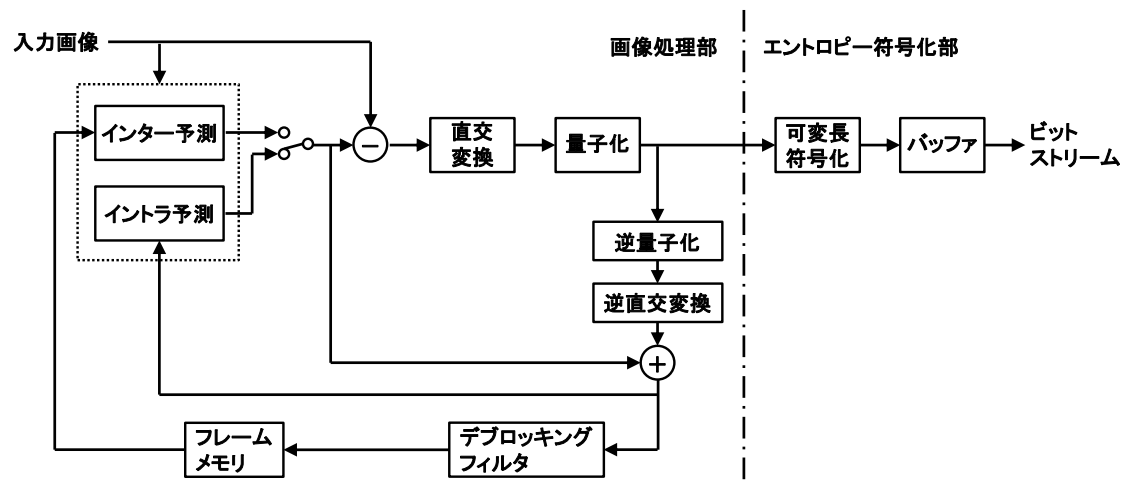


図 1.8 H.264 における動画像符号化器の構成

動画像符号化処理を実現する手段としてはデジタル信号処理 LSI [ACKL94][KISH99][YOSH92]を用いたシステム構築が一般的であり、旧来より、動画像 DSP (Digital Signal Processor) [NAKA90][YAMA92][YAMA88][GOTO91][MINA91][LEEB94][NOMU94]と専用 ASIC (Application Specific Integrated Circuit) [URAM92][FUJI92]によるアプローチが行われてきた。動画像 DSP は、プログラム処理が可能であるため高い柔軟性を持ち、動画像符号化処理に必要な適応処理を効率よく実現できるというメリットがある [YAMA97][NISH99]。一方、専用 ASIC は一般的に論理回路 (Hard-wired logic) ブロックの集合体で構成される。直交変換の一種である DCT (Discrete Cosine Transform) [URAM92][MATS94]や量子化、あるいは、動き予測 [URAM93][ISHI95][OTAN95][HAYA95]などの機能ブロックを専用回路で実現する。この方式は、予め決められた処理を効率良く行うことを目的としているため、処理内容に対する柔軟性には欠けるものの処理性能、チップ面積及び消費電力で DSP アプローチに比べ有利であり、特にコストや消費電力に制約のある民生分野での応用製品に比較的よく採用されてきた [ENOM96][IWAT08][IWAT09b]。また、動画像 DSP と専用回路を一つの LSI に混載し、柔軟性と処理性能の両立を図る試みもなされている [MATS01]。近年では、LSI の微細化や設計技術の進展により、より集積度の高い LSI が実現可能となり、システム全体を制御する CPU (Central Processing Unit) であるシステムプロセッサと上記 DSP あるいは専用回路、さらには動画像入出力インタフェースや他のアプリケーションを実行するプロセッサや専用回路を一つの LSI 上に集積し、システムに必要な機能のすべてを包含したシステム LSI による実現が一般的である [PERI98][MIZO01][MIZO07][NOMU08][IWAT10a]。特に、スマートフォンやデジタル民生製品の中核となるシステム LSI はアプリケーションプロセッサと呼ばれ、Full-HD 解像度への対応により専用 ASIC の処理性能に肩を並べて以降、動画像処理性能の拡大を牽引して 3 年に 2 倍の割合で性能を伸ばしてきた [IWAT09a][KIKU10][MEHE12][WANG14][JUC15]。図 1.9 にアプリケーションプロセッサの動画像

第1章 序論

処理性能推移をまとめる。システム LSI の中には、混載した高性能 CPU や GPU (Graphic Processing Unit) を用いて動画像符号化処理を行い、複数のアプリケーションを柔軟に処理する例[MIND12]も見られる一方で、低消費電力が強く要求されるモバイル機器においては、同じく混載した専用回路による動画像符号化処理の実現が一般的[IWAT09a][MEHE12][JUC15]である。このように、システム LSI 上にて、システムプロセッサ、GPU、DSP、専用回路を組み合わせ、プロセッサアプローチの柔軟性と専用回路のコスト性能比、消費電力のメリットを生かした LSI アーキテクチャが追及されている。

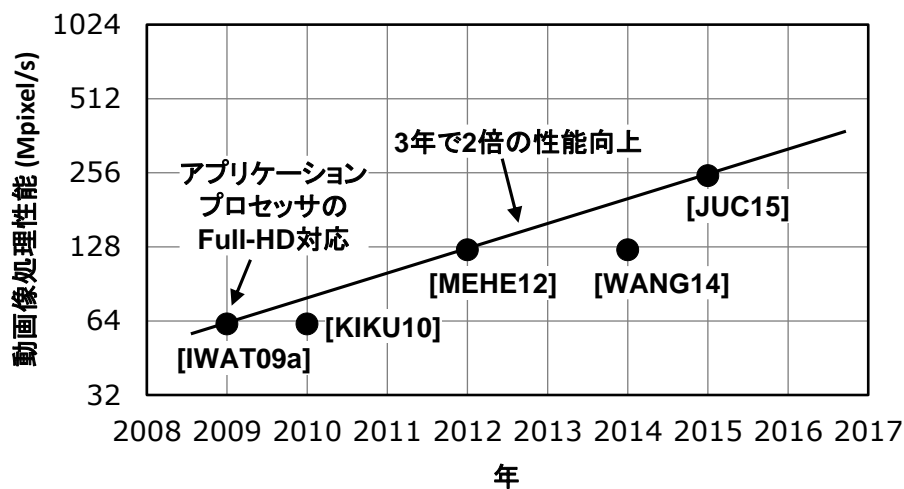


図 1.9 アプリケーションプロセッサの動画像処理性能推移

従来、動画像符号化技術は、デジタル放送やパッケージメディアへの適用を端緒とし、主に高解像度対応のための高圧縮化[NAKK11][IWAT12]を主眼に進展してきた。また、2000年代以降のモバイル機器への適応においては、主に実装面の工夫による低電力化[IWAT10b]も大きな要件であった。一方で、近年、新たな要求が発生しつつある。インターネットとモバイル機器の普及により、モバイル機器をクライアントとし、インターネット越しに送られた画像データをホスト側が処理した上でフィードバック制御するシステムが可能となりつつある。例えば、IoT (Internet of Things) 機器における VR (Virtual Reality) や MR (Mixed Reality) などの仮想現実機能は機器に搭載したカメラにて撮像した画像を、ネットワークを介してホストコンピュータに転送して処理した上で再度受信し、遅延なくユーザーに表示する[WEID10][FERR13][WUB15][CALL17]。また、ディープラーニングを始めとする画像解析技術の高度化により、車・産業機器などにおいて、画像により周辺環境を認識し、状況を判断して自動制御することも盛んに研究されている[HUW04][BAHL05][LEVI11][KELL11][ZHEN12][HUAN13b][MINA16][YAOH17]。車載情報システム (IVI : In-Vehicle Infotainment System) と呼ばれるカーナビゲーションと車内メディア視聴環境を統合したシステムには、車の運転補助機能 (ADAS : Advanced Driving

第1章 序論

Assistance System) [GERO10]が取り込まれ、既に実用化され普及段階にある[BENG14]. 図 1.10 に、運転補助機能の一つであるサラウンドビューシステムの構成例を示す. サラウンドビューシステムとは、車体に取り付けられた複数の車載カメラで撮像した画像から俯瞰画像 (Top-view image) を生成し、運転ガイド用の CG (Computer Graphics) や物体の認識結果などを付加して、運転者に表示するシステムである. 車体外部の映像をドライバーに見やすく変換して表示することによって、駐車時の操作を補助することが可能となる. これらのサービス・アプリケーションを実現するにはリアルタイム処理が必須であり、システム内での動画像情報の伝送には、高い処理性能 (スループット) とともに処理遅延 (レイテンシ) が小さいことが求められる. 一方で、従来ピアツーピアで行われていた車内における機器間のデータ転送を、車内通信ネットワークにて通信路を共用することで低コスト化を図る動きがある. 様々な車載システムが共用する車内通信ネットワークにて高解像度動画像データを伝送するには、動画像符号化技術による圧縮が必須である. これらの実現においては、画像伝送に適用する動画像符号化処理そのものの低遅延化とともに、動画像符号化・復号回路を組み込んだシステム LSI において関連処理も含めた系としての動作の低遅延化を実現する LSI アーキテクチャの提案が必要とされている.

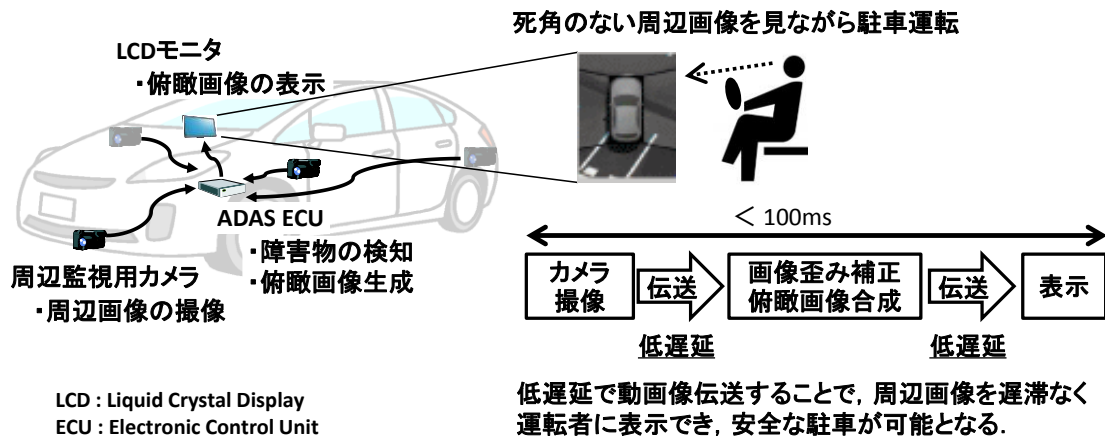


図 1.10 サラウンドビューシステムの構成例

以上、関連分野の歴史的背景と従来技術について総括的に概説した. 今後の高度情報化社会に向けて画像情報サービス・アプリケーションの進むべき方向を考慮した場合、動画像符号化技術に対し、さらなる高解像度対応可能な小型化及び高画質化、動画像通信の遍在化に対応可能な低電力化が求められている. さらに、動画像を用いた環境認識による自動制御に対応可能な低遅延化、システム LSI を用いた他のアプリケーション実行も含めた統合的環境の実現などが求められている. これらの多様な要求に応えるためには、動画像符号化・復号回路の高性能化、低電力化は言うまでもなく、動画像符号化処理を他のアプリケーションと並列に性能劣化なく実行できる LSI アーキテクチャ、加えて、リアルタイム

第1章 序論

ム制御に対応可能な低遅延化を実現する動画像符号化処理及び LSI アーキテクチャを実現する必要がある。従来技術では、これらの要求の実現を達成できておらず、新規方式を含めた実現手法の提案が強く望まれている。

1.2 本研究の目的

本研究の目的は、デジタル動画像処理の高解像度化、モバイル機器への搭載、低遅延アプリケーションへの適用に際し、動画像符号化処理の低電力化及び低遅延化を実現することに加えて、高性能システム LSI への実装手法を提案し、システム LSI における動画像符号化処理の高性能化、低電力化、低遅延化を実証することである。

具体的には、動画像符号化・復号回路の低電力化（第3章）、高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ（第4章）、及び、動画像符号化処理の低遅延化（第5章）について、その新規提案技術を明らかにするとともに、LSI 試作及び評価による提案技術の効果の実証（第6章）を行うことを目的とする。

1.3 本論文の内容

本論文は上述の目的を達成するために行ったシステム LSI における動画像符号化処理の高性能化、低電力化、低遅延化に関する研究成果を報告するものである。本論文の構成を図 1.11、本研究の全体像と第3～5章における提案の位置づけを図 1.12 にまとめ、概略について以下に説明する。

第1章：序論

本研究に関連する分野における歴史的背景と研究内容の概説、及び、動画像符号化 LSI の動向について述べる。

第2章：動画像符号化処理の概要及び従来技術の課題

デジタル動画像処理の中心となる動画像符号化処理の概要をまとめ、従来技術とその問題点について述べる。さらに、システム LSI において高性能動画像符号化処理の低電力化及び低遅延化を実現する上での LSI アーキテクチャ設計の課題についてまとめる。

第3章：動画像符号化・復号回路の低電力化

デジタルカメラ、デジタルビデオカメラ、携帯電話などのモバイル機器への搭載を想定した動画像符号化・復号回路の低電力化に焦点をあて、H.264 符号化方式における低電力アーキテクチャと独自符号化アルゴリズムを提案する。パイプライン処理により動作周波数を低く抑えるとともに、全ての機能ブロックのタイムスロットを同期させ制御を単純

第 1 章 序論

化することで、小規模かつ低電力を実現するアーキテクチャを提案する。各機能ブロックへのクロックの供給を動画像符号化・復号回路の外部から動的に制御する機構を設け、クロックツリー全体が消費する電力を低減する手法を提案する。パイプライン処理を可能とするウォーターフロー型の符号化アルゴリズムにおける画質劣化の課題を述べ、入力画像からの予測によるイントラ予測モード決定手法、及び、係数有無予測に基づくインター予測モード決定手法により、低電力と高画質を両立する符号化アルゴリズムを提案する。

第 4 章：高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

高性能及び低電力の動画像処理を必要とする車載情報システム向けシステム LSI の実現に向けて、高性能及び低電力動画像処理のための LSI アーキテクチャを提案する。車載情報システムに必要とされる動画像処理の要件を明らかにし、膨大な処理を並列分散処理するために、多数の動画像処理プロセッサをバストラフィック最適化制御された階層バス上に配置する LSI アーキテクチャを提案する。多数のプロセッサの同時動作によるピーク電力を抑制するため、クロックマスク回路により各プロセッサの動作周波数をアプリケーションソフトウェアから動的に制御する手法を提案する。性能面及び電力面のボトルネックとなるメモリアクセスを低減するため、可逆データ圧縮と非可逆データ圧縮を処理内容に応じて組み合わせたメモリアクセスデータ圧縮手法を提案する。動画像符号化処理に適用するメモリアクセスデータ圧縮手法として、ライトバッファとキャッシュを用いてメモリアクセスにおけるデータサイズを最適化し、メモリアクセス効率を加味した実質的な圧縮効率を改善する手法を提案する。

第 5 章：動画像符号化処理の低遅延化

自動運転や VR などの高解像度動画像の低遅延伝送が必要なアプリケーション向けに、動画像符号化処理の低遅延化手法を提案する。まず、従来規格における低遅延化手法として、自動駐車を念頭にした低速走行時の周辺監視を題材に、H.264 対応復号処理の低遅延化手法を提案する。低遅延動作時には、可変長復号部と画像処理部の並列処理を FIFO (First In, First Out) 接続直列処理に切り替え、後続処理ともハンドシェイクによりパイプライン動作させる手法を提案する。次に、高速走行時の周辺監視や VR に必要な超低遅延を実現するため、ライン単位処理による超低遅延動画像符号化方式を提案する。複数のライン単位画像予測方法、画像適応量子化、最適化したエントロピー符号化、1次元 DCT などの要素技術、及び、それらを用いた動画像符号化・復号回路の全体構成を提案する。

第 6 章：評価結果

本章では、第 3 章、第 4 章及び第 5 章にて提案した動画像符号化・復号回路及び LSI アーキテクチャを実装した LSI の試作結果及び評価結果について考察する。第 3 章にて提案した低電力動画像符号化・復号回路について、ビヘイビアモデルシミュレーションにより

第1章 序論

画質を評価し、65nm CMOS (Complementary Metal-Oxide-Semiconductor) プロセスでのLSI 試作結果から電力を評価する。第4章にて提案したLSIアーキテクチャ、及び、第5章にて提案した従来規格における低遅延化手法を適用したLSIを16nm CMOSプロセスで試作し、処理性能及び電力を評価する。また、第5章にて提案した超低遅延動画符号化方式の画質及び圧縮率を、ビヘイビアモデルシミュレーションにより評価する。

第7章：結論

本研究で得られたシステムLSIにおける動画符号化処理の高性能化、低電力化、低遅延化技術とその実現結果について総括する。

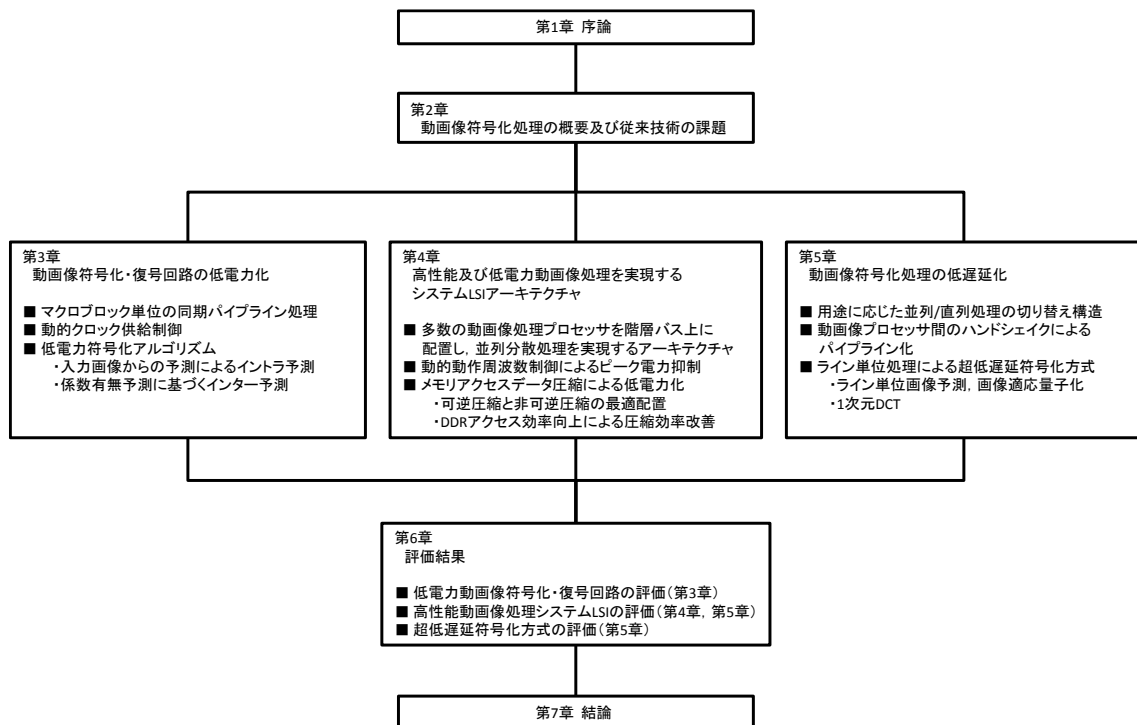


図 1.11 本論文の構成

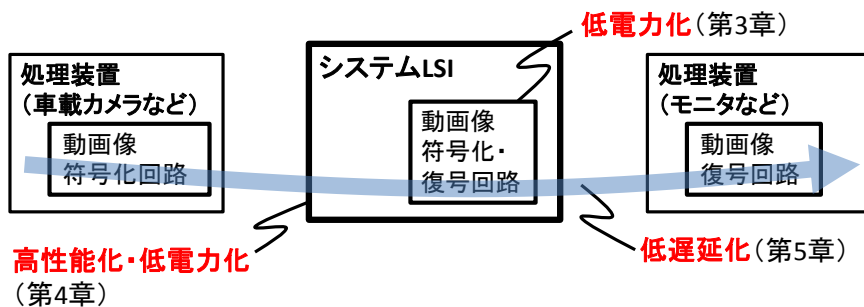


図 1.12 本論文の全体像と第3～5章における提案の位置づけ

第2章 動画像符号化処理の概要及び従来技術の課題

2.1 緒言

前章にて述べたように、動画像符号化技術は、デジタル放送やパッケージメディアへの適用を端緒とし、主に高解像度対応のための高圧縮化を主眼に進展してきた。また、モバイル機器への適応において、低電力化も大きな要件とされている。さらに、新たな用途であるモバイル機器とホスト間でのリアルタイム動画像伝送や自動制御システム内での動画像伝送などへの適応に際しては、低遅延化が重要課題となっている。

本章では、まず動画像符号化処理の概要について述べる。次に、動画像符号化処理及びLSIの一般的な実装形態を述べ、その特徴についてまとめる。上記アプリケーションに要求される処理内容及び電力、遅延量を踏まえた上で、従来の動画像符号化処理技術の問題点を整理し、達成すべき課題をまとめる。

2.2 動画像符号化処理の概要

図2.1にH.264を例とした動画像符号化器の基本構成を示す。図1.5に示した動画像符号化国際標準をはじめ、その他多くの動画像符号化方式においても、ほぼ同様の符号化器構成となる。これらの動画像符号化方式は、空間冗長度削減を目的とした直交変換・量子化処理と時間冗長度の削減を目的とした動き予測処理によるハイブリッド符号化と呼ばれる符号化方式を採用している。H.264及び以降の動画像符号化方式においては、イントラ予測（フレーム内予測）を取り入れ、さらなる空間冗長度削減を達成している。

図2.2にH.264における動画像データの構造を示す。動画像データは、異なる時間の画像であるピクチャ（フレーム）が連続した構造を取る。ただし、時間の順序と、ピクチャの処理順序及び動画像データ中での格納順序は、必ずしも一致するとは限らない。ピクチャは、ピクチャを空間的に分割した複数のスライスから成り、スライスはさらに細かく分割されたマクロブロックから成る。マクロブロックは16画素×16ラインの大きさで、各画素の輝度データ（Y）と色差データ（C）を含み、符号化の基本単位となる。

第2章 動画像符号化処理の概要及び従来技術の課題

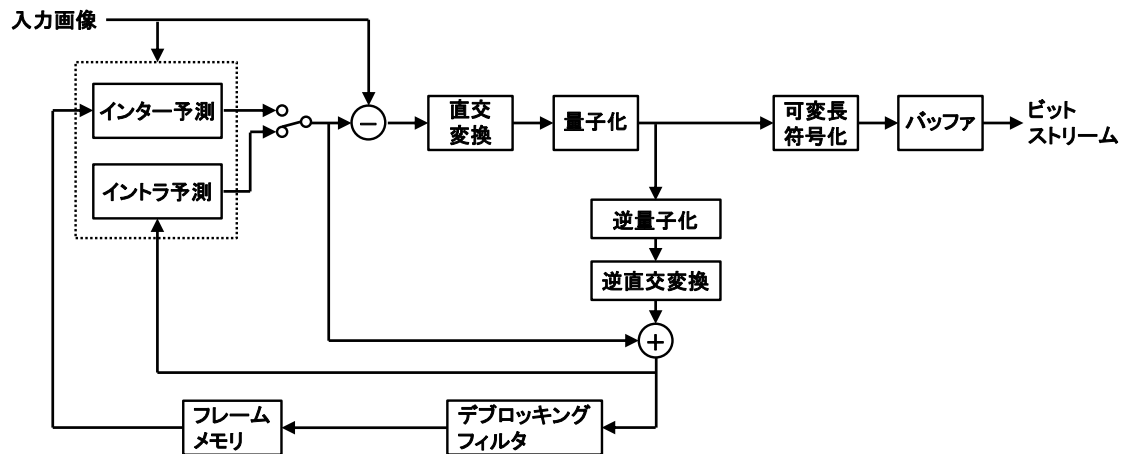


図 2.1 動画像符号化器の基本構成

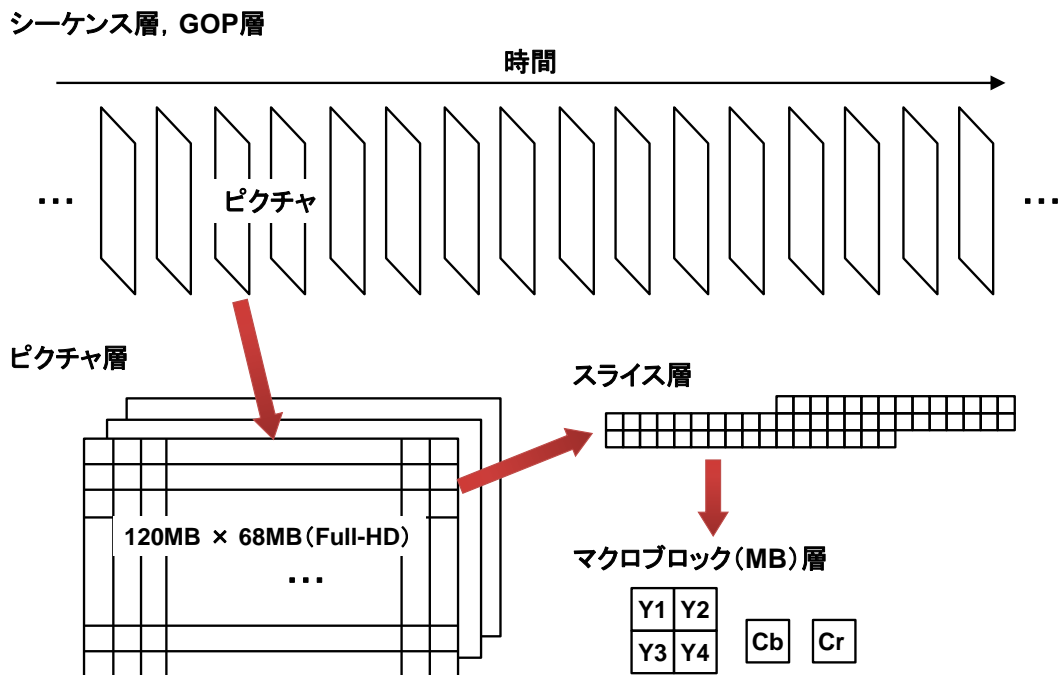


図 2.2 H.264 における動画像データの構造

図 2.1 の符号化アルゴリズムを参照しながら符号化処理の概略について説明する。図 2.2 に示したピクチャの左上から順にマクロブロック単位で符号化処理が施される。各マクロブロックにおいては、イントラ予測及びインター予測の双方を実行し、いずれの予測方式を適用するかが決定される。イントラ予測の場合は、符号化対象となるマクロブロックの周辺画素から予測画像が生成される。インター予測の場合は、参照ピクチャ（リファレンスピクチャ）からの動き予測によって予測画像が生成される。符号化対象となるマクロブロック画像と得られた予測画像との差分演算を行い、予測誤差画像が得られる。予測誤差

第2章 動画像符号化処理の概要及び従来技術の課題

画像は4画素×4ライン、もしくは、8画素×8ラインのブロック単位で直交変換処理が施され空間周波数領域に変換される。直交変換係数は、視覚特性や目標ビットレートに応じて量子化され、低周波成分から順に1次元情報に変換される。次に、予測方式や動きベクトルなどのマクロブロック符号化情報と量子化後の直交変換係数は、ゴロム符号などに代表される種々の方式にて可変長符号化を施されビットストリーム生成される。対象となる動画像ソースの特性や符号化条件によって発生符号量は可変となるため、ビットレートを制御するための機構が必要となる。一般的には、仮想的な出力バッファを想定し、バッファの状態を監視することにより発生符号量を把握し、そこから目標ビットレートに合わせた量子化制御を実施している。

一方、復号器においては、符号化器の逆処理となる。図2.3にH.264を例とした動画像復号器の基本構成を示す。符号化されたビットストリームはバッファを介して復号処理回路に入力される。可変長復号部ではマクロブロック符号化情報が復号され、予測方式、動きベクトル、量子化パラメータ、直交変換係数などが分離される。可変長復号された予測方式、動きベクトルに従い、イントラ予測もしくはインター予測（動き予測）により予測画像が生成される。可変長復号された量子化直交変換係数は、逆量子化で直交変換係数に復元され、逆直交変換により画素空間データに変換された後、予測画像と加算され復号画像が生成される。復号画像は、後続ピクチャの復号処理において参照ピクチャとして用いる必要があるため、フレームメモリに蓄積される。

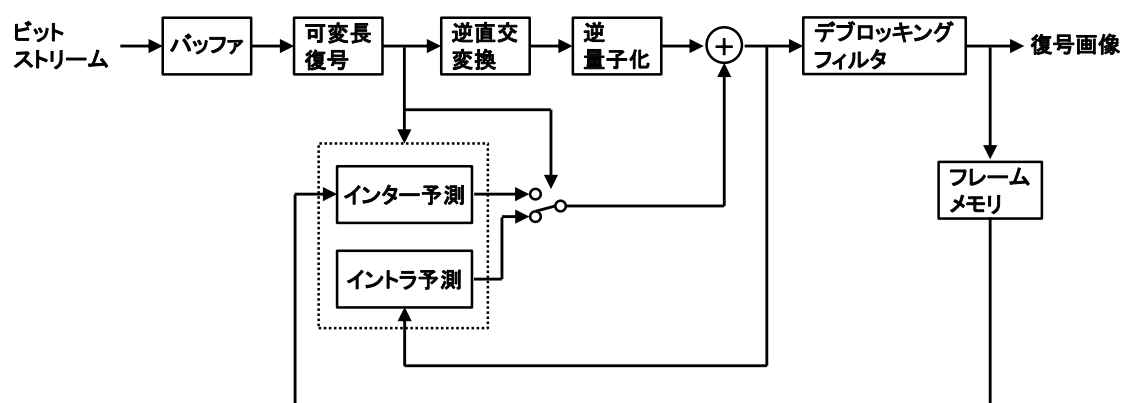


図 2.3 動画像復号器の基本構成

図2.4に直交変換処理の基礎となるDCT（Discrete Cosine Transform）処理の概念を示す。H.264においては、このDCT処理を整数演算にて計算可能なように最適化した整数変換が採用されている。一般に、画像データは垂直方向及び水平方向に相関を持つ2次元データ系列であるため、DCT処理では2次元直交関数系を基底とした2次元変換が行われる。このような2次元変換は、通常、N画素×Nラインからなる正方ブロックに対して行われる。実際に2次元変換を実現する場合には、一方の軸において1次元変換し、ついでこの

第2章 動画像符号化処理の概要及び従来技術の課題

変換された係数に対して他方の軸において1次元変換を行う。すなわち、 N 画素 $\times N$ ラインからなる正方ブロックにおける第 x 列、第 y 行の画素値 $f(x, y)$ に対して、まず、水平方向に1次元変換を行うことにより、第 y 行の第 u 係数 $g(u, y)$ を

$$g(u, y) = \sqrt{\frac{2}{N}} C(u) \sum_{x=0}^{N-1} f(x, y) \cos \frac{(2x+1)u\pi}{2N} \quad (2.1)$$

と得る。ここで、

$$C(u) = \begin{cases} \frac{1}{\sqrt{2}} & (u = 0) \\ 1 & (u \neq 0) \end{cases} \quad (2.2)$$

である。次に、 $g(u, y)$ に対して、全く同様の1次元変換を垂直方向に行うことにより、第 (u, v) 係数 $X(u, v)$ を

$$X(u, v) = \sqrt{\frac{2}{N}} C(v) \sum_{y=0}^{N-1} g(u, y) \cos \frac{(2y+1)v\pi}{2N} \quad (2.3)$$

と得る。ここで、

$$C(v) = \begin{cases} \frac{1}{\sqrt{2}} & (v = 0) \\ 1 & (v \neq 0) \end{cases} \quad (2.4)$$

である。(2.1)式を(2.3)式に代入すると、

$$X(u, v) = \frac{2}{N} C(u)C(v) \sum_{x=0}^{N-1} \sum_{y=0}^{N-1} f(x, y) \cos \frac{(2x+1)u\pi}{2N} \cos \frac{(2y+1)v\pi}{2N} \quad (2.5)$$

が得られる。ここで、 $f(x, y)$ ($x, y = 0, 1, 2, \dots, N-1$)は原データ、 $X(u, v)$ ($u, v = 0, 1, 2, \dots, N-1$)はDCT係数である。これは2次元変換であり、行方向と列方向の2つの1次元変換に分解して実行できることを示している。従って、1ブロック(例として8画素 \times 8ラインとする)

第 2 章 動画像符号化処理の概要及び従来技術の課題

の画素データに対する 2 次元 DCT 演算は、8 行×8 列の画素データに対する行列演算を 8 行分と 8 列分の 8 点 1 次元 DCT 演算に分割して実行することと等価である。8 点の 1 次元 DCT 及び逆 DCT は、それぞれ(2.6)式、(2.7)式で表される。

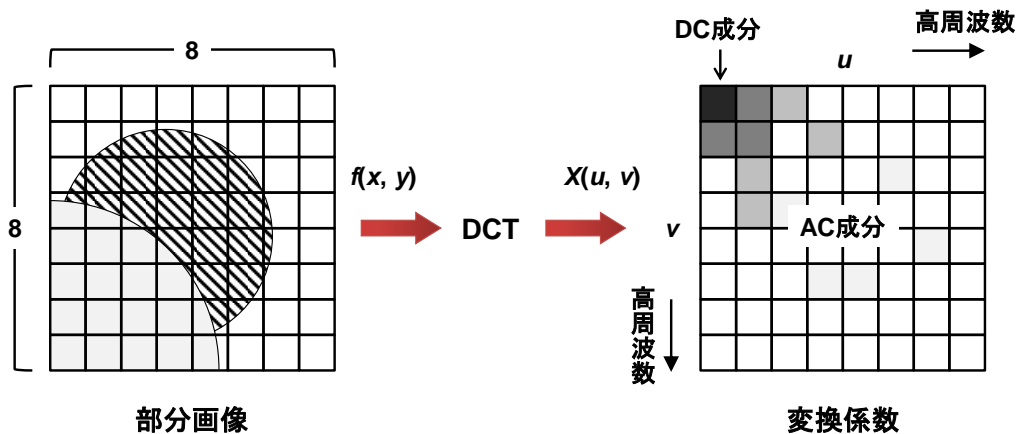
$$\begin{bmatrix} Z0 \\ Z2 \\ Z4 \\ Z6 \\ Z1 \\ Z3 \\ Z5 \\ Z7 \end{bmatrix} = \begin{bmatrix} A & A & A & A & A & A & A & A \\ B & C & -C & -B & -B & -C & C & B \\ A & -A & -A & A & A & -A & -A & A \\ C & -B & B & -C & -C & B & -B & C \\ D & E & F & G & -G & -F & -E & -D \\ E & -G & -D & -F & F & D & G & -E \\ F & -D & G & E & -E & -G & D & -F \\ G & -F & E & -D & D & -E & F & -G \end{bmatrix} \begin{bmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \\ X7 \end{bmatrix} \quad (2.6)$$

$$\begin{bmatrix} X0 \\ X1 \\ X2 \\ X3 \\ X4 \\ X5 \\ X6 \\ X7 \end{bmatrix} = \begin{bmatrix} A & B & A & C & D & E & F & G \\ A & C & -A & -B & E & -G & -D & -F \\ A & -C & -A & B & F & -D & G & E \\ A & -B & A & -C & G & -F & E & -D \\ A & -B & A & -C & -G & F & -E & D \\ A & -C & -A & B & -F & D & -G & -E \\ A & C & -A & -B & -E & G & D & F \\ A & B & A & C & -D & -E & -F & -G \end{bmatrix} \begin{bmatrix} Z0 \\ Z2 \\ Z4 \\ Z6 \\ Z1 \\ Z3 \\ Z5 \\ Z7 \end{bmatrix} \quad (2.7)$$

ただし、

$$A = \cos \frac{\pi}{4}, B = \cos \frac{\pi}{8}, C = \sin \frac{\pi}{8}, D = \cos \frac{\pi}{16}, E = \cos \frac{3\pi}{16}, F = \sin \frac{3\pi}{16}, G = \sin \frac{\pi}{16}$$

以上より、1 次元 DCT、逆 DCT とも 64 回の積和演算が必要である。1 ブロック (8 画素×8 ライン) の画素データに対する 2 次元 DCT では、8 行分と 8 列分に分割して実行することで 1024 回 (64×8×2) の積和演算となる。このように、2 次元 DCT 処理は 1 次元 DCT 処理と比べ演算量が極端に増大し、ハードウェア化にあたっては多くの演算回路が必要とされる[HOT11]。



自然画像への2次元DCTにより, 空間周波数の水平・垂直とも低域成分が大きく高域成分はほとんど0になる.

図 2.4 DCT 処理の概念

図 2.5 に H.264 を例としたイントラ予測の概念を示す. イントラ予測は, 符号化対象領域の周辺画素から予測画像を生成し, 動画画像の空間的な冗長性を利用してデータ量の圧縮を図るもので, H.264 以降多くの動画画像符号化方式に採用されている [HUAN05b][CHOI06][ZENG09][LAIN12][ZHAN14]. 予測画像の生成方法 (予測モード) は複数定義され, 符号化器は画像に応じて最適な予測モードを選択することができる. H.264 のイントラ予測では, 4 種類の 16×16 予測モード (16 画素 \times 16 ラインのブロック単位で予測を行う) と 9 種類の 4×4 予測モード (4 画素 \times 4 ラインのブロック単位で予測を行う) が定義されている. なお, High Profile においては, さらに 9 種類の 8×8 予測モード (8 画素 \times 8 ラインのブロック単位で予測を行う) が追加され, H.265 においては 34 種類の予測画像生成方法が定義されるなど, モード数増加による予測の高精度化が図られている. 各予測画像は, その予測ブロックに隣接する再構成画像の画素から生成される. 図 2.1 に示したように, 再構成画像は, 予測画像からの差分に対し, 直交変換, 量子化, 逆量子化, 及び逆直交変換の一連の処理を行った結果と予測画像を加算して得られる. 従って, 図 2.6 に示す 4×4 予測モードイントラ予測の例では, 4×4 ブロック (x) のイントラ予測モード決定処理を開始する前に 4×4 ブロック (a) から (d) の上記一連の処理が完了していなければならない. また, 4×4 ブロック (x) の処理が完了する前には 4×4 ブロック (y) のイントラ予測モード決定処理は開始できない. マクロブロックは 16 個の 4×4 ブロックから成るため, 1 個のマクロブロックの処理に対し, イントラ予測モード決定, イントラ予測, 直交変換, 量子化, 逆量子化, 及び逆直交変換の一連の処理を, 順に 16 回繰り返すこととなる. このように, イントラ予測では逐次処理が必要となるため, ハードウェア化の利点であるパイプライン処理の障害となり, 多くの演算回路が必要とされる.

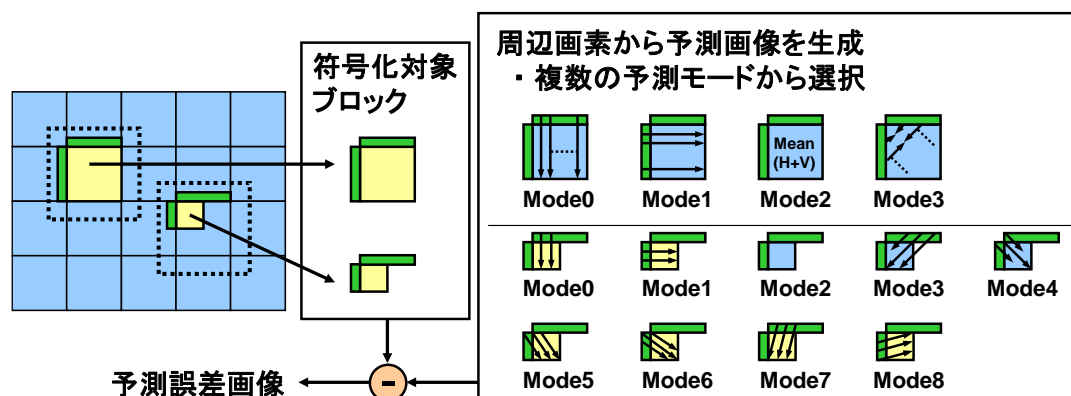


図 2.5 イントラ予測の概念

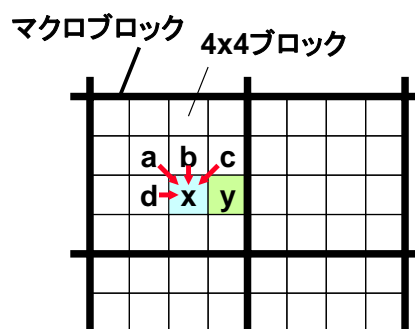


図 2.6 H.264 における 4x4 予測モードイントラ予測

図 2.7 に動き予測の概念を示す。動き予測は、動画画像の時間的な冗長性を利用してデータ量の圧縮を図るもので、MPEG-2, MPEG-4, H.264 など多くの動画画像符号化に採用されている[HERV92][HSIE92][CHEN95][LINH96][JIAN98][YAPS04][CHEN06]。符号化器では、予測ブロックごとに、参照ピクチャ（リファレンスピクチャ）からブロックマッチングにより類似する画像を探索して、予測画像を生成する。MPEG-2 では主にマクロブロックを予測ブロックとしていたが、MPEG-4 では 8 画素×8 ラインの予測ブロック、H.264 ではさらに小さい予測ブロックが定義され、より細かく予測を行う傾向にある。動き予測の結果、参照する位置を表す動きベクトルを符号化情報として復号器に伝送し、復号器では動きベクトル位置の参照ピクチャ画像を用いて予測画像を再現する。参照ピクチャの各画素間に補間画素を生成し 1 画素未満の単位の動きベクトルを定義することで、画像の動きに対し高精度な追従を可能としている。MPEG-2, MPEG-4 では補間画素は 1/2 画素単位（ハーフペル）であったが、H.264 では 1/4 画素単位（クォーターペル）となり、かつ、補間に用いるフィルタも高精度化され、より精度よく予測画像を生成することができる。この結果、フィルタ演算の複雑化とブロックマッチングにおける探索点の増加により、膨大な演算回路が必要とされている。

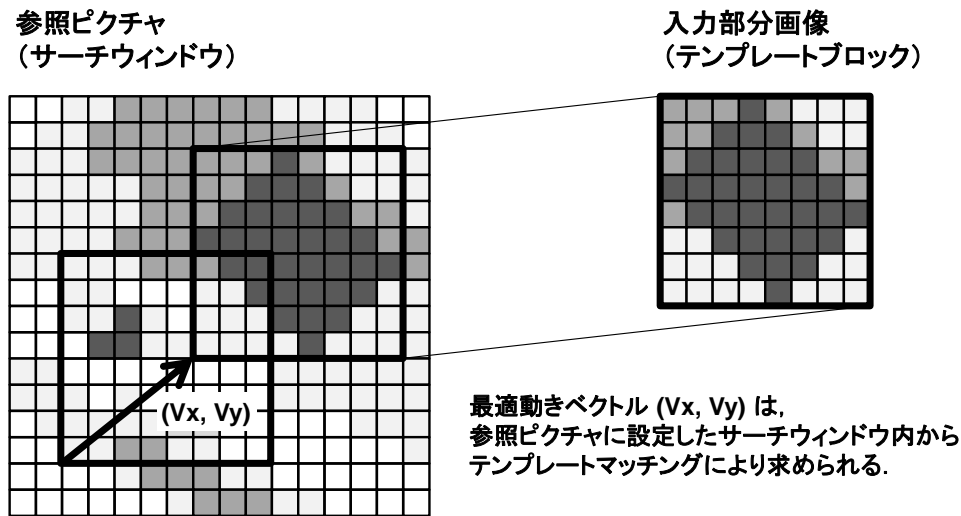


図 2.7 動き予測の概念

2.3 動画像符号化処理の実装及び LSI の従来例

動画像符号化処理の実現方法には、以下のアプローチが存在する。

- (1) CPU (Central Processing Unit) 上のソフトウェアによる実装
- (2) GPU (Graphic Processing Unit) での実装
- (3) DSP (Digital Signal Processor) での実装
- (4) 専用回路での実装

CPU 上のソフトウェアによる実装は、ソフトウェアの変更のみで複数の動画像符号化方式の対応が可能であるなど高い柔軟性を持つが、汎用的な演算器のみの使用に止まるため、2.2 節に説明した DCT 処理、フィルタ処理、ブロックマッチングにおける膨大な積和演算などの実行に多くの処理時間を費やす必要がある。一方、専用回路での実装は、予め決められた処理を効率良く行うことを目的としているため、処理内容に対する柔軟性には欠けるものの処理性能、チップ面積及び消費電力の点で有利である。GPU 及び DSP での実装は、両者の中間的なアプローチである。GPU は、多数の積和演算を効率的に実行可能であり、かつ、OpenGL[SELL07]などの標準化された API (Application Programming Interface) が普及しており、CPU 上のソフトウェアによる実装に次ぐ高い柔軟性を持つ。DSP は、VLIW (Very Long Instruction Word) 方式や SIMD (Single Instruction Multiple Data) 方式などの採用により、API は専用かつハードウェアを強く意識したものとなるが、高度に並列化された処理が可能である。

システム LSI 上では、これらのアプローチを用途に応じて組み合わせて、動画像符号化処理を実現していく。一般的なシステム LSI の構成を図 2.8 に示す。CPU, GPU, DSP を単数またはそれぞれ複数搭載したヘテロジニアスなプロセッサ構成により、動画像符号

第2章 動画像符号化処理の概要及び従来技術の課題

化処理やその他の処理を柔軟に実行することが可能である。コストや消費電力に制約のある民生分野での応用製品では、多くの場合、動画像符号化処理などの特定アプリケーションを専用に行う専用回路も搭載しており、規格などで予め決められた処理を効率良く実現し、処理性能、チップ面積及び消費電力のメリットを追求している。これらの多数のプロセッサや専用回路を柔軟に活用させるにはメモリ空間を共用する必要がある。従って、多数のマスタモジュールからバスを介して共用外部メモリ（Unified Memory）にアクセスが行われる構成となり、スムーズなメモリアccessを実現するバスアーキテクチャが求められる。コスト面、及び、ピン配置と基板設計上の制約から、接続する外部メモリの個数は限定されるため、メモリアccess帯域は限られたものとならざるを得ない。従って、外部メモリへのアクセスが本質的に性能上のボトルネックとなっている。また、膨大な動画像データのバストラフィックが消費電力の増大を招いている。これらの問題を回避するため、近年では、メモリアccessを低減するためにデータを可逆圧縮する技術が提案されている [YNGT08][CHEN09][KUOH12][ZHOU14]。

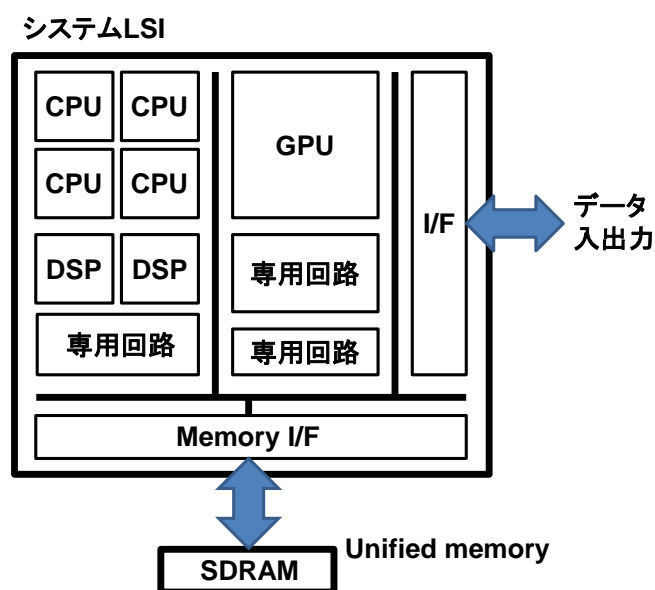


図 2.8 システム LSI の構成

システム LSI では一般的に大容量かつ広帯域のメモリアccessが可能な SDRAM (Synchronous Dynamic Random Access Memory) を外部メモリとして接続する。2000年代後半からは DDR (Double Data Rate SDRAM) も広く採用され、近年では低電力型の LPDDR (Low Power DDR) が多く採用されている。SDRAM はメモリコントローラからのコマンドによりデータの読み書きを行い、1つのコマンドにより読み書きできるデータ量 (最小バースト長) が世代ごとに定義されている。図 2.9 に、SDRAM の各世代における最小バースト長と代表的な転送レートを示す。SDRAM は世代とともに高速化による帯域の

第2章 動画像符号化処理の概要及び従来技術の課題

増加を果たしてきたが、メモリ内部では物理的な高速化を進めることが困難であり、主に内部処理の並列化により高速化を進めてきた。その結果、1コマンドにより読み書きするデータ量が増える一方で、それ以下のデータサイズのアクセスでは非効率となる弊害がある。図2.10にSDRAMアクセスの模式図を示す。コマンドの受け付け間隔には制約があるため、十分なデータサイズでのアクセスを行わないと、データの読み書きに隙間（バブル）が発生してしまう。メモリアクセスによる性能低下を回避するためには、SDRAMの特性を考慮し、如何に効率的にアクセスするかが重要となっている。

世代	最小バースト長	代表的な端子あたり転送レート	システムLSIでの構成例
SDR	1	133Mbps	SDR-133 16bit x1 266MByte/s
DDR	2	333Mbps	DDR-333 16bit x1 666MByte/s
DDR2	4	800Mbps	DDR2-800 32bit x1 3.2GByte/s
DDR3	8	1600Mbps	DDR3-1600 32bit x2 12.8GByte/s
DDR4	8 (*)	3200Mbps	DDR4-3200 32bit x2 25.6GByte/s

(*) 同一バンクグループへの連続アクセス時、オーバーヘッドあり。

図 2.9 SDRAM の各世代における最小バースト長と代表的な転送レート

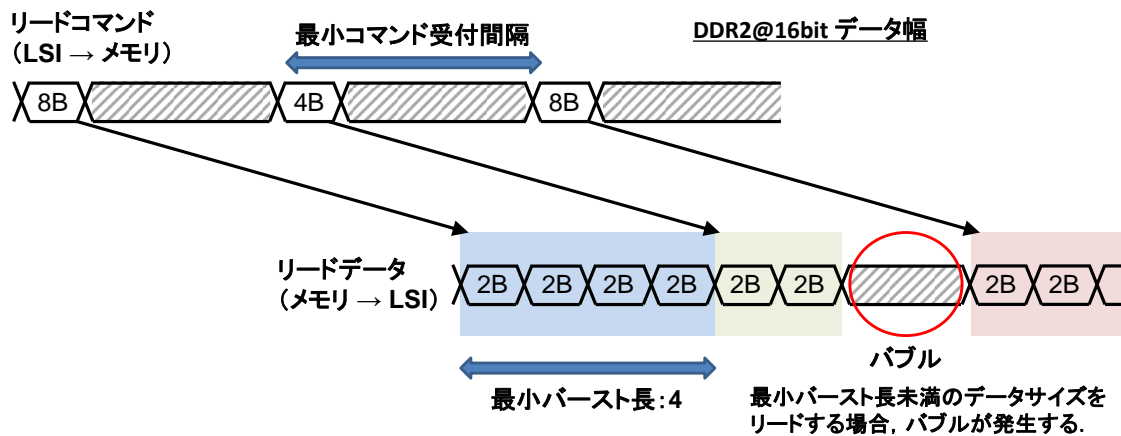


図 2.10 SDRAM アクセスの模式図

第2章 動画像符号化処理の概要及び従来技術の課題

2.4 動画像符号化処理における従来技術の課題

前節では、動画像符号化処理の基本アルゴリズムと基本的なシステム構成の概念について述べた。本節では、この技術背景を踏まえて、システム LSI における動画像符号化処理の問題点を項目別にまとめる。

(1) 膨大な演算処理量による高コスト化，消費電力増大

Full-HD 解像度の放送が一般化し、ストリーミングなど 4K 解像度の画像情報サービスも普及しつつあるなど、高解像度化が進んでいる。一方で、モバイル機器の普及に伴い、動画像処理には低消費電力が強く要求されている。しかし、DCT 処理、予測処理などに膨大な演算処理量を必要とする動画像符号化処理においては、例え専用回路による実装を行ったとしても多量の演算回路を必要とするため、高コスト化、消費電力増大という問題があった。

(2) 複雑化した動画像符号化方式に対し、演算能力の不足による画質劣化

画像情報サービスの多様化、高解像度化に伴い、高画質要求はますます厳しくなっている。そこで、高圧縮かつ高画質の要求を満足するため、H.264 におけるイントラ予測の導入を始めとする動画像符号化方式の複雑化が進み、膨大な演算量が必要となっている。一方で、コスト面、消費電力面での制約から演算能力は限られたものとなるため、従来の実装例では顕著な画質劣化が生じるという問題があった。

(3) システム LSI におけるリソース競合による性能低下

画像情報サービスの多様化による画像処理要求の拡大、及び、LSI の集積度向上に伴い、動画像符号化処理はシステム LSI にて実現されるようになった。システム LSI においては他のアプリケーションが並列に実行されていることが前提となるが、プロセッサ、バス、外部メモリなどの共用リソースの競合により動画像符号化処理あるいは他のアプリケーションの性能低下が発生する問題があった。安定したシステムの構築を行うためには、この問題を回避する LSI アーキテクチャが求められている。特に、車載情報システムにおいては、インフォテイメント（カーナビゲーションなどの情報（インフォメーション）と動画像コンテンツ再生などの娯楽（エンターテイメント）の提供を統合したシステム）向け画像処理と運転補助機能をシステム LSI 上にて統合することが求められており、この両立を実現しうる最適な LSI アーキテクチャが提案されていなかった。

(4) メモリアクセスの増大に伴う性能低下及びバス消費電力の増加

画像情報サービスの多様化、高解像度化に伴い、システム LSI における動画像処理には膨大なメモリアクセスが必要とされており、メモリアクセスがボトルネックとなり性能低

第 2 章 動画像符号化処理の概要及び従来技術の課題

下が発生する問題があった。同時に、メモリアクセスの増大による多量のバストラフィックが消費電力の増大を招くという問題があった。従来、複数のメモリアクセスデータ圧縮方式が提案されていたが、DDR の特性が考慮されておらず、十分な効果を得ることが困難であった。

(5) 新規アプリケーションにおける低遅延要求の増加

画像情報サービスの多様化により、動画像符号化処理の適用用途がメディア視聴からリアルタイム通信や制御へと拡大している。これらの用途においては、画像伝送に適用する動画像符号化処理そのものの低遅延化、及び、実装したシステム LSI 上での動画像符号化処理の低遅延化が必要とされている。しかし、従来、低遅延を考慮したアーキテクチャは提案されておらず、さらに、従来の動画像符号化方式では今後想定されるに十分な低遅延化が実現できないという問題があった。

システム LSI における動画像符号化処理について 5 項目の問題点を論じた。ここで、これらの問題点を解決するための LSI への要求仕様及び課題について以下に列挙する。

- (1) 高解像度動画を小規模・低電力で処理可能な動画像符号化・復号回路の実現
 - － 小規模・低動作周波数で高解像度動画像処理を可能とするアーキテクチャ
 - － 不要電力消費の抑止
- (2) 高画質及び低電力を両立する符号化アルゴリズムの考案
 - － 演算処理量を抑えながら画質劣化の少ない予測モード決定方式の実現
- (3) 複数アプリケーションを独立に実行可能な LSI アーキテクチャの実現
 - － 画像認識処理と動画像処理の両立
 - － 総計 750Mpix/s の動画像処理
- (4) メモリアクセスデータ圧縮による高性能・低電力の実現
 - － 可逆圧縮と非可逆圧縮の併用
 - － DDR アクセス効率を考慮した圧縮方式
- (5) 動画像符号化処理の低遅延化の実現
 - － 従来方式によるミリ秒オーダーでの低遅延化の実現
 - － マイクロ秒オーダーの超低遅延動画像符号化方式の考案

図 2.11 は、上記従来の問題点と LSI への要求事項・課題についてまとめたものである。本論文ではこれらの課題を達成し得る動画像符号化・復号回路及び LSI アーキテクチャの提案を行う。第 3 章では、小規模・低電力のアーキテクチャ及びアルゴリズムを備えた動画像符号化・復号回路を提案し、上記(1)(2)の課題を達成する。第 4 章では、高性能及び低電力を実現するシステム LSI アーキテクチャを提案し、上記(3)(4)の課題を実現する。第 5

第 2 章 動画像符号化処理の概要及び従来技術の課題

章では、動画像符号化処理の低遅延化を提案し、上記(5)の課題を達成する。

従来の問題点	LSIへの要求事項・課題	本研究における解決策の新規提案
膨大な演算処理量による高コスト化、消費電力増大	高解像度動画を小規模・低電力で処理可能な動画像符号化・復号回路の実現 ・ 小規模・低動作周波数で高解像度動画像処理を可能とするアーキテクチャ ・ 不要電力消費の抑止	動画像符号化・復号回路の低電力化(第3章) ・ マクロブロック単位の同期パイプライン処理 ・ 動的クロック供給制御 ・ 低電力符号化アルゴリズム ✓ 入力画像からの予測によるイントラ予測 ✓ 係数有無予測に基づくインター予測
複雑化した動画像符号化方式に対し、演算能力の不足による画質劣化	高画質及び低電力を両立する符号化アルゴリズムの考案 ・ 演算処理量を抑えながら画質劣化の少ない予測モード決定方式の実現	
システムLSIにおけるリソース競合による性能低下	複数アプリケーションを独立に実行可能なLSIアーキテクチャの実現 ・ 画像認識処理と動画像処理の両立 ・ 総計750Mpix/sの動画像処理	高性能及び低電力動画像処理を実現するシステムLSIアーキテクチャ(第4章) ・ 多数の動画像処理プロセッサを階層バース上に配置し、並列分散処理を実現するアーキテクチャ ・ 動的動作周波数制御によるピーク電力抑制
メモリアクセスの増大に伴う性能低下及びバス消費電力の増加	メモリアクセスデータ圧縮による高性能・低電力の実現 ・ 可逆圧縮と非可逆圧縮の併用	メモリアクセスデータ圧縮による低電力化 ・ 可逆圧縮と非可逆圧縮の最適配置 ✓ DDRアクセス効率向上による圧縮効率改善
新規アプリケーションにおける低遅延要求の増加	動画像符号化処理の低遅延化の実現 ・ 従来方式によるミリ秒オーダーでの低遅延化の実現 ・ マイクロ秒オーダーの超低遅延動画像符号化方式の考案	動画像符号化処理の低遅延化(第5章) ・ 用途に応じた並列/直列処理の切り替え構造 ・ 動画像プロセッサ間のハンドシェイクによるパイプライン化 ・ ライン単位処理による超低遅延符号化方式 ✓ ライン単位画像予測、画像適応量子化 ✓ 1次元DCT

図 2.11 従来の問題点と LSI への要求事項・課題

2.5 結言

本章では、システム LSI において高性能動画像符号化処理の低電力化及び低遅延化を実現する上での問題点と課題について、従来の技術的背景を踏まえて明らかにした。課題は以下 5 項目にまとめられる。

- (1) 高解像度動画を小規模・低電力で処理可能な動画像符号化・復号回路の実現
- (2) 高画質及び低電力を両立する符号化アルゴリズムの考案
- (3) 複数アプリケーションを独立に実行可能な LSI アーキテクチャの実現
- (4) メモリアクセスデータ圧縮による高性能・低電力の実現
- (5) 動画像符号化処理の低遅延化の実現

以降、第 3 章、第 4 章、及び、第 5 章にて、これらの課題を達成する提案を行う。

第3章 動画像符号化・復号回路の低電力化

3.1 緒言

2000年代初頭、国際標準化機構（ISO：International Standardized Organization）のMPEG（Motion Picture Expert Group）と国際電気通信連合（ITU：International Telecommunication Union）の共同で規格化の検討がなされた動画像符号化方式は、2003年にH.264[ITU03]として勧告され、現在でも標準的な規格として広く応用されている。その普及期において、インターネット接続及び無線通信の広帯域化、そして携帯電話・スマートフォンに代表されるモバイル機器の普及に伴い、モバイル機器での高画質な動画像録画の実現が望まれていた。図3.1に、各動画像符号化方式の対応する画面解像度と各方式の実現に必要な処理性能を示す。H.264は従来のMPEG-2[ISOV94]、MPEG-4[ISOV99]に比べ高圧縮・高画質を実現可能な動画像符号化方式であり[NEMC07][GVOZ07]、モバイル機器における動画像サービス・アプリケーションの高画質化、大画面化に大きく貢献してきた。一方で方式の複雑化により必要処理性能が増大しており、モバイル機器への適用においては消費電力に制約があるため、如何に効率のよい専用回路で実現するかが課題であった。本章では、主としてH.264符号化方式における低電力化のためのアーキテクチャと独自符号化アルゴリズムに関する新規提案を論述する。その提案した概念は、次章で述べる車載情報システム向けシステムLSIに搭載した動画像符号化・復号回路にも踏襲され、その後開発された多くの動画像符号化・復号回路がこの概念を適用するに至っている。

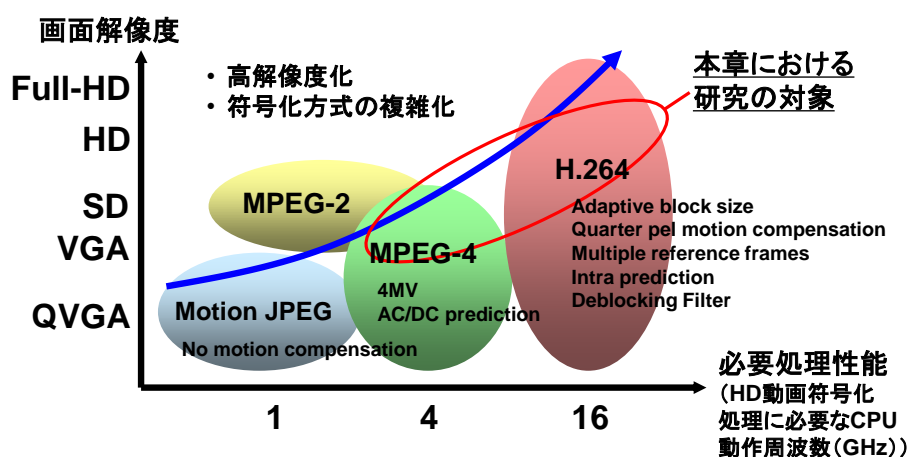


図 3.1 各動画像符号化方式の対応する画面解像度と必要処理性能

デジタルカメラ（DSC）、デジタルビデオカメラ（DVC）、携帯電話などのモバイル機器においてもHD解像度（1280画素×720ライン）に代表される高画質かつ大画面への対応が要求されており、高解像度及び高画質の動画像録画・再生機能が低消費電力を保つ

第3章 動画像符号化・復号回路の低電力化

たまま実現されることが必要である。従来、複数の H.264 符号化回路が開発されているが [HUAN05a][GOTO06][IINU06][LINY08], それらは高解像度の高画質な符号化と低消費電力の双方を同時に満たすことはできていなかった。H.264 符号化方式は、多数の予測モードを用いてピクチャ内及びピクチャ間の画像を予測することで圧縮率を高めている。従って、H.264 符号化回路が十分な圧縮率を得るためには、多数の予測モードに対して演算を行い、最適なモードを選択しなければならず、従来の標準規格に比べ非常に大量の演算を必要とする。仮に、H.264 の参照ソフトウェア [ITUR05] である JM (Joint Model) の処理をそのまま LSI に実装した場合、特に高解像度の動画では、LSI の消費電力はモバイル機器向けには許容できないものになってしまう [HUAN05a][GOTO06]。一方、3.3 節にて明らかにするように、低消費電力化のために符号化処理を極端に簡易化した場合、高解像度の動画に要求される画質を実現することができない。

本章では、モバイル機器向けに開発した低電力かつ高画質の H.264/MPEG-4 両対応動画像符号化・復号回路 [MOCH07][MOCH08] について論述する。この動画像符号化・復号回路は HD 動画 (1280 画素×720 ライン, 30fps) 対応の処理性能を持ち、H.264 は Baseline Profile, MPEG-4 は Advanced Simple Profile に対応している。従来提案されているマクロブロックレベルパイプラインアーキテクチャ [HUAN05a] に対し、同期タイムスロット制御と動的クロック供給停止機構を組み合わせることにより消費電力を低減し、低動作周波数でリアルタイムに高解像度の動画を処理することを実現した。また、以下 2 つのアルゴリズムを適用することにより、消費電力を増やすことなく高画質を実現した。

- (1) 入力画像からの予測によるイントラ予測モード決定手法
- (2) MATD (Maximum Absolute Transformed-Difference) による係数有無予測に基づくインター予測モード決定手法

以下、3.2 節にて低消費電力を実現するための基本アーキテクチャを述べ、3.3 節にて高画質と低消費電力を同時に実現する 2 つのアルゴリズムに関して述べる。

3.2 動画像符号化・復号回路の低電力アーキテクチャ

3.2.1 マクロブロックレベルパイプラインアーキテクチャ

本動画像符号化・復号回路では、マクロブロックレベルパイプラインアーキテクチャを採用した。これは、マクロブロック (MB: Macroblock) 単位の処理はフレーム単位の処理と比較して、それぞれの機能ブロック間のデータ転送に必要なバッファ容量を減らすことができ、低消費電力化に有利なためである。

図 3.2 に本動画像符号化・復号回路のブロック図及び符号化時データフローを示す。本動画像符号化・復号回路においては、符号化処理全体を 6 個のパイプラインステージ (ステージ 0~5) に分割している。最初に、ステージ 0 では、DMAC (Direct Memory Access

第3章 動画像符号化・復号回路の低電力化

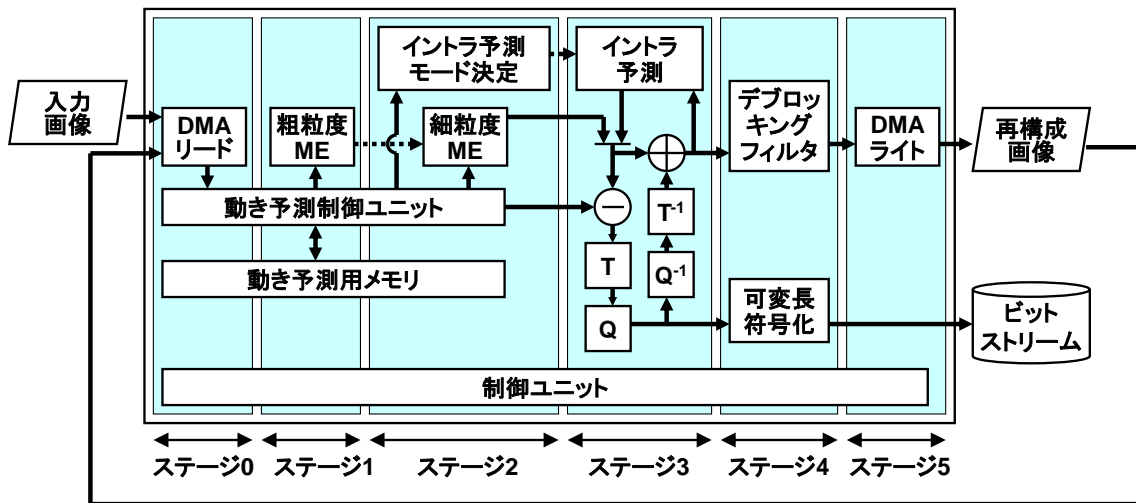
Controller) が外部メモリから入力画像と参照画像を読み込み、動き予測 (ME : Motion Estimation) における動きベクトル探索処理と内部メモリの制御を行う機能ブロックである動き予測制御ユニットを介して内部メモリに転送する。次に、ステージ 1 では、整数画素精度の粗粒度動き予測が実行される。ステージ 2 では、1/2 画素精度及び 1/4 画素精度の細粒度動き予測とイントラ予測モードの決定が実行される。ステージ 3 にてイントラ予測、整数変換、量子化、ステージ 4 にて可変長符号化が行われ、ビットストリームが生成される。それらと並行して、ステージ 3 にて逆量子化、逆整数変換、ステージ 4 にてデブロッキングフィルタ処理が行われ、再構成画像が生成される。最後に、ステージ 5 では、DMAC が再構成画像を外部メモリに出力する。これらの処理を行う各機能ブロック間にはデータ転送のためのバッファが配置される。

図 3.3 に、H.264 符号化時におけるマクロブロックレベルパイプライン処理のタイミングチャートを示す。本アーキテクチャの特長の 1 つは、全ての機能ブロックのタイムスロットがマクロブロック単位で同期しており、パラメータ信号の制御や操作が容易な点である。加えて、機能ブロック間のデータバッファはマクロブロック単位のバンクを切り替えるだけのダブルバッファとして実装され、制御回路が単純でより小さい回路規模になるため、低消費電力化に有利である。

本動画像符号化・復号回路は、このマクロブロックレベルパイプライン処理により、6 個の異なるマクロブロックに対し 8 種類の異なる処理 (ステージ 3 における複数の処理を 1 処理としてカウント) を並列に実行し、低動作周波数でリアルタイム処理を可能としている。ここで、リアルタイム処理を保証するため、各機能ブロックが 1 マクロブロックの処理に要するクロックサイクル数上限を 1280 サイクルと定義した。これにより、式 (3.1) に示す動作周波数にてリアルタイム処理が可能であることが保証される。

$$\text{動作周波数} > 1280 \times (\text{1 フレーム中の MB 数}) \times \text{フレームレート} \quad (3.1)$$

HD 動画 (1280 画素×720 ライン, 30fps) は 1 フレームあたり 3600 個, SD (Standard Definition) 動画 (720 画素×480 ライン, 30fps) は 1 フレームあたり 1350 個のマクロブロックから構成されるため、本動画像符号化・復号回路は、HD 動画を 144MHz 未満, SD 動画を 54MHz 未満で実行可能である。動作周波数を低く抑えることで、モバイル機器向けに適した低消費電力を実現した。



ME : 動き予測 (Motion estimation) → 符号化時データフロー
 T : 整数変換, Q : 量子化 □ パイプラインステージ
 T⁻¹ : 逆整数変換, Q⁻¹ : 逆量子化

図 3.2 開発した動画像符号化・復号回路のブロック図及び符号化時データフロー

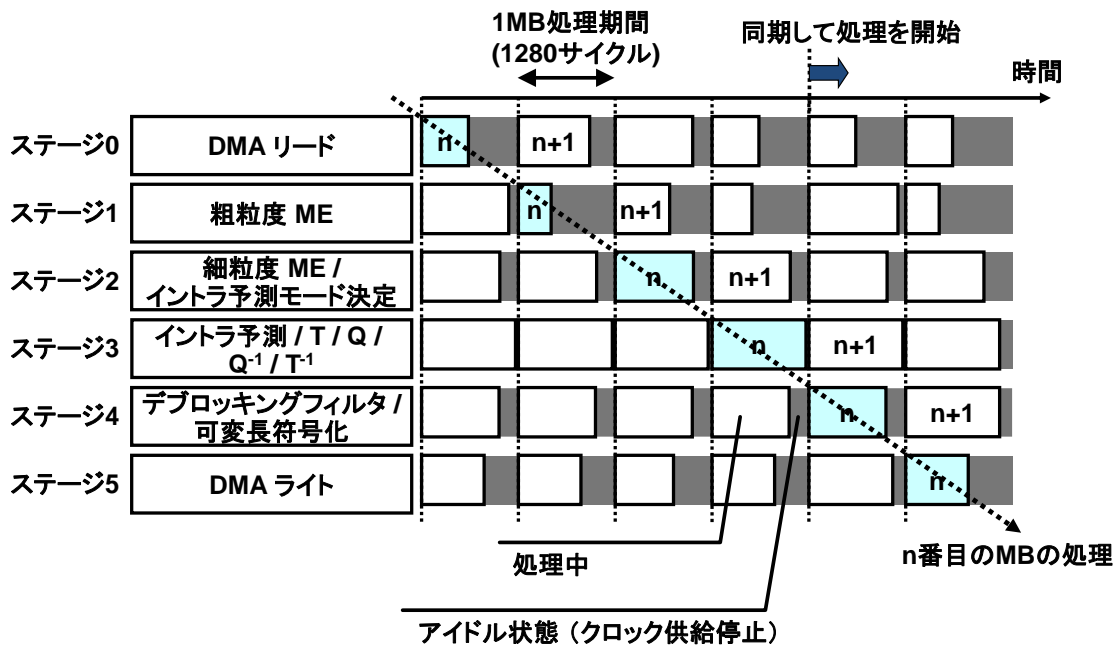


図 3.3 H.264 符号化時マクロブロックレベルパイプライン処理タイミングチャート

3.2.2 動的クロック供給停止機構

消費電力を削減するための手法として、論理合成ツールによるクロックゲーティング [POKH07] が一般的に用いられている。対象回路内のフリップフロップに対し、データの更新時のみクロックを供給するようにゲーティング回路を自動挿入することで、フリップフ

第3章 動画像符号化・復号回路の低電力化

ロップの消費する電力を削減する。しかし、フリップフロップごとに異なるクロック供給・停止タイミングに対応してゲーティング回路をフリップフロップごとに配置するため、クロックツリーの大部分にはクロックは供給されたままとなる。すなわち、電力消費において大きな割合を占めるクロックツリーについては、その消費電力は削減されないという問題があった。また、データ更新タイミングが複雑な場合や、論理合成時のタイミング制約上ゲーティング回路を挿入できない場合などが存在するため、全てのフリップフロップに対してクロック供給を停止できるとも限らない。そこで、本動画像符号化・復号回路では、論理合成ツールによるクロックゲーティングに加え、前述のマクロブロックレベルパイプラインアーキテクチャの特性を活かした動的クロック供給停止機構と呼ぶ技術を導入した。

一般に、各機能ブロックが1マクロブロックの処理に要するクロックサイクル数は、入力画像に依存する。例えば、可変長符号化を行う機能ブロックがマクロブロックの符号化に要する時間は、参照画像との差分の多い入力画像よりも差分の少ない入力画像の方が短くなる。可変長符号化は参照画像から生成した予測画像と入力画像の差分に対して行うため、参照画像との差分が少ない場合、符号化対象のデータ数が少なくなり処理時間も短くなるためである。前述のマクロブロックレベルパイプラインアーキテクチャでは、全ての機能ブロックが同時にマクロブロックに対しての処理を開始するため、他の機能ブロックよりも早く1マクロブロック分の処理を完了した機能ブロックは、他の機能ブロックが処理を完了するまでアイドル状態となり動作しない(図3.3)。従って、各機能ブロックについてアイドル状態であることを検出し、アイドル状態の機能ブロックに対してのクロック供給をクロックツリーの根本で停止することにより、クロックツリーの消費電力を抑えることが可能となる。また、機能ブロック全体のクロック供給を停止できるため、論理合成ツールによるクロックゲーティングが適用されないフリップフロップの消費電力も削減できる。図3.4に動的クロック供給停止機構の仕組みを示す。本動画像符号化・復号回路は、12のクロックドメインに分割され、ドメインごとにアイドル状態であることを示す信号を外部に出力する。この信号を用いて、各機能ブロックへのクロックの供給を動画像符号化・復号回路の外部から動的に制御する。クロックを外部から制御するため、動画像符号化・復号回路内部については通常のクロックツリー生成が可能であり、回路の流用性及びレイアウト工程における自由度を持たせることができる。

図3.5に、動的クロック供給停止機構による消費電力の低減効果を示す。左の図におけるハッチングされた箇所が、動的クロック供給停止機構により新たに消費電力を低減できる回路である。右のグラフは、HD動画(1280画素×720ライン, 30fps)の符号化処理における、動的クロック供給停止機構が無効及び有効の場合の消費電力を示している。本動画像符号化・復号回路を搭載した試作LSIのレイアウトネット・シミュレーションにより、本動画像符号化・復号回路部のみ消費電力値を測定した。シミュレーションは、レイアウトデータから得た寄生容量を適用して、65MHz動作におけるQCIF(Quarter Common Intermediate Format)動画(176画素×144ライン, 15fps)の符号化処理を行った。得

第3章 動画像符号化・復号回路の低電力化

られた消費電力値に対し、QCIF 動画と HD 動画における 1 秒あたりのマクロブロック数の比例計算を施し、HD 動画符号化処理の消費電力値を求めた。製造プロセスは 90nm CMOS プロセスである。ネットリストはクロックゲーティング機能を自動付加する論理合成ツールにより生成しており、論理合成ツールによるクロックゲーティングの効果は、動的クロック供給停止機構が無効及び有効の両ケースに等しく反映されている。また、両ケースとも、内部メモリとして使用されている SRAM (Static Random Access Memory) へのクロック供給は、動的クロック供給停止機構と独立にクロックサイクル単位で動的に制御され、アクセスのないサイクルでは停止されている。図 3.5 に示す通り、動的クロック供給停止機構はクロックツリーとフリップフロップの消費電力を削減し、16%の消費電力低減を達成した。

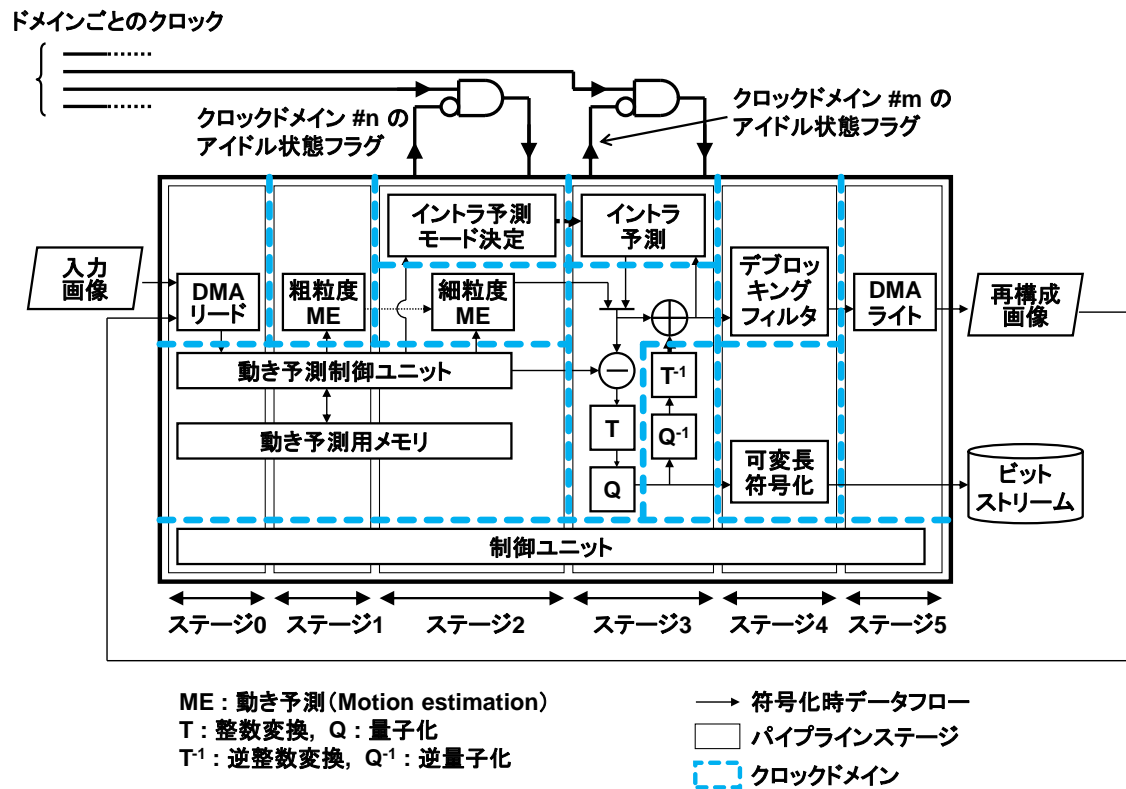


図 3.4 動的クロック供給停止機構の仕組み

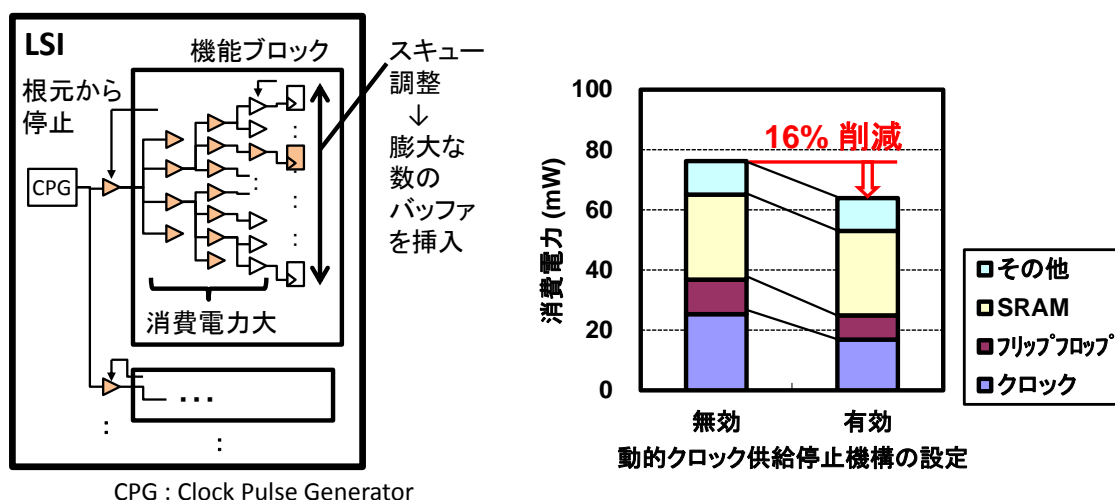


図 3.5 動的クロック供給停止機構による消費電力低減効果

3.3 動画像符号化処理の低電力実装のためのアルゴリズム

3.2 節に述べたように、低消費電力を実現するため、本動画像符号化・復号回路では動的クロック供給停止機構を用いたマクロブロックレベルパイプラインアーキテクチャを採用した。しかし、マクロブロック単位でパイプライン処理を行う場合、必然的にパイプラインステージを跨いだ繰り返し処理やフィードバック処理は不可能となる。また、パイプライン化による小規模化・低電力化を有効に機能させるためには、各パイプラインステージの処理量に大きな偏りがないことが望ましい。従って、符号化効率の低下あるいは画質劣化と引き換えに、繰り返し処理の分割やフィードバック処理の排除などを行ったウォーターフロー型の符号化アルゴリズムを適用することが求められる。本節では、マクロブロックパイプラインアーキテクチャにおいても十分な画質を得ることができる符号化アルゴリズムとして、2つの手法を提案する。

3.3.1 イントラ予測における課題

H.264 のイントラ予測では、4 種類の 16×16 予測モードと 9 種類の 4×4 予測モードが定義されている [ITU03]。最適な予測モードは画像によって異なるため、符号化回路は、各予測ブロックに対して、計 13 種類の予測モードごとに予測画像を生成した上で、最も入力画像に近い予測画像を生成するイントラ予測モードを選択することが望ましい。

また、予測画像は、その予測ブロックに隣接する再構成画像の画素から作られる。図 3.2 に示すように、再構成画像は、予測画像からの差分に対し、整数変換、量子化、逆量子化、及び逆整数変換の一連の処理を行った結果と予測画像を加算して得られる。従って、 4×4 予測モードイントラ予測 (図 3.6) では、 4×4 ブロック (x) のイントラ予測モード決定処理

第3章 動画像符号化・復号回路の低電力化

を開始する前に4x4ブロック (a) から (d) の上記一連の処理が完了していなければならない、また、4x4ブロック (x) の処理が完了する前には4x4ブロック (y) のイントラ予測モード決定処理は開始できない。マクロブロックは16個の4x4ブロックから成るため、1個のマクロブロックの処理に対し、イントラ予測モード決定、イントラ予測、整数変換、量子化、逆量子化、及び逆整数変換の一連の処理を、順に16回繰り返すこととなる。

前述の通り、本動画像符号化・復号回路では、低動作周波数(HD動画を144MHz未満、SD動画を54MHz未満)により消費電力を抑えるために、各マクロブロックの処理サイクル数上限を1280と定義している。その限られた時間内に、予測ブロックごとに上記の繰り返し処理を実行し、かつ、その繰り返し処理を計13種類の予測モードにて試行した上で予測モードを決定するには、並列化された演算器から成る大規模な論理回路が必要となる。

ここで、論理回路の増加を避けるための簡単な方法は、符号化回路で使用するイントラ予測モードの候補を限定して演算量自体を削減することである。例えば、上記繰り返し処理を必要とする4x4予測モードを使用せずに16x16予測モードのみを使用する方法や、予測画像を生成する処理により大きな演算量が必要となるPlaneモードを使用しないなどの方法が挙げられる。しかし、これらの方法では、候補となるイントラ予測モードが少ないために、符号化回路は必ずしも最適な予測モードを選択できず、符号化効率の低下やノイズの発生による画質劣化が発生する。図3.7及び図3.10に、それぞれイントラ予測モードの限定による符号化効率低下及び画質劣化の例を示す。いずれも動画像符号化の評価に一般的に使用される画像シーケンスであり、図3.10では[ITEC05]より提供されている画像シーケンスを使用した。図3.7に示すように、4x4予測モードを使用しない場合、全モードを使用する場合に比べ1.5倍の符号量が発生してしまう。また、図3.10(a)ではPlaneモードを使用しないことにより線状のノイズが見られる。

次項にて、符号化効率及び画質の課題を解決し、より少ない論理回路でマクロブロックの処理サイクル制限を満たす方法を提案する。

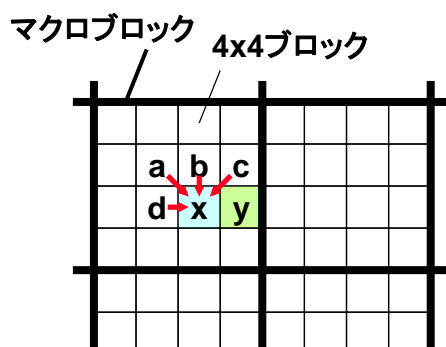


図 3.6 4x4 予測モードイントラ予測

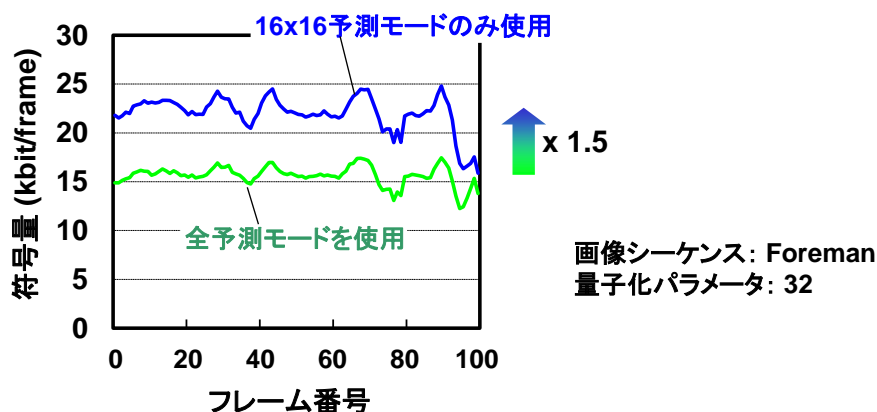


図 3.7 イントラ予測モードの限定による符号化効率低下の例

3.3.2 入力画像からの予測によるイントラ予測モード決定手法

上述の通り、予測画像は再構成画像から生成されなければならない。しかし、イントラ予測モードの決定自体は、必ずしも再構成画像から生成された予測画像を使用する必要はなく、再構成画像の代わりに入力画像から生成された予測画像を使用してもよい。適切に符号化されている状態においては、再構成画像は正確に入力画像を再現していると想定できるため、再構成画像から生成された予測画像を使用して得たイントラ予測モードは、入力画像から生成された予測画像を使用して得たイントラ予測モードと一致することが期待される。そのことを利用し、本動画像符号化回路では、入力画像のみを使用してイントラ予測モードを決定し、最終的な予測画像は再構成画像を使用して生成することとした。

この手法の利点は、イントラ予測モードの決定を、別のパイプライン処理ステージへ移動させることが可能となる点である。図 3.8 に従来方式及び提案方式のイントラ符号化処理フローを示す。提案方式では、イントラ予測モード決定はモード決定パイプライン処理ステージで行われ、イントラ符号化に必要となる残りの処理（イントラ予測、整数変換、量子化、逆量子化、逆整数変換）は、イントラ符号化パイプライン処理ステージで行われる。イントラ予測モード決定は、全ての予測モードにおける予測画像を生成して入力画像と比較するために、多くの演算量を必要とする。そのイントラ予測モード決定をイントラ符号化パイプライン処理ステージにおける繰り返し処理から分離することで、各ステージの演算処理量が減少し、各々に十分な処理時間を確保できる。すなわち、演算器を時分割で共有し論理回路を削減した上で、イントラ予測モード決定は全ての予測モードを順次処理で評価できる。なお、提案方式は、入力画像を周辺画素として使用するまで保持しておくバッファメモリを必要とするが、同じパイプラインステージにて処理する動き予測で使用するメモリと共有できるため、追加のメモリは必要ない。

図 3.9 及び図 3.10 に、提案イントラ予測手法によるそれぞれ符号化効率向上及び画質劣

化抑制の効果を示す。図 3.9 に示す通り、提案手法は、演算量を削減するため 16x16 予測モードのみを使用した符号化方法に対し、符号化効率を 25%改善する。また、再構成画像からモード決定する場合に比べると符号化効率は低下するが、5%未満でありほぼ同等の符号化効率を実現している。さらに、図 3.10 に示す通り、再構成画像から予測するが演算量を削減するため Plane モードを使用していない場合 (a) には線状のノイズが発生するが、提案手法を用いて全てのイントラ予測モードを使用した場合 (b) には線状のノイズが発生せず、画質が改善することがわかる。

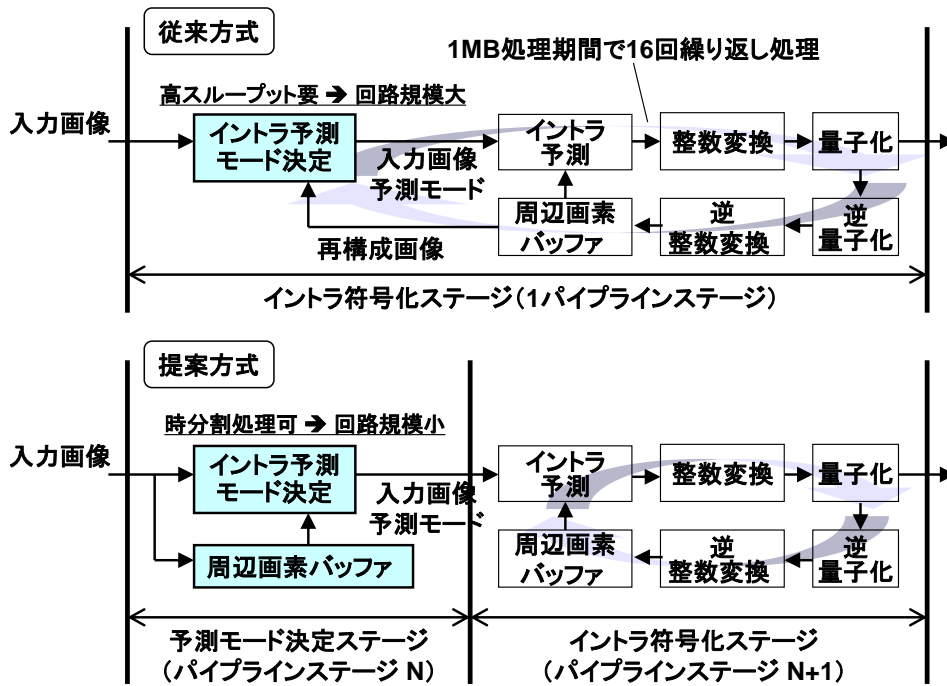


図 3.8 イントラ符号化処理フロー

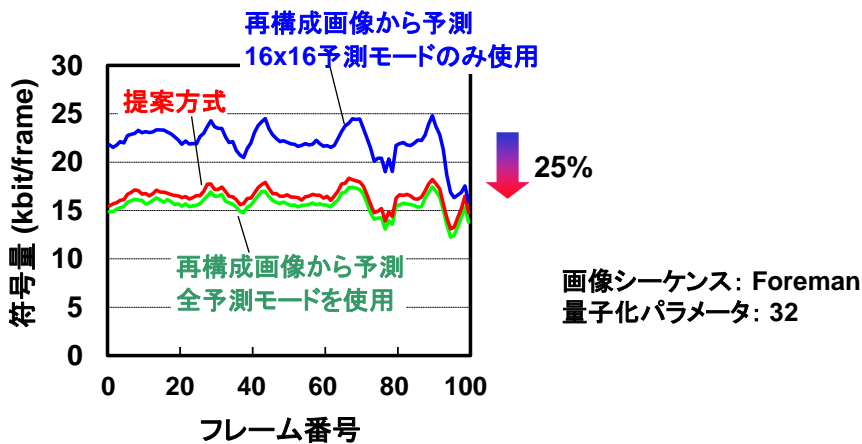


図 3.9 提案イントラ予測手法による符号化効率向上の効果

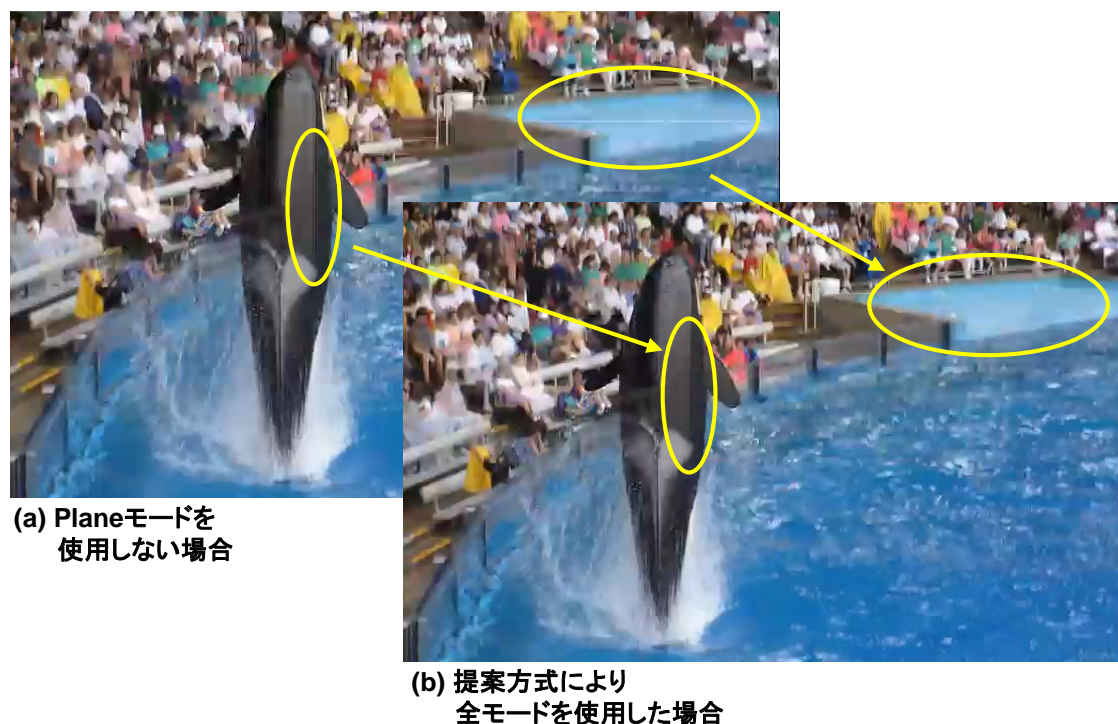


図 3.10 提案イントラ予測手法による画質劣化抑制の効果

3.3.3 入力画像からの予測によるイントラ予測モード決定手法の改善

前項にて提案した入力画像からの予測によるイントラ予測モード決定手法のアプローチには、以下の課題があった。既に説明したように、提案手法は、再構成画像が正確に入力画像を再現していることを仮定している。従って、もし再構成画像が著しく入力画像と異なる場合、最適なイントラ予測モードが選択されない。量子化パラメータ (Qp) が大きい場合、再構成画像と入力画像の間に大きな差分が生じるため、画質が劣化してしまう [NAKK09]。そこで、 Qp に応じて入力画像に量子化処理を施し、再構成画像に近似することで、この問題を解決した。図 3.11 に量子化を適用した提案イントラ符号化処理フローを示す。入力画像に対する量子化処理は、各画素値の下位ビットをマスクすることで実現し、消費電力の増加を抑止した実装とした。

図 3.12 に量子化を適用した提案イントラ予測手法による符号化効率向上の効果を示す。量子化処理を適用した提案手法は、量子化処理を適用しない場合に比べ符号化効率を 18% 改善し、 Qp が大きい場合でも、再構成画像からモード決定する符号化方法からの符号化効率劣化は 2% 未満であり、ほぼ同等の符号化効率を実現した。

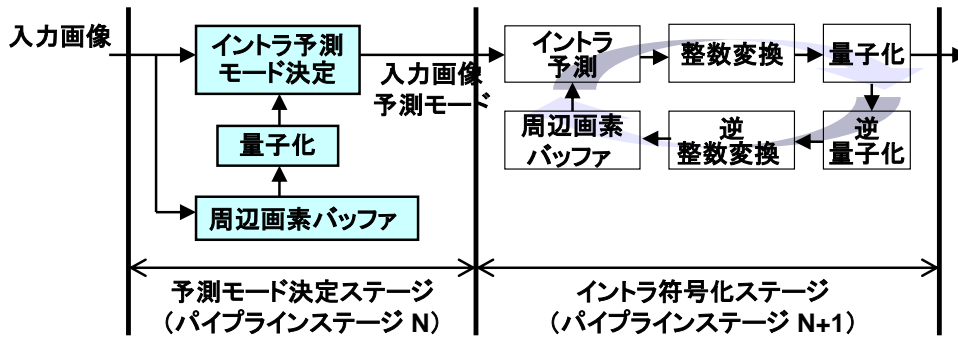


図 3.11 量子化を適用した提案イントラ符号化処理フロー

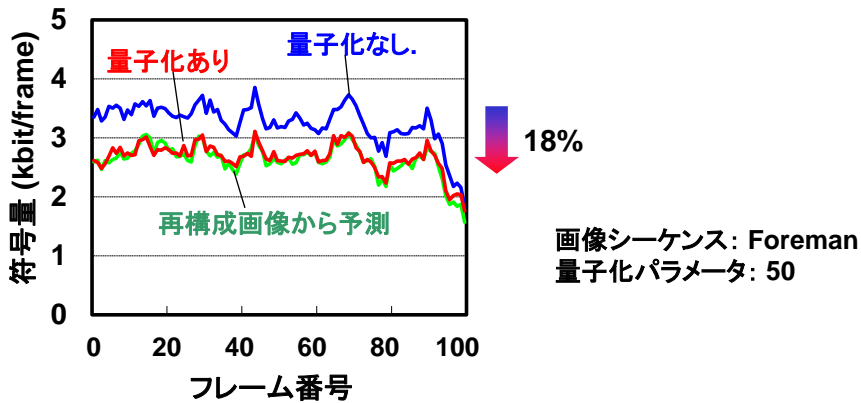


図 3.12 量子化を適用した提案イントラ予測手法による符号化効率向上の効果

3.3.4 MATD による係数有無予測に基づくインター予測モード決定手法

本項では、インター予測の効率を改善する方法を提案する。

一般的に、高画質を実現するためには、予測モード決定において RD (Rate-Distortion) 最適化法[SULL98]を用いることが理想的である。RD 最適化法では、全ての予測モードにおいて符号化処理全体を実行し、それぞれの場合における符号量を算出した上で、予測誤差と符号量の双方を勘案した最適な予測モードを決定する。そのためには、マクロブロック単位でパイプライン処理を行う場合、パイプライン処理ステージを跨いだ処理の繰り返しが必要となり、マクロブロックレベルパイプラインアーキテクチャには整合しない。本動画像符号化回路では、マクロブロックレベルパイプラインアーキテクチャに整合させるため、RD 最適化法を簡略化して、符号量としては動きベクトル分のみを勘案して動き予測を行う。すなわち、動き予測の段階で式 (3.2) を使用して符号化評価値を計算し、最小の評価値となるインター予測モードに決定するウォーターフロー型のアルゴリズムを採用した。

$$\text{符号化評価値} = \text{SATD} + \lambda \times (\text{動きベクトル符号量}) \quad (3.2)$$

λ : QP に応じた係数

ここで、SATD (Sum of Absolute Transformed Difference) は式 (3.3) にて計算され、予測画像と入力画像の類似度を表す。本動画像符号化回路では、H.264 Baseline Profile における整数変換の単位である 4x4 ブロックごとに SATD を計算し、より大きなブロックの SATD については、含まれる各 4x4 ブロックの SATD の総和を用いている。

$$\text{SATD} = \sum_{i,j} | f(P_{i,j} - R_{i,j}) | \quad (i = 0 \sim 3, j = 0 \sim 3) \quad (3.3)$$

$f(x)$: Hadamard 変換
 $P_{i,j}$: 入力画像の i 行 j 列の画素値
 $R_{i,j}$: 予測画像の i 行 j 列の画素値

式 (3.3) 中の $f(x)$ は Hadamard 変換[PRAT69]であり、4x4 ブロックに適用する際の変換行列を式 (3.4) に示す。

$$\mathbf{H} = \frac{1}{2} \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{pmatrix} \quad (3.4)$$

この手法は動画像圧縮符号化において一般的なものである[HUAN05b][KUNZO7]が、RD 最適化法に比べてスキップマクロブロックが少なくなる傾向があった。スキップマクロブロックは、量子化後に差分直交変換係数の残余を持たず、かつ、動きベクトルが予測動きベクトルと一致するマクロブロックである。スキップマクロブロックは、係数符号量、動きベクトル符号量ともゼロであり、最も符号化効率の高いマクロブロックであるため、スキップマクロブロックが少ないことは、低ビットレートでの符号化において画質を劣化させる。図 3.13 (a) に、マクロブロックの SATD を横軸とし、係数の残余を持つマクロブロックと持たないマクロブロックの分布を示す。SATD の値と係数残余の有無には明確な関係が見られず、大きな SATD を持つにも関わらず係数の残余が残らないマクロブロックが存在する。これは、理想的にはスキップマクロブロックとして符号化されるべきマクロブロックに対し、スキップ位置 (動きベクトル符号量がゼロとなる動きベクトル位置) において式 (3.2) で算出される符号化評価値が大きくなり、異なる位置での評価値がより小さくなることありうることを示している。すなわち、式 (3.2) で算出される符号化評価値はスキップマクロブロックの評価を正確に表現できておらず、結果としてスキップマクロブ

ロックが少なくなってしまう。

この問題を解決するために、以下の手法を提案する。本動画像符号化回路では、係数の残余が存在するか否かを動き検出のフェーズで予測するために、SATD の代わりに Maximum Absolute Transformed-Difference (MATD) を用いた符号化評価値を適用する。MATD は、式 (3.5) にて定義される新たな評価値である。

$$MATD = \max(| f(P_{i,j} - R_{i,j}) |) \quad (i = 0\sim3, j = 0\sim3) \quad (3.5)$$

$f(x)$: Hadamard 変換

$P_{i,j}$: 入力画像の i 行 j 列の画素値

$R_{i,j}$: 予測画像の i 行 j 列の画素値

図 3.13 (b) に、マクロブロックの MATD を横軸とし、係数の残余を持つマクロブロックと持たないマクロブロックの分布を示す。MATD の値と係数残余の有無には強い相関があり、閾値よりも小さい MATD を持つマクロブロックには係数の残余が存在していない。すなわち、MATD が閾値よりも小さい場合には、そのマクロブロックはスキップマクロブロックになりやすいと予測できる。ここで、量子化パラメータ (Qp) が大きい場合には、MATD の値が大きくても係数残余を持たないマクロブロックとなることが想定されるため、閾値は Qp に依存することが予想される。図 3.14 に Qp と閾値の関係を示す。本図は Qp ごとの閾値を取得しグラフ化したものであり、閾値は Qp から一意に決定できることを示している。従って、マクロブロックごとに、 Qp から決めた閾値と MATD の大小を比較することで、係数の残余が存在するか否かを高精度で予測することが可能となる。

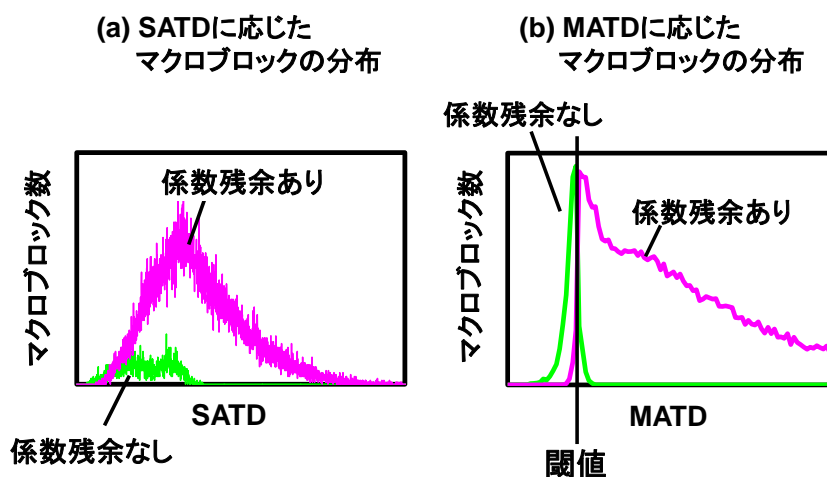


図 3.13 係数残余を持つマクロブロックと持たないマクロブロックの分布

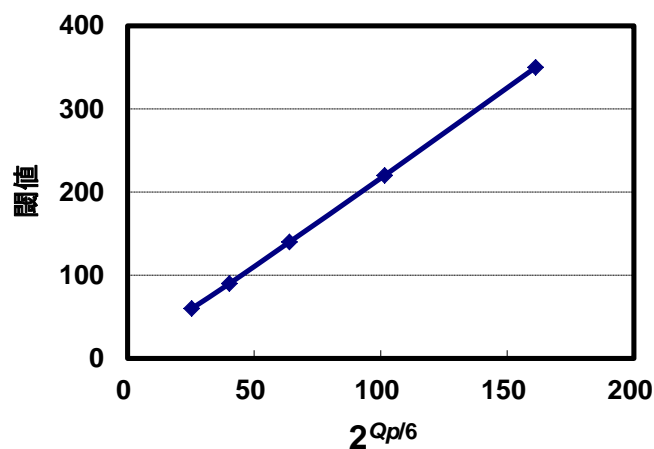


図 3.14 Qp と閾値の関係

以上のように、本動画像符号化回路は、MATD から係数の残余の存在を予測することで、インター予測モード決定においてスキップマクロブロックの符号化評価値を適切に算出することができる。図 3.15 に提案インター予測手法を実現する論理回路のブロック図を示す。提案手法のために追加する論理回路は、最大値の検出器、MATD と閾値を格納するフリップフロップ (F/F)、MATD と閾値の比較器のみであり、1K ゲートにも満たず非常に小規模であるため、消費電力を増加させることなく低ビットレートにおける画質を改善可能である。図 3.16 に提案インター予測手法による符号化効率の改善効果を示す。[ITEC05]より提供されている画像シーケンスを使用し、RD 曲線 (Rate-Distortion curve) を作成した。提案手法は、スキップマクロブロックが多く発生する動きの小さな動画像における低ビットレートでの符号化効率を 10%以上改善しており、スキップマクロブロックの少ない動きの速い動画像においても悪影響を及ぼすことはない。

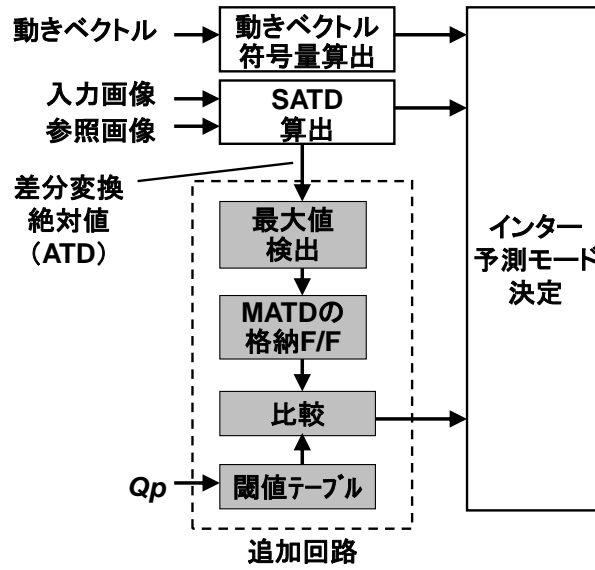


図 3.15 提案インター予測手法を実現する論理回路のブロック図

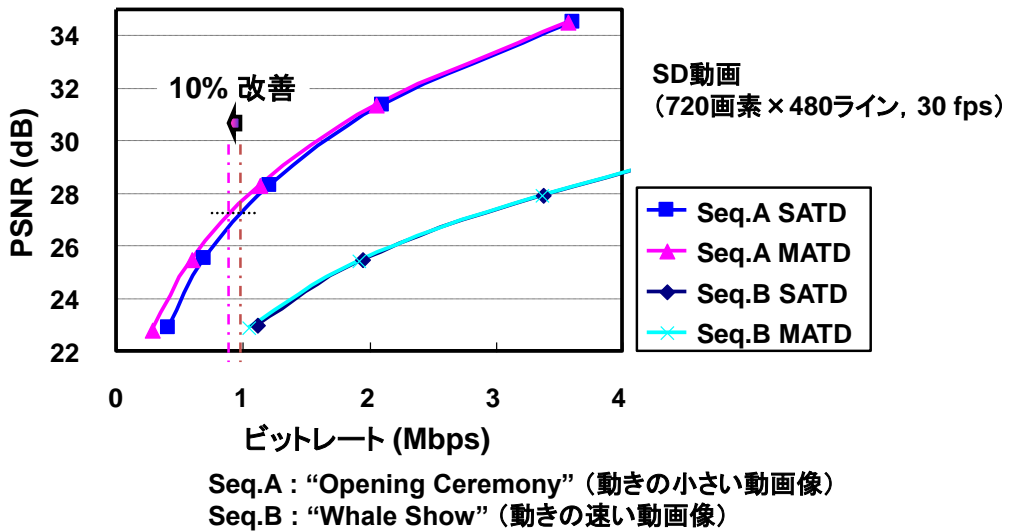


図 3.16 提案インター予測手法による符号化効率の改善効果

3.4 結言

本章では、モバイル機器向けに開発した低電力かつ高画質の H.264/MPEG-4 両対応動画像符号化・復号回路について論述した。この動画像符号化・復号回路は HD 動画対応の処理性能を持ち、H.264 は Baseline Profile, MPEG-4 は Advanced Simple Profile に対応している。マクロブロックレベルパイプラインアーキテクチャをベースに、同期タイムスロ

第3章 動画像符号化・復号回路の低電力化

ット制御と動的クロック供給停止機構を組み合わせることにより消費電力を低減し、低動作周波数でリアルタイムに高解像度の動画処理可能な見通しを得た。また、入力画像からの予測によるイントラ予測モード決定手法と MATD (Maximum Absolute Transformed-Difference) による係数有無予測に基づくインター予測モード決定手法を提案し、消費電力を増やすことなく高画質を実現する見通しを得た。本動画像符号化・復号回路を搭載した LSI を 90nm CMOS プロセスにて試作しており、試作及び評価結果について第6章で述べる。

第 4 章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

4.1 緒言

本章では、第 3 章にて提案した高解像度・低電力を実現する技術を適用した動画像符号化・復号回路を組み込むシステム LSI のアーキテクチャについて論述する。近年、画像情報サービスの多様化による画像処理要求の拡大、及び、LSI の集積度向上に伴い、動画像符号化処理はシステム LSI での実現が一般的となっている。システム LSI では、複数のアプリケーションが並列に実行されていることが前提となるが、プロセッサ、バス、外部メモリなどの共用リソースの競合により動画像符号化処理あるいは他のアプリケーションの性能低下が発生する問題があった。従って、安定したシステムの構築を行うためには、この問題を回避する LSI アーキテクチャが必要である。特に、車載情報システム (IVI: In-Vehicle Infotainment System) と呼ばれるカーナビゲーションと車内メディア視聴環境を統合したシステムには、車の運転補助機能が取り込まれ、これらの両立を実現しうる最適な LSI アーキテクチャが求められている。さらに、システム LSI は多数のマスタモジュールからバスを介して共用外部メモリ (Unified Memory) にアクセスが行われる構成となるため、メモリアクセスがボトルネックとなり性能低下が発生し、同時に、膨大な動画像データのバストラフィックが消費電力の増大を招くという問題があった。システム LSI では一般的に大容量かつ広帯域のメモリアクセスが可能な DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) を外部メモリとして接続するため、メモリアクセスによる性能低下を回避するためには、DDR の特性を考慮し、如何に効率的にアクセスするかが重要である。以上の課題を解決するため、本章では、車載情報システム向けシステム LSI の実現に向けて、高性能及び低電力動画像処理を実現する LSI アーキテクチャを提案する。

近年、車載情報システムは、インフォテイメント機能だけではなく運転補助機能もサポートするシステムへと進化しており、多彩な動画像処理が求められている。図 4.1 に車載情報システムにおける動画像処理の例を示す。インフォテイメント機能向けには、接続したモバイル機器に保存されている動画像コンテンツ、DVD や Blu-ray などのディスクメディア、デジタル放送、インターネットからのストリーミングなどの様々な動画像を再生し、ダッシュボードに組み込まれた LCD (Liquid Crystal Display) 画面やリアシートモニタなど複数の表示機器に対し、並行して動画像を表示しなければならない。一方、運転補助機能向けには、サラウンドビューシステムを想定し、複数の周辺監視用車載カメラから受信した動画像信号を用いて俯瞰画像 (Top-view image) を生成し、運転ガイド用の CG (Computer Graphics) や物体の認識結果などを付加して、運転手に表示しなければならない。その際、イーサネットによる車内動画転送の普及に伴い、車載カメラからの動画像

第4章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

信号は EthernetAVB 規格に基づき H.264 にて符号化されていると想定される。その場合、車載情報システムは、運転補助のための画像処理に先立ち、それらを復号する必要がある。また、イーサネット経由でリアシートモニタに動画像信号を転送したり、ドライブレコーダとしてカメラ画像を録画したりするための符号化処理も求められる。このように、車載情報システムには膨大な量の動画像処理が求められ、運転補助機能のための画像認識処理などとの並列処理、及び、安定した動作を行うために発熱量を抑える低電力が重要な技術となっている。

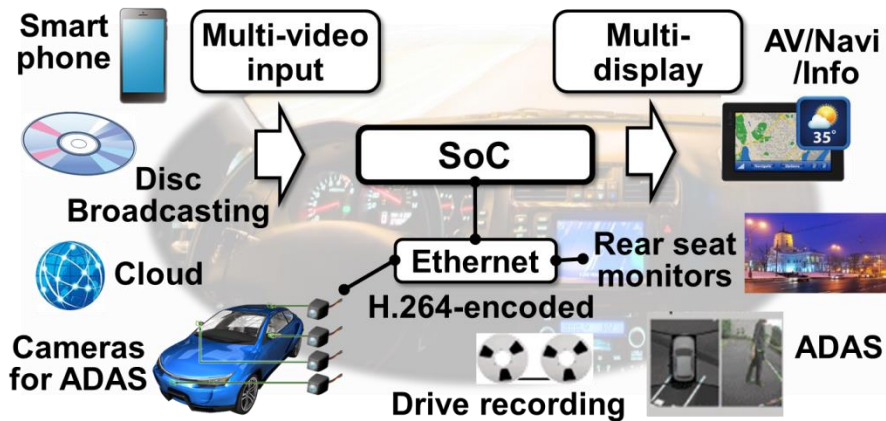


図 4.1 車載情報システムにおける動画像処理

以上の背景から、本章では、以下の 2 点の主な課題を解決する動画像処理回路を搭載した車載情報システム向けシステム LSI の開発[MOCH16][MOCH17]について論述する。

- (1) 最大で Full-HD (1920 画素×1080 ライン, 30fps) 12 チャンネル分の動画像処理が可能であり、かつ、それらの動画像処理はナビゲーション処理や画像認識処理と並行に実施可能でなければならない。この性能は、以下に示す想定最大ユースケースからの要請である。
 - (ア) Blu-ray ディスク再生：Blu-ray 規格に基づき Full-HD 2 チャンネル分の処理性能が必要
 - (イ) リアシートエンタテインメント：60fps のリアシートモニタ 2 台に対し、(ア)と独立かつ各々異なるコンテンツの表示を想定し、Full-HD 4 チャンネル分の処理性能が必要
 - (ウ) 周辺画像処理：前後左右の 4 方向を撮像する車載カメラの搭載を想定し、Full-HD 4 チャンネル分の処理性能が必要
 - (エ) ドライブレコーダ録画：前方画像と俯瞰画像の 2 つの動画像の録画を想定し、Full-HD 2 チャンネル分の処理性能が必要
- (2) Full-HD 12 チャンネルの動画像処理は、ワーストケースでは 20GB/s 以上のメモリ帯域

第 4 章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

を必要とするため、メモリアクセスのデータ量を削減しなければならない。広帯域に対応したメモリとして 32bit の LPDDR4-3200 を 2 個使用したとしても、最大帯域は 25.6GB/s である。有効帯域が 80% の場合、約 20GB/s しか使用できず、動画像処理のみで使い切ってしまうこととなる。従って、動画像処理におけるメモリアクセスのデータ量を削減しない限り、ナビゲーション処理や画像認識処理の性能が劣化してしまう。また、動画像処理の消費電力において、メモリアクセスは大きなパーセンテージを占めるため、消費電力も増大してしまう。

本章の構成を以下に示す。4.2 節にて、システム LSI の全体構成と動画像処理の仕様及びアーキテクチャを示す。本アーキテクチャは、6 種類 17 個の専用動画像プロセッサを搭載することで、Full-HD 12 チャンネルの動画像処理を、CPU や GPU にて行うナビゲーション処理や画像認識処理と並行して行うことが可能である。4.3 節では、メモリアクセスのデータ量削減技術について述べる。非可逆及び可逆の画像データ圧縮処理を最適な組み合わせで適用することで、Full-HD 12 チャンネルの動画像処理を、他の処理を阻害することなく実現可能とした。特に、キャッシュを活用した 256B 単位の可逆圧縮を適用することで、動画像符号化処理に要するメモリアクセスのデータ量を劇的に削減している。最後に 4.4 節にて本章における提案内容をまとめる。

4.2 車載情報システム向けシステム LSI のアーキテクチャ

4.2.1 システム LSI の構成及び動画像処理仕様

表 4.1 に本システム LSI の仕様をまとめる。

本システム LSI は、CPU、GPU、DSP、及び、アプリケーションに特化した専用プロセッサ（専用回路）を複数搭載したヘテロロジーニアスなプロセッサ構成を採用した。ナビゲーション処理や画像認識処理は、運転シーンに応じた処理の切り替えや、製品に応じたアルゴリズムや GUI (Graphical User Interface) の改版など、ソフトウェア処理による大きな柔軟性が必要とされるため、CPU 及び GPU での処理が適している。また、画像認識処理の一部の処理については、より特化した DSP を搭載することで高速演算を可能とした。一方、動画像処理については、高いスループットが必要とされること、及び、ナビゲーション処理や画像認識処理と並行に実施可能でなければならないことから、CPU 及び GPU に負荷を掛けない専用プロセッサによる実装を選択した。以下、動画像処理の仕様を詳述する。

本システム LSI は、外部メモリとして 25.6GB/s の広帯域を持つ LPDDR4 を接続し、YUV420 画像フォーマット換算で 750Mpixels/s の処理性能、すなわち Full-HD 12 チャンネルの動画像処理を可能とする。ここで、本論文において pixel は輝度と色差の両コンポーネントを含んでいるものとし、750Mpixels は YUV420 の場合 1125M サンプルに相当する。

第4章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

搭載する動画像符号化・復号回路は、YUV420に対応し、最大4K解像度(3840画素×2160ライン、または、4096画素×2160ライン)超のH.264及びH.265復号処理をサポートし、Full-HDあたり40Mbpsのビットストリーム処理性能を持つ。処理に柔軟性を持たせるため、250Mpixels/sの処理性能の回路を3個搭載し、1個あたり250Mpixels/sの処理性能内でピクチャごとに符号化または復号を排他的に実行可能とする。さらに、デインタレース、解像度変換、画面合成、色調整、画像歪み補正など、インフォテイメント機能及び運転補助機能において一般的に使用される様々な画像処理を搭載する。それらの画像処理により生成した動画像を、4K解像度30fps2個、Full-HD解像度60fps2個の計4個のモニタに表示することを可能とする。

表 4.1 車載情報システム向けシステム LSI の仕様

CPU	ARM® Cortex-A57® x4, Cortex-A53® x4, Cortex-R7® x1	
GPU	3Dグラフィックス対応, 画像認識処理対応	
DSP	画像認識処理用, オーディオ処理用, 暗号処理用	
動画像処理動作周波数	400MHz	
外部メモリ	LPDDR4-3200, 32bit x 2チャンネル (25.6GB/s)	
動画像符号化復号処理	処理性能	750Mpixels/s YUV420 1920x1080 x 30fps x 12チャンネル @H.264 40Mbps/チャンネル @Full-HD, 160Mbps/チャンネル @4K
	対応最大解像度	4096x2304 @H.265, H.264
	対応規格	H.265, H.264, MPEG-2/4, VC-1, VP8
画像処理	デインタレース, 解像度変換, 画面合成, 色調整, 画像歪み補正, その他	
動画像表示出力	3840x2160 x 30fps x 2チャンネル, 1920x1080 x 60fps x 2チャンネル	

4.2.2 階層バスアーキテクチャ

図 4.2 に本システム LSI のブロック図を示す。Full-HD 12チャンネルの動画像処理性能を実現するため、図 4.2 において網掛けで示した6種類、17個の動画像処理プロセッサを搭載した。動画像符号化処理のための Stream processor (SP)及び Codec processor (CP)、画像歪み補正を行う Rendering processor (RP)、汎用画像処理のための Video processor (VP)、画面合成を行う Blending processor (BP)、モニタへの動画像信号出力に際し画面生成と色調整を行う Display processor (DP)の6種類である。DPを除く各プロセッサは Full-HD 30fps を4チャンネル分処理可能な性能を持つ。DPに関しては、2つの4Kモニタと2つの Full-HD モニタに同時出力可能とするため、2つのプロセッサは4K 30fps、残りの2つのプロセッサは Full-HD 60fps の出力を可能な仕様とした。これらのプロセッサを搭載する

第 4 章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

ことで、Full-HD 12 チャンネルの動画像処理を、CPU や GPU にて行うナビゲーション処理や画像認識処理と並行して行うことを可能とした。

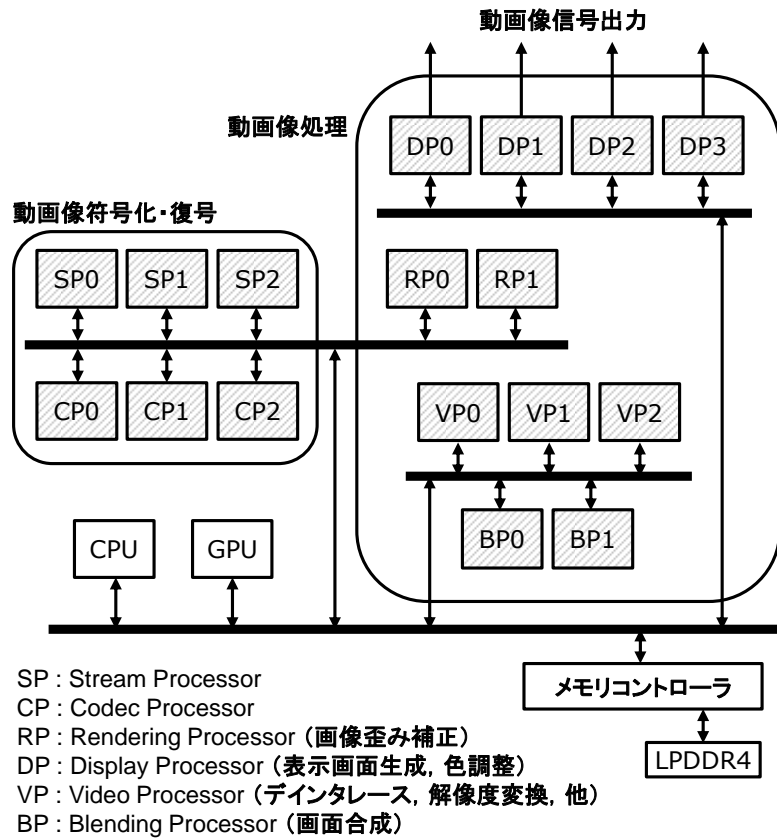


図 4.2 車載情報システム向けシステム LSI のブロック図

これら全てのプロセッサは、階層的に構成されたバスにて LPDDR4 メモリ及び互いに接続されている。表 4.1 に示した仕様を実現するためには、LSI は大規模とならざるを得ず、単一のシステムバスに全てのプロセッサを接続してしまうとタイミング設計が困難となる。そこで、バス及び接続するプロセッサ群をタイミング設計が可能な規模に分割し、各階層にてタイミング設計を行えるアーキテクチャとした。一方で、階層的なバス構成を採用することにより、別の課題が発生する。図 4.3 は、階層バス構成による課題と E2E バストラフィック最適化制御による解決を示した図である。LSI のオンチップバスはフリップフロップで構成され、フリップフロップ上をデータが伝わっていくため、メモリアクセスが集中するとバス上にトランザクションが滞留してしまう。プロセッサのメモリアクセス量はユースケースに応じて想定可能であり、十分な帯域のバスを設計することで平均的にはトランザクションの滞留は発生しない。しかし、プロセッサのメモリアクセスタイミングは任意であるため、マイクロな時間 (数 100 サイクル) においてはメモリアクセスの集注が発生し、トランザクションの滞留が発生しうる。単一バスにおいては、リアルタイム処理のメ

第4章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

メモリアクセスを遅延させないために、合流点において優先度の高いトランザクションを優先して受け付けるよう制御を行う手法が用いられてきた。しかし、階層バスでは、図 4.3 左図に示すように、他のバスからのメモリアクセスが集中してバス下流にてトランザクションの滞留が発生している場合、バス上流にて優先度の高いトランザクションを優先しても、バス下流に滞留した優先度の低いトランザクションに阻害され、優先度の高いトランザクションを発行するプロセッサの性能が低下してしまう。この問題を回避するため、システム LSI 上のバスネットワークに適用する E2E (End-to-End) バストラフィック最適化制御を考案し適用した。図 4.3 右図に E2E バストラフィック最適化制御による解決方法を示した。メモリコントローラに配置した最適化制御部にて、各プロセッサが発行するメモリアクセスの充足度を監視する。ここで、充足度とは、各プロセッサでの処理に最低限必要なメモリアクセス量に対し、実際にメモリコントローラで受け付けられている割合である。この充足度に応じて、バス入口でのトランザクション受け付けを制御する。優先度の高いトランザクションは固定的に常に優先して受け付ける。一方、優先度が低く、かつ、充足度の過剰なプロセッサの発行するトランザクションは、メモリアクセスの混雑時はバス入口でのトランザクション受け付けを制限する。このような制御を行うことにより、優先度の高いトランザクションがバス内に滞留することを防止し、メモリアクセスの競合による各プロセッサの性能低下を抑制することを可能とした。なお、メモリアクセスの非混雑時はバス入口でのトランザクション受け付けを制限しないようにすることで、プロセッサの最大性能の低下は発生しない。図 4.4 に E2E バストラフィック最適化制御の効果を示す。ナビゲーション処理や運転補助機能向けの画像認識処理を担う GPU の最大処理性能を各動作条件して測定した。バストラフィック最適化制御を行わない場合、インフォテイメント機能向けの動画像処理の負荷が重くなるに伴い、GPU の最大処理性能が低下していくことがわかる。一方で、バストラフィック最適化制御によりバス状態を最適化することで、常に最大性能を発揮できている。本アーキテクチャにより、ナビゲーション処理や画像認識処理とその他の動画像処理を、互いに性能を劣化させることなく並行に実施することを可能とした。

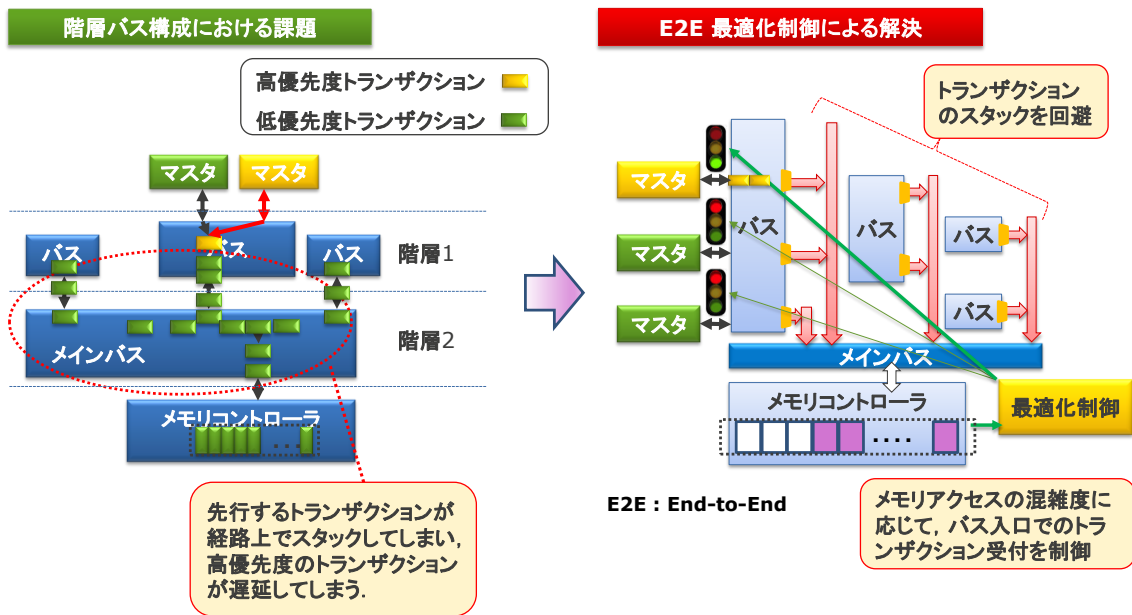


図 4.3 階層バス構成による課題と E2E バストラフィック最適化制御による解決

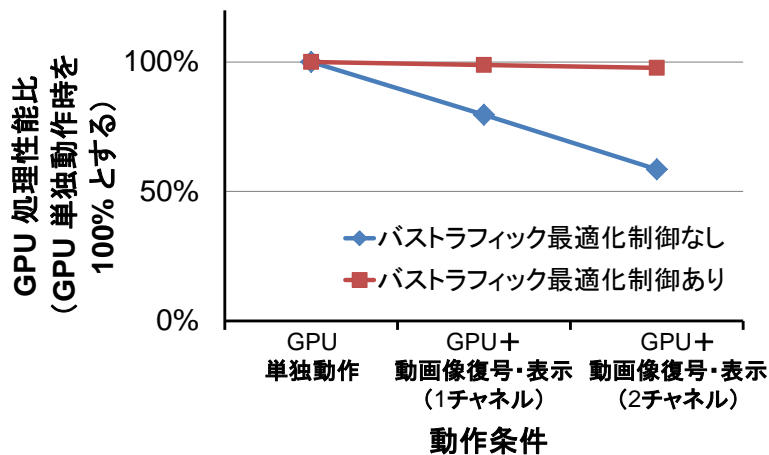


図 4.4 E2E バストラフィック最適化制御の効果

4.2.3 プロセッサの動作周波数調整によるピーク電力の抑制

以上の通り、本アーキテクチャは多数の動画像処理プロセッサを搭載することで、高性能の動画像処理を可能とする。一方で、要求性能が低いユースケースにおいても、全てのプロセッサが同時に動作してしまうと、ピーク電力が大きくなってしまう。これを避けるため、図 4.5 に示すクロック調整によるピーク電力の抑制手法を適用した。各プロセッサは、周期的に数サイクルの期間のみクロックをマスクすることで、動作周波数を調整することができる。クロックパルス生成器 (CPG) は、複数の動画像処理プロセッサ間で共通に使用されるルートクロックを生成する。CPU 上で実行されている各アプリケーションソフト

第 4 章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

ウェアから、ルートクロックを入力とするクロックマスク回路を制御することで、各動画像処理に適した動作周波数に調整したクロックを得ることができる。本手法は、異なるアプリケーションソフトウェアにより制御される他の動画像処理プロセッサ上での他の動画像処理に影響を与えることなく、対象のプロセッサの動作周波数のみを調整することを可能とする。例えば、3 個の Codec processor (CP)が同じ垂直同期信号 (Vsync) により同期して 3 チャンネルの Full-HD を復号する場合、ピーク電力は Full-HD 12 チャンルの最大性能時と同一となる。しかし、アプリケーションソフトウェアからクロック周波数を 1/4 にする設定を行うことで、処理時間を 4 倍にする代わりにピーク電力を 1/4 に削減することができる。このように、本手法は、最大性能が不要の場合に、消費電力を平均化してピーク電力を抑制し、車載情報システムに必要とされる安定した動作を行うための熱管理を容易にする。

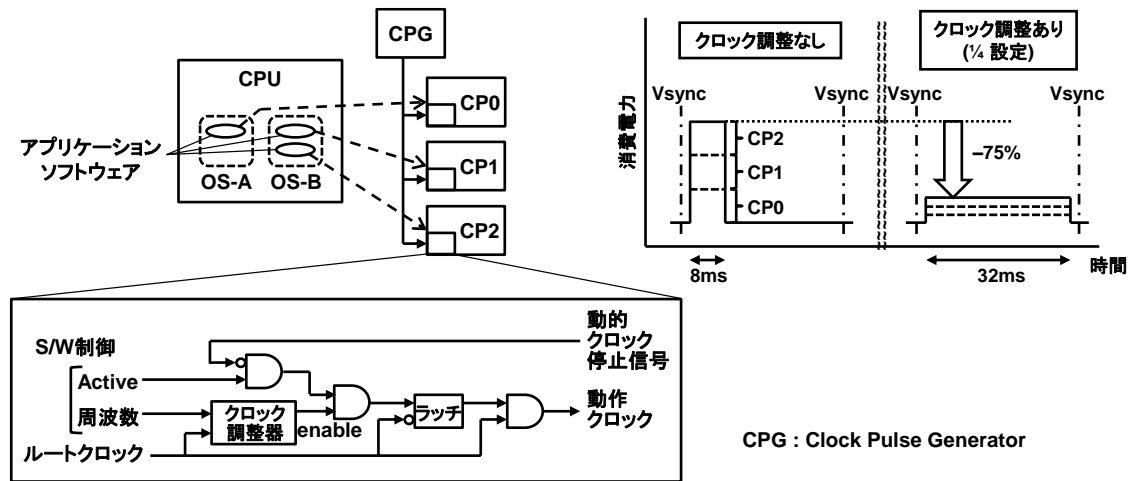


図 4.5 クロック調整によるピーク電力の抑制手法

4.3 データ圧縮によるメモリアクセス量の低減

目標とする Full-HD 12 チャンルの動画像処理には 20GB/s 超のメモリ帯域が必要とされるため、メモリアクセスは、システム LSI の総合処理性能におけるボトルネックであり、また、電力消費における重要な要因である。提案するシステム LSI は 32bit データ幅の LPDDR4-3200 を 2 個接続でき、25.6GB/s の広帯域を確保するが、それでも最大有効帯域は 20GB/s 程度である。従って、動画像処理で 20GB/s 超を消費してしまうと、システム LSI の他の処理が阻害され、画像認識処理などを行っている CPU や GPU 性能が低下してしまう。また、動画像符号化処理において、バスの消費電力は全体の 40% 近くを占める [MOCH16]。従って、低消費電力化にはバス転送の削減が重要である。動画像処理におけるメモリアクセスデータの多くは動画像データであるため、動画像プロセッサのバスイン

第4章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

タフェース部に動画像データの圧縮回路を実装することで、メモリアクセスデータを削減し、動画像処理で使用するメモリ帯域を削減可能とした。その結果、画像認識処理が DDR に対し容易にアクセスできるようになり、システム LSI の総合処理性能を改善できる。

4.3.1 メモリアクセスデータ圧縮を用いた LSI アーキテクチャ

本システム LSI におけるメモリアクセスデータ圧縮の特長は、可逆と非可逆という異なる圧縮方法を組み合わせ、画質とシリコン面積の最適化を図っている点である。本システム LSI では可逆圧縮、非可逆圧縮とも DPCM (Differential Pulse Code Modulation) ベースの独自方式を適用した。図 4.6 に適用した非可逆圧縮方式の画質を示す。本システム LSI の非可逆圧縮は 50% 固定の圧縮率で、Full-HD 動画像シーケンスを平均 42.9dB の Peak signal-to-noise ratio (PSNR) で圧縮する。また、図 4.7 に示した非可逆圧縮方式による圧縮画像例のように、複数回の圧縮及び伸長を繰り返しても局所的なノイズを除き視覚的な画質劣化は発生しない。すなわち、軽微な画質劣化でメモリアクセスデータ量を半分に減らすことができる。一方、可逆圧縮は画質の劣化を発生させないが、一般に複雑な回路を必要とするため非可逆圧縮に比べより大きいシリコン面積となり、本システム LSI では可逆圧縮は非可逆圧縮の 4.5 倍の面積である。軽微な画質劣化は画面サイズの小さい車載ディスプレイにおいては感知できないが、動画像符号化処理においては軽微な画質劣化が蓄積され、見逃せないノイズへと拡大される。従って、可逆圧縮・伸長回路 (LLC・LLD) を動画像符号化・復号回路 (CP) に適用することで画質を維持し、非可逆圧縮回路 (LC) を Video processor (VP), Blending processor (BP), Display processor (DP) に適用してシリコン面積を削減した。図 4.8 にメモリアクセスデータ圧縮回路の配置を示す。

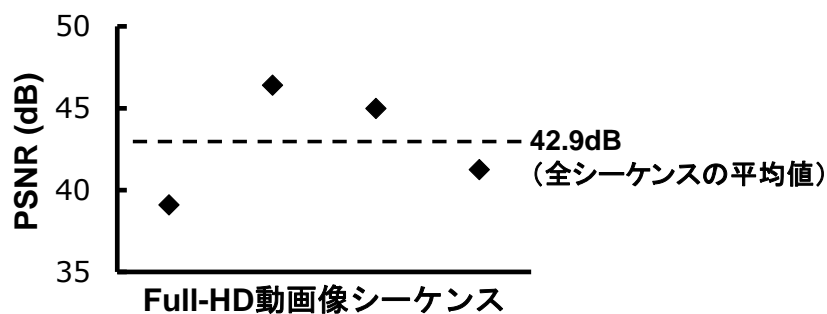


図 4.6 非可逆圧縮方式の画質



図 4.7 非可逆圧縮方式による圧縮画像例

動画符号化・復号

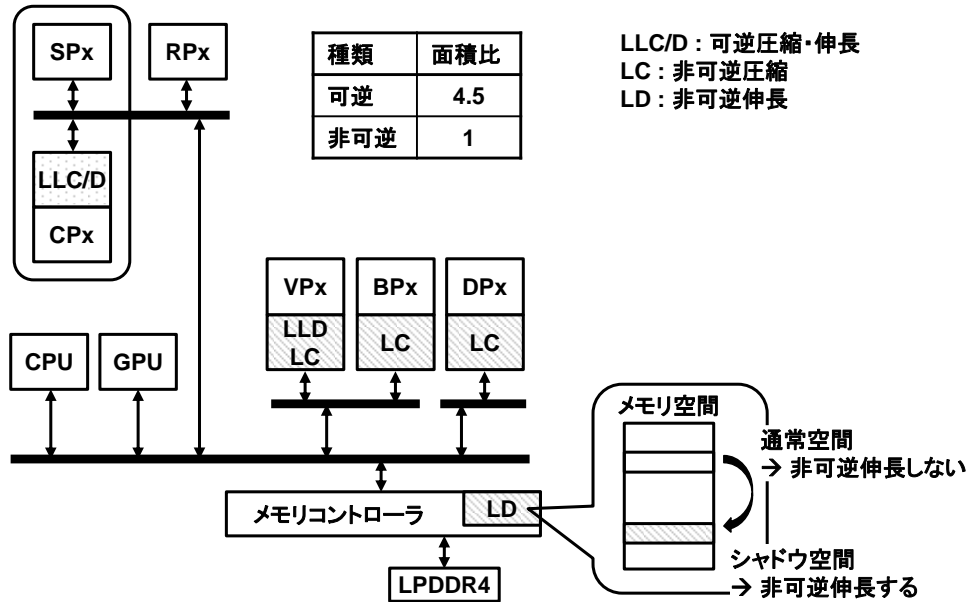


図 4.8 メモリアクセスデータ圧縮回路の配置

図 4.9 に、本システム LSI における動画処理データフローの典型例を示す。動画コンテンツ再生のユースケースにて可逆及び非可逆圧縮を適用した動画処理データフローである。動画符号化・復号回路が動画ビットストリームを復号する際はメモリアクセスデータに対し可逆圧縮が適用され、後続の処理には非可逆圧縮が適用される。VP が機能として持つデインタレース、解像度変換やその他の一般的な動画処理は、復号処理の直後に行われることが想定されるため、VP に可逆圧縮の伸長回路 (LLD) を実装し (図 4.8)、可逆圧縮と非可逆圧縮の適用領域の橋渡しとして機能するようにした。図 4.9 に示すような典型的なユースケースにおいては、ユーザーは CPU や GPU を用いて CG 画像をオーバーレイする必要がある。従って、CPU と GPU は、非圧縮画像と同じように非可逆圧縮画像

第 4 章 高性能及び低電力動画処理を実現するシステム LSI アーキテクチャ

を読み込めなければならない。また、動画処理プロセッサは、非可逆圧縮画像と、CPU や GPU がメモリに書き込んだ非圧縮画像を容易に切り替えつつ読み込めなければならない。そこで、非可逆圧縮の伸長回路 (LD) をメモリコントローラ内に配置し (図 4.8)、特定のアドレス空間にアクセスすることで伸長機能が有効となるようにした [HUYN17]。伸長機能を有効とするアドレス空間はソフトウェアにより設定可能とし、例えば、ユーザーによりシャドウ空間に割り当てることができる。この場合、動画処理プロセッサ、CPU や GPU などのマスタモジュールは、通常空間のアドレスを用いて非圧縮画像を読み込み、シャドウ空間のアドレスを用いて非可逆圧縮画像を読み込むことができる。すなわち、本システム LSI に実装された全てのモジュールが、アクセスする際のアドレスを切り替えるのみで、非圧縮画像と非可逆圧縮画像の両方に対しアクセス可能となる。

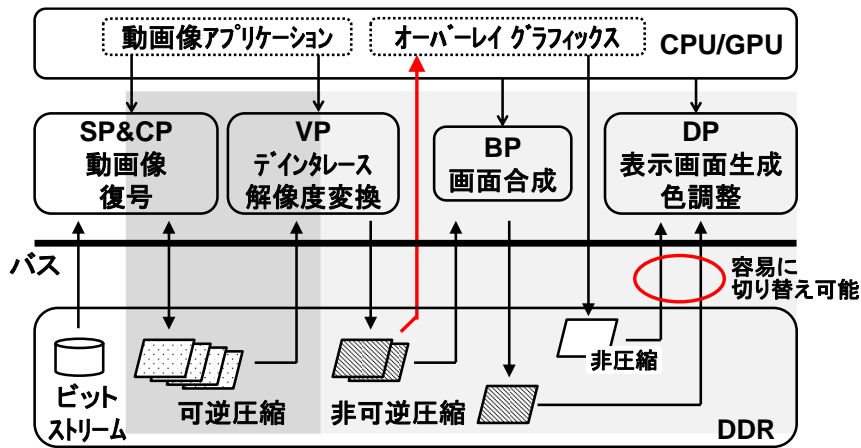


図 4.9 動画処理データフローの典型例

可逆及び非可逆の動画データ圧縮を適用したメモリアクセスデータ圧縮全体の評価結果として、図 4.10 に Full-HD 12 チャンネル動画処理の使用メモリ帯域を示す。Full-HD 12 チャンネル (各チャンネルの動画シーケンスはサポートする最大ビットレートの 40Mbps を使用) の典型的な動画処理における消費メモリ帯域を、本システム LSI に組み込んだバストラフィックカウンターを用いて、メモリアクセスデータ圧縮 OFF と ON の両方のケースで測定した。メモリアクセスデータ圧縮 ON の場合、動画復号処理には可逆圧縮、その他の処理には非可逆圧縮を適用している。提案アーキテクチャは、典型的な Full-HD 12 チャンネル動画処理において、使用メモリ帯域を 18.6GB/s から 9.2GB/s へと 50%削減している。

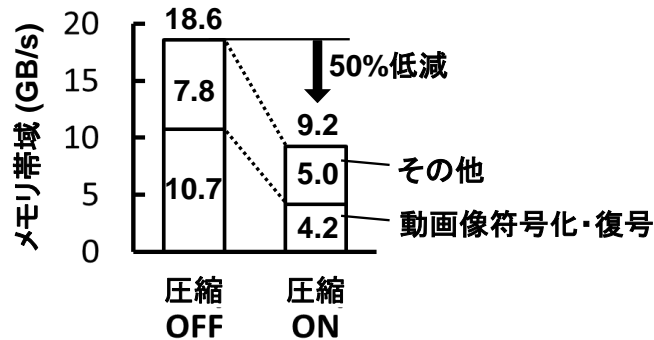


図 4.10 Full-HD 12 チャンネル動画像処理の使用メモリ帯域

4.3.2 動画像符号化処理におけるメモリアクセスデータ圧縮手法

本システム LSI では、可逆圧縮は動画像符号化処理のみに適用される。動画像符号化処理における主なメモリアクセスは、再構成画像（復号画像）の書き込み及び参照画像の読み出しである。ビットストリームの読み書きなどの他のメモリアクセスは、本システム LSI のサポートする最大ビットレートであり 40Mbps の場合でも、動画像符号化処理におけるメモリアクセス全体の通常 5%以下である。従って、可逆圧縮は、動画像符号化・復号回路と DDR 間の画像データ転送を対象とし、マルチモード 2D-DPCM (Two-dimensional Differential Pulse Code Modulation) と可変長符号化を組み合わせたアルゴリズムとした [NGUY16]。可逆圧縮回路及び伸長回路は、動画像符号化・復号回路と DDR に接続するバスとの間に配置され、画像データはメモリへの書き込み時に圧縮され、読み出し時に伸長される。動画像符号化・復号回路は画像を矩形上に分割して読み書きし、個々のアクセスにおけるデータサイズは 10B から 20B 程度と細かい。従来のメモリアクセスデータ圧縮方法では、そのような小さいデータを単純にさらに小さいデータへと圧縮する。しかし、小さいデータの連続アクセスは、DDR コマンド間のタイミング制約のためにオーバーヘッドが大きい。図 4.11 に、32bit データ幅の LPDDR4 における様々な DDR アクセスサイズの DDR アクセス効率を示した。アクセスサイズが 128B 未満になると極端に効率が低下するため、従来のメモリアクセスデータ圧縮方法では、DDR のアクセス効率が低下し十分な圧縮効率が期待できない。例えば、[ZHOU14]は動画像符号化・復号回路の使用メモリ帯域を削減する圧縮アルゴリズムを提案しており、平均 61.89%のデータ削減を実現している。しかし、[ZHOU14]の論文中の例では、個々のメモリアクセスを 8x8 画素ごとに行っているため、圧縮後のデータサイズは 64B 以下となる。すなわち、図 4.11 によれば 32bit データ幅の LPDDR4 での DDR アクセス効率は 50%未満になってしまう。従って、61.89%のデータ削減率であっても、動画像符号化・復号回路の消費する実効的なメモリ帯域は少ししか減少しない。同様に、[LEEY07][SONG07][LEEY08][IVAN08][YNGT08][CHEN09][KIMJ10]

[SONC10][KUOH12][LEEY13][GUOL13]において様々な可逆圧縮アルゴリズムが提案されているが、圧縮前のデータサイズは 4B, 8B, 16B, 64B と、いずれも 64B 以下である。[CHEN09][KIMJ10][LEEY13]は、マクロブロックベースの処理であるため、色差データは 64B データサイズで扱われていると推定した。

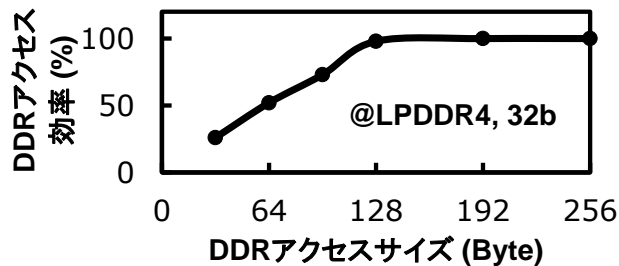


図 4.11 DDR アクセス効率

本研究では、圧縮、伸長モジュールにそれぞれライトバッファとキャッシュを実装することでメモリアクセスサイズを大きくし、この問題を解決した。図 4.12 に、適用した可逆動画データ圧縮の動作フローを示す。圧縮回路の処理単位は 256B であり、圧縮回路の前に配置されたライトバッファが小さいライトデータを 256B にまとめる。256B のデータは DDR に格納される前に 64B の倍数サイズへと圧縮される。圧縮後のサイズ情報は、別途 DDR に格納され読み出し時の処理に使用される。DDR からの読み出し時、まず圧縮後のサイズ情報を DDR から読み出し、その情報に基づいて DDR リードコマンドを生成する。リードコマンドにより読み出されたデータは 256B へと伸長され、キャッシュに格納される。動画像符号化処理における 1 回の読み出しアクセスサイズは、通常 256B より小さいため、動画像符号化処理はキャッシュ中の読み出しデータから複数のデータを取得することができる。すなわち、DDR から読み出したデータに対しての有効データの割合を増やし、代わりに読み出しアクセス数を減らすことができる。なお、圧縮後のサイズ情報についても、まとまった単位で DDR への格納及び DDR からの読み出しを行うことで、DDR のアクセス効率が低下することを抑止している。

図 4.13 は、様々な処理単位における圧縮率を示した図である。図 4.13 を用いて、圧縮回路の処理単位として 256B を選定した理由について述べる。図 4.13 の左のグラフは、圧縮処理単位と圧縮率の関係を示している。ここで、本論文における圧縮率は、DDR アクセス効率を考慮した DDR 転送データ量を、動画像符号化・復号回路が必要としたメモリアクセスデータ量で割ったものと定義し、小さい値ほど圧縮効率がよいことを示す。DDR アクセス効率を考慮した DDR 転送データ量は、実際に発生したメモリアクセスのデータ量に、発生した隙間（バブル）のサイクル数をデータ量に変換した値（DDR コマンドペナルティサイクル数と DDR データ幅を乗じた値）を加算したものである（図 4.13 の右のグラフ）。図

4.13 によれば、32bit データ幅の LPDDR4 における最適な処理単位は 256B である。256B よりも小さいサイズの場合、DDR アクセス効率が低下してしまい、圧縮効率も低下してしまう。一方、256B よりも大きいサイズの場合は、一定のキャッシュメモリサイズの下ではエントリサイズを大きくするとエントリ数が少なくなってしまうため、キャッシュミスによるアクセスの増加を招き、圧縮効率が低下してしまう。ここで、取りうる処理単位は 2 のべき乗に限定しているため、最適な処理単位も 2 のべき乗から選択されている。DDR 内の圧縮データに容易にランダムアクセスするために、データサイズは圧縮前よりも小さくともフットプリントは不変とした。例えば、処理単位が 256B の場合、圧縮後のデータサイズは 64B, 128B, 192B, 256B のいずれかであるが、圧縮データは常に 256B の倍数のアドレスから配置される。本制約によって、アドレス計算とキャッシュ制御の容易な実装を実現している。

図 4.14 に様々な動画画像シーケンスにおける圧縮率の測定結果を示す。キャッシュを使用した 256B 単位の圧縮方法を適用することで、メモリアクセスデータの 70%削減を実現した。

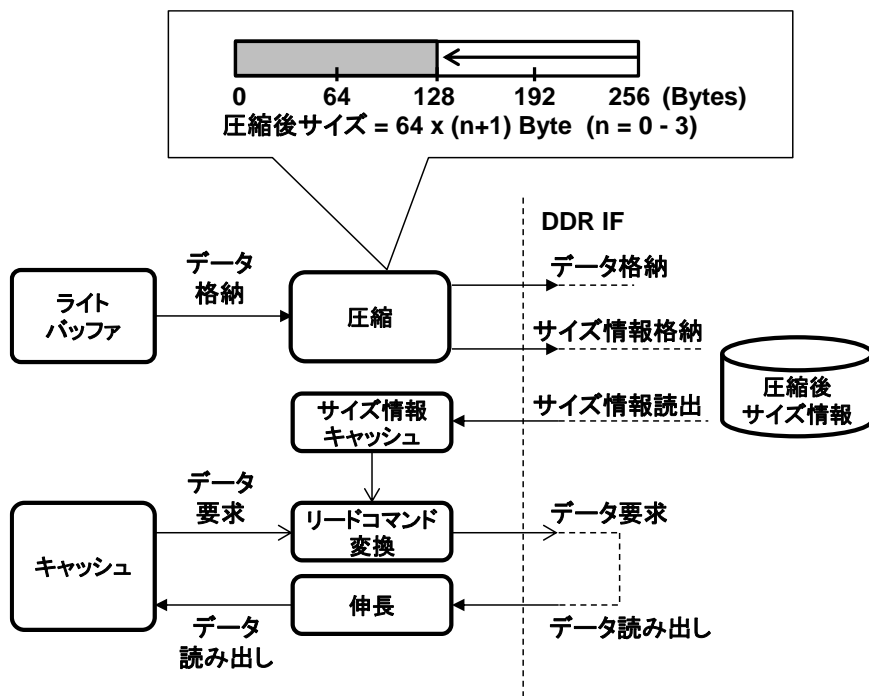


図 4.12 可逆画像データ圧縮の動作フロー

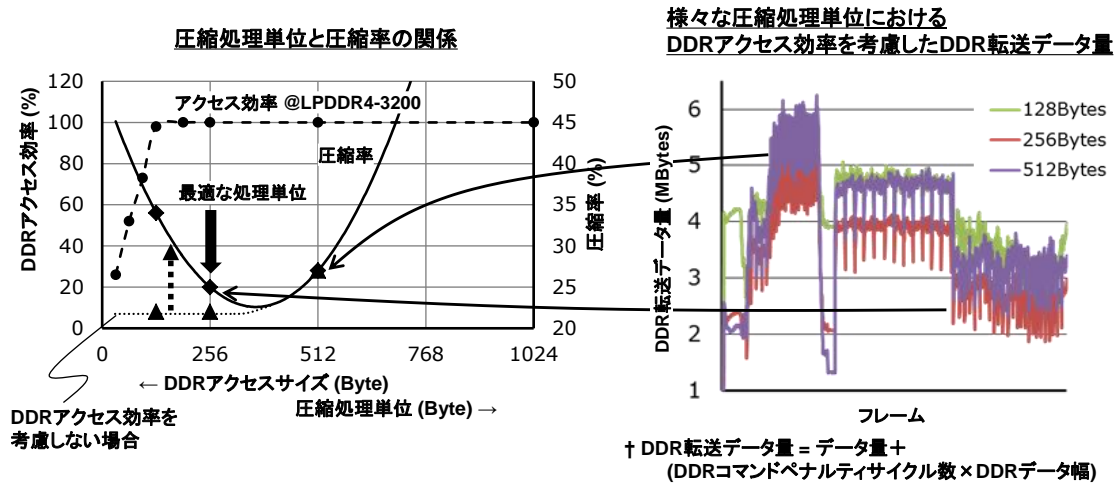


図 4.13 様々な処理単位における圧縮率

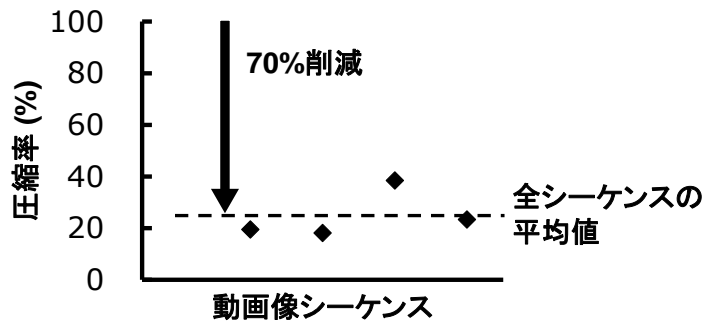


図 4.14 様々な動画像シーケンスにおける圧縮率

4.4 結言

本章では、車載情報システム向けシステム LSI の実現に向けて、高性能及び低電力動画像処理を実現する LSI アーキテクチャについて論述した。車載情報システムに必要とされる動画像処理の要件として Full-HD 12 チャンルの動画像処理を目標仕様とし、膨大な処理を並列分散処理するために、6 種類 17 個の専用動画像プロセッサをバストラフィック最適化制御された階層バス上に配置する LSI アーキテクチャを提案した。また、多数のプロセッサの同時動作によるピーク電力を抑制するため、クロックマスク回路により各プロセッサの動作周波数をアプリケーションソフトウェアから動的に制御する手法を提案した。以上により、Full-HD 12 チャンルの動画像処理を CPU や GPU にて行うナビゲーション処理や画像認識処理と並行して行い、常に安定したシステム動作を可能とした。さらに、性能面及び電力面のボトルネックとなるメモリアクセスを低減するため、可逆データ圧縮と非可逆データ圧縮を処理内容に応じて最適な組み合わせで適用することで、Full-HD 12 チャン

第4章 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ

ネルの動画像処理を，他の処理を阻害することなく実現可能な見通しを得た．特に，動画像符号化処理にキャッシュを活用した 256B 単位の可逆圧縮を適用することで，DDR アクセス効率を加味した実質的な圧縮効率を劇的に改善し，消費電力を削減する見通しを得た．本章にて提案したシステム LSI アーキテクチャを適用した LSI を 16nm CMOS プロセスにて試作しており，試作及び評価結果について第 6 章で述べる．

第 5 章 動画像符号化処理の低遅延化

5.1 緒言

動画像符号化技術は、デジタル放送やパッケージメディアへの適用を端緒とし、主に高解像度対応のための高圧縮化を主眼に進展してきた。一方で、IoT (Internet of Things) 機器における VR (Virtual Reality) や MR (Mixed Reality) などの仮想現実機能や、第 4 章にて述べた車載情報システムにおける運転補助機能 (ADAS : Advanced Driving Assistance System) や自動運転機能ではリアルタイム処理が必須であり、システム内での動画像情報の伝送には、高い処理性能 (スループット) とともに処理遅延 (レイテンシ) が小さいことが求められる。本章では、この課題に対応し、高解像度動画像の低遅延伝送が必要なアプリケーション向けに、動画像符号化処理の低遅延化手法について論述する。

まず、5.2 節にて、自動駐車における低速走行時の周辺監視を実現するため、従来符号化方式での低遅延化手法[MOCH16][MOCH17]を提案する。第 4 章にて述べた通り、車載情報システム (IVI : In-Vehicle Infotainment System) は、インフォテインメント機能だけではなく運転補助機能もサポートするシステムへと進化してきた。図 5.1 に、代表的な運転補助機能であるサラウンドビューシステムの概要を示す。サラウンドビューシステムは、複数の周辺監視用車載カメラから受信した動画像信号を用いて俯瞰画像 (Top-view image) を生成して運転手に表示する。駐車時の走行速度を 10km/h 未満、及び、表示と実際の周辺物体までの距離の誤差が 30cm 未満であれば運転手が安全に駐車を行うことができると想定すると、10km/h で走行している車両は 30cm を約 100ms で移動するため、カメラ撮像から俯瞰画像表示までを 100ms 未満の低遅延で実現しなければならない。車載カメラからの動画像信号は H.264 にて符号化されているため、H.264 復号処理及び俯瞰画像生成のための画像歪み補正処理を低遅延にて実現する必要がある。そこで、低遅延動作時には可変長復号部と画像処理部の並列処理を FIFO (First In, First Out) 接続直列処理に切り替え、後続の画像歪み補正処理ともハンドシェイクによりパイプライン動作させる手法を提案する。

次に、5.3 節では、高速走行時の周辺監視や VR に必要な超低遅延を実現するため、ライン単位処理による超低遅延動画像符号化方式[MOCH18]を提案する。5.3.1 項にて超低遅延の必要性について述べた後、5.3.2 項にて従来動画像符号化方式の課題及び提案方式が超低遅延を実現する仕組みを示す。5.3.3 項にて提案方式の基本アルゴリズムである複数のライン単位画像予測方法、画像適応量子化、最適化したエントロピー符号化について述べ、5.3.4 項にて計算量は増大するが高圧縮率を実現するオプションとしての符号化ツールを提案する。

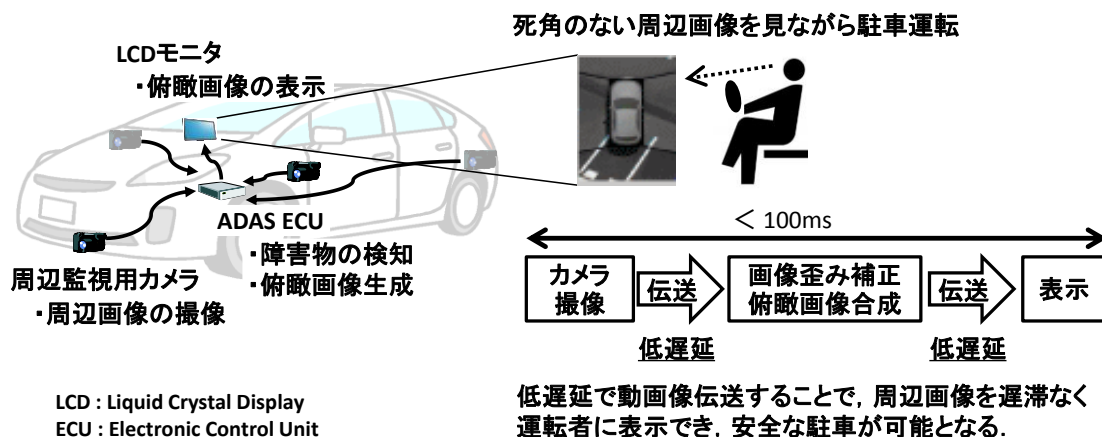


図 5.1 サラウンドビューシステムの概要

5.2 従来符号化方式での低遅延化

5.2.1 H.264 動画像復号回路の構成

第1章及び第2章にて述べたように、H.264 符号化方式は、複数の信号処理アルゴリズムを複合した形のハイブリッド（混合）符号化方式を採用している。動画像の空間及び時間冗長度を除去する画像処理部と、統計的符号割り当てを効率よく行う可変長符号化などで構成されるエントロピー符号化部で構成される（図 1.7）。画像処理部により生成されたマクロブロック符号化情報と量子化後の直交変換係数は、エントロピー符号化部にてゴロム符号などに代表される種々の方式にて可変長符号化を施されビットストリーム生成される。対象となる動画像ソースの特性や符号化条件によって発生符号量は可変となるため、ビットレートを制御するための機構が必要となる。一般的には、仮想的な出力バッファを想定し、バッファの状態を監視することにより発生符号量を把握し、そこから目標ビットレートに合わせた量子化制御を実施している（図 2.1）。一方、復号器においては符号化器の逆処理となり、可変長復号部でマクロブロック符号化情報が復号され、予測方式、動きベクトル、量子化パラメータ及び直交変換係数が分離される（図 2.3）。

一般的に、画像処理部とエントロピー符号化部では処理単位が異なるため、異なる処理レートを持つ回路として設計される。画像処理部は画素を最小単位とし画素レートで表される処理レートとなるが、エントロピー符号化部はビットストリームの符号量を最小単位としビットレートに応じた処理レートとなる[NAKH09][KIMU09]。第3章にて提案した動画像符号化・復号回路においては、エントロピー符号化部（可変長符号化・復号部）を最大符号量が処理可能な性能にて設計することでマクロブロックレベルパイプライン動作を可能としていた。しかし、通常の動作条件においてはレート制御の結果として最大符号量が発生することは想定できず、過剰な性能となっていた。特に Full-HD 解像度以上の高解

第5章 動画像符号化処理の低遅延化

像度に対応する場合、必要な動作周波数が高くなり消費電力の観点から許容できない。従って、低動作周波数にて高解像度に対応する処理性能を実現する場合、画像処理部とエントロピー符号化部はピクチャレベルのパイプラインを構成し独立に動作するように設計される[IWAT09b]。一般的な H.264 復号器では、ビットレートに応じた処理レートと画素レートに応じた処理レートの差を吸収する緩衝バッファを外部メモリ上に設け、可変長復号部が復号した中間データをバッファに格納し、画像処理部が中間データをバッファから読み出すことでパイプライン動作を実現している。

図 5.2 に、第 4 章にて開発した車載情報システム向けシステム LSI[MOCH16][MOCH17] に搭載した動画像符号化・復号回路におけるエントロピー符号化部と画像処理部のピクチャレベルパイプライン動作を示す。Stream processor (SP) にて可変長復号、Codec processor (CP) にてその他の画像処理を行い、共同して動画像復号処理を行う。SP は、可変長符号により符号化されたビットストリームを中間データに変換する。中間データは、CP による画像の再構成処理に必要となる全ての情報を含む。CP は、中間データに従い残りの復号処理を実行する。インフォテイメント機能に使用される可変ビットレート (VBR: Variable Bitrate) で符号化されたビットストリームを復号する通常モードでは、SP の処理時間は入力ビットストリームのビットレートに依存して様々な値となる。そのばらつきを平均化するため、SP と CP は独立に動作し、中間データは DDR に格納される。このメカニズムは、動画像符号化・復号回路のシリコン上での動作周波数及び面積を最適化しつつ可変ビットレートを処理できる一方で、サラウンドビューシステムへの適用においては数フレームの遅延が発生するという問題があった。

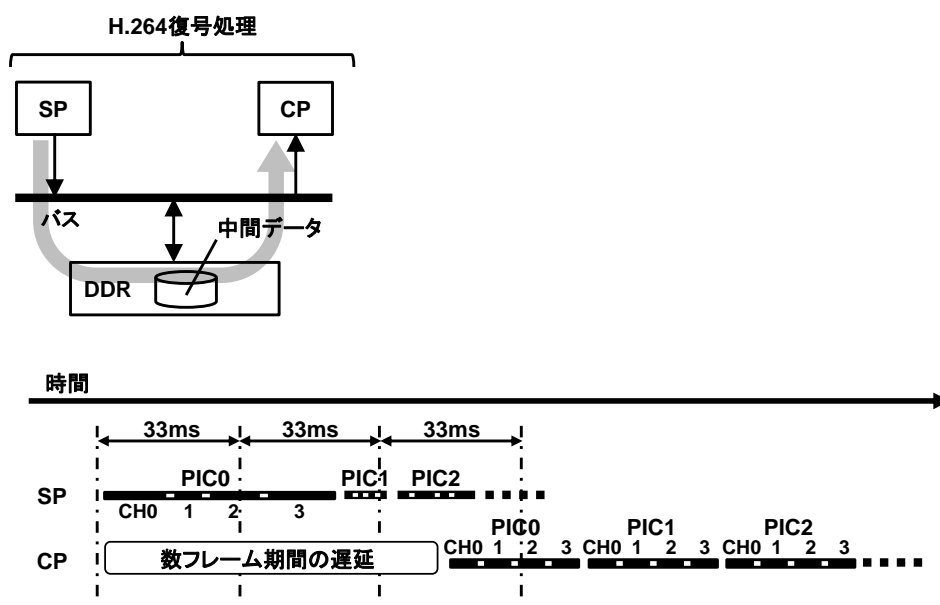


図 5.2 エントロピー符号化部と画像処理部のピクチャレベルパイプライン動作

5.2.2 H.264 動画像復号回路の低遅延化

第 4 章にて開発した車載情報システム向けシステム LSI は、サラウンドビューシステムのために低遅延処理を実現しなければならない。一般的なサラウンドビューシステムは前後方、左右側面の 4 つのカメラを使用するため、4 つのカメラから Full-HD 4 チャンネルの H.264 ビットストリームが転送されることが想定される。本システム LSI に搭載した 3 個の動画像符号化・復号回路には、1 個当たり最大で Full-HD 4 チャンネルを復号できる性能を持たせた。すなわち、復号処理の遅延が最大となるケースでは、1 個の動画像符号化・復号回路が Full-HD 4 チャンネルをフレームごとに時分割処理で復号することになる。図 5.3 に、本システム LSI における低遅延動画像復号処理の仕組みを示す。前項に述べた通り、インフォテイメント機能に使用される可変ビットレート (VBR: Variable Bitrate) で符号化されたビットストリームを復号する通常モードでは、SP と CP はピクチャレベルパイプライン動作を行うため数フレームの遅延が発生する。一方、サラウンドビューシステムに適用する場合は、低遅延モードにて動作する。このモードでは、DDR 上の緩衝バッファは使用せず、SP と CP のペアが中間データを転送する専用の FIFO を共有することで同期して動作する。サラウンドビューシステムにおいては、カメラモジュールからの動画像転送には固定ビットレート (CBR: Constant Bitrate) で符号化されたビットストリームが使用されるため、SP の処理時間もほぼ一定となり FIFO の容量は高々 1 ピクチャ分で十分であり、オンチップメモリで構成可能である。以上のように、低遅延動作時には可変長復号部と画像処理部の並列処理を FIFO 接続直列処理に切り替えることで、H.264 の復号を 1ms 以下の低遅延で処理することを実現した。

さらに、本システム LSI では、動画像復号処理と画像歪み補正処理をハンドシェイクによりパイプライン動作させる手法を適用した。サラウンドビューシステムでは、カメラ撮像から俯瞰画像表示までを 100ms 未満の低遅延で実現しなければならないため、1 ピクチャ分の動画像復号処理が完了してから、俯瞰画像生成のための画像歪み補正処理を開始すると、33ms の遅延が発生してしまう。そこで、CP は復号処理を 16 ライン分完了するごとに CPU に対して割り込み信号 (IRQ) を出力することを可能とした。そのことにより、CPU 上のアプリケーションソフトウェアは、DDR 上に画面のどの領域までが使用可能となっているかを知ることができ、画面全体の復号処理の完了を待つことなく Rendering processor (RP) に歪み補正処理を開始させることができる。

以上の手法により、復号と歪み補正の処理を 70ms の低遅延で実行できることを可能とした。従来研究[IWAT09a]は通常モードのみで動作し、1 画面分の処理を完了した時に IRQ を出力するため、復号及び歪み補正の処理に最低でも 4 フレーム期間、すなわち 133ms を必要としており、提案手法が優位である。

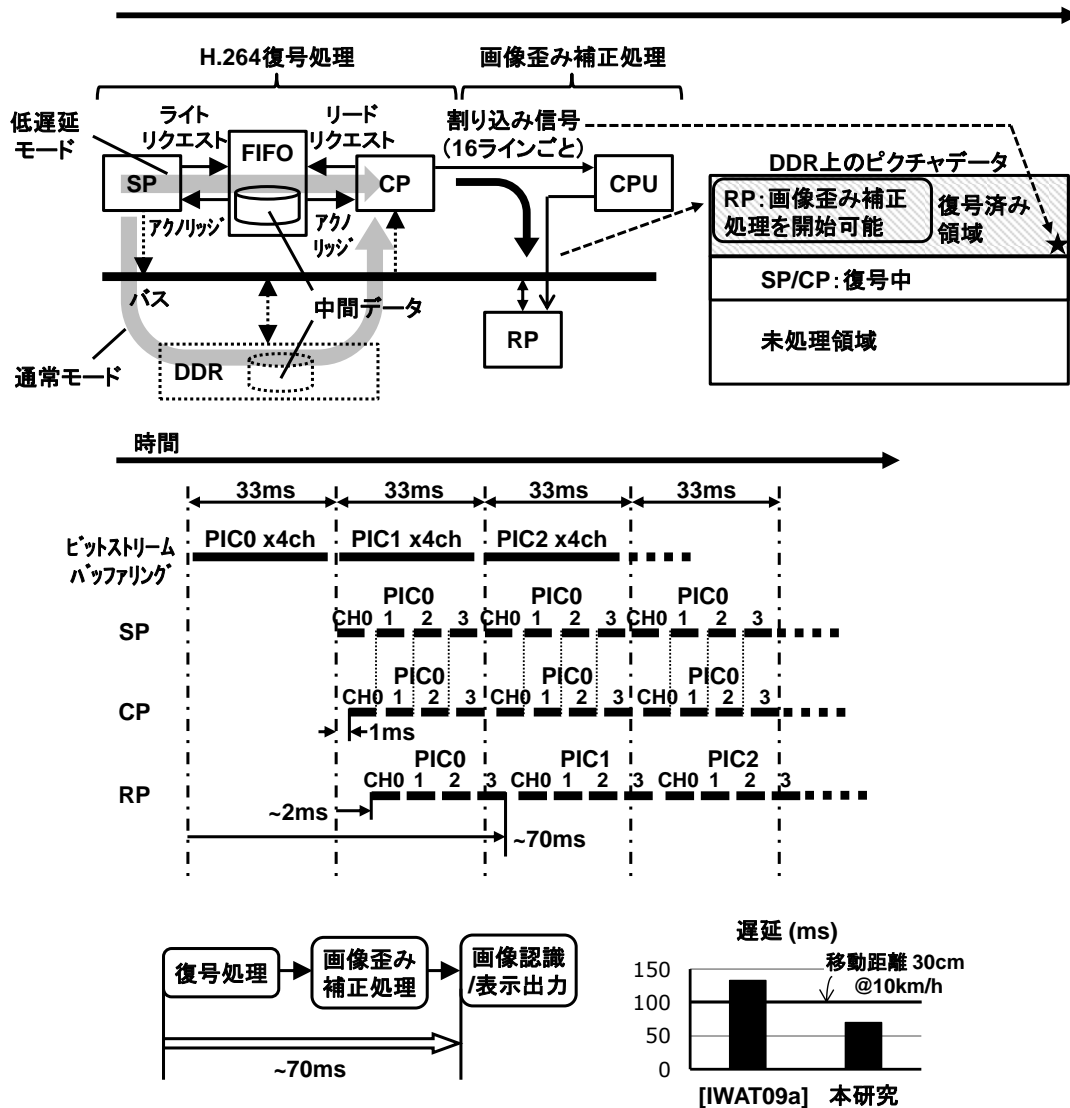


図 5.3 低遅延動画復号処理の仕組み

5.3 超低遅延符号化方式の設計

5.3.1 超低遅延の必要性

近年、車両やロボットの自動制御、IoT 機器における VR/MR などの仮想現実機能が、盛んに研究開発されている。しかし、これらを実現し普及させるにあたっては、システムを構成するデバイス間での動画像伝送に課題がある。

例えば、自動運転車両やロボットは、自車に搭載したカメラにて撮像した画像を基に、リアルタイムに周辺の状況を認識して、車体を制御していく。仮想現実機能を備えた IoT 機器は、機器に搭載したカメラにて撮像した画像を、ネットワークを介してホストコンピ

第5章 動画像符号化処理の低遅延化

ユータに転送して処理した上で再度受信し、遅延なくユーザーに表示する。いずれも、高精度の画像解析を行うために、フル HD や 4K といった高精細動画を、カメラ、制御デバイス、表示デバイス、外部ネットワーク間で転送しなければならない。しかし、高精細動画の転送には Gbps 級の広帯域が必要であり、ケーブル類の取り回し悪化や通信手段の高コスト化の要因になってしまう。従って、符号化技術を用いて動画を圧縮転送することが不可欠である。

さて、MPEG-2[ISOV94]や H.264[ITUT03]のような従来の動画像符号化技術は、デジタル放送やマルチメディアコンテンツの頒布、デジタル録画などを想定用途として発展してきた。これらの用途では、高解像度化や長時間録画を実現するために「高圧縮率」の特性が重視されている。従来研究[TSUY11][YANG14][MOCH16]では、H.264 に基づく低遅延処理の仕組みが提案されているが、提案システムの遅延はそれぞれ 10ms, 100ms, 70ms とミリ秒のオーダーである。ところが、自動制御や仮想現実機能などのアプリケーションにおいては、ユーザーである人間の反応速度を超える極めて短時間のうちに一連の処理を完了しなければならない。ミリ秒オーダーのシステム遅延は、高速走行する自動運転車両の事故や、VR/MR 機器ユーザーの VR 酔いを引き起こす可能性がある。特に動画像転送のための圧縮・伸長処理については、画像解析を含むシステム全体の処理に影響を及ぼさないよう、マイクロ秒オーダーの超低遅延が求められている。このような動画像符号化技術への要求の変化を図 5.4 に示した。

本章にて提案する超低遅延動画像符号化方式は以上の課題を解決するものであり、その具体的な手法を以下に論述する。

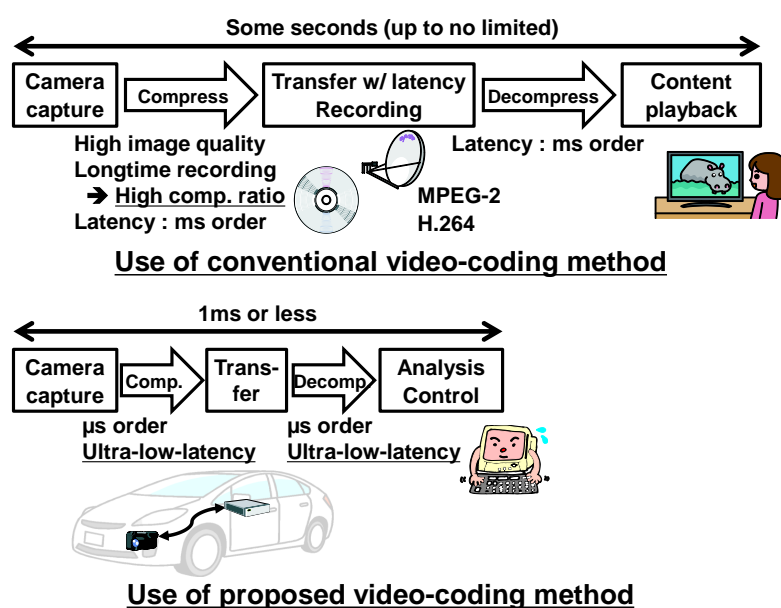


図 5.4 動画像符号化技術への要求の変化

5.3.2 ライン単位処理による超低遅延化

本項では、従来の動画像符号化方式の問題点を明らかにし、提案方式が超低遅延を実現するメカニズムについて説明する。

図 5.5 に、従来方式及び提案方式の処理単位を示す。従来の動画像符号化方式では、2 次元直交変換を基盤とした矩形領域単位での圧縮を行う。例えば、H.264 の場合、16 画素×16 ライン単位で圧縮処理を行うため、15 ライン+16 画素の画素データを蓄積することなしに処理が開始できない。Full-HD、30fps の動画像の場合、入力画素レート（ドットクロック）は 74.25MHz であるため、15 ライン+16 画素の画素データを蓄積するには、式 (5.1) より 0.39ms の時間が必要である。

$$(1920 \text{ 画素} \times 15 \text{ ライン} + 16 \text{ 画素}) \div 74.25\text{MHz} = 0.39\text{ms} \quad (5.1)$$

その結果、従来方式では、その他の処理遅延も含めてミリ秒オーダーの遅延が避けられない[TSUY11][MODY14][YANG14][MOCH16]。[TSUY11][YANG14][MOCH16]が H.264 を使用しているのに対し、[MODY14]は sub-frame-based data flow と呼ぶ符号化手法を提案しているが、従来方式の拡張であるため、ミリ秒オーダー（2ms）の遅延である。

そこで、提案方式では、図 5.5 に示すようにライン単位での圧縮を基本とし、マイクロ秒オーダーの超低遅延処理を実現した。16 画素×1 ラインを処理単位とするため、16 画素分のデータが入力されれば処理が開始できる。Full-HD、30fps の動画像の場合、式 (5.2) より 0.22μs が画素データの蓄積に必要な最小時間である。

$$16 \text{ 画素} \div 74.25\text{MHz} = 0.22\mu\text{s} \quad (5.2)$$

提案方式では、5.3.4 項に示すように計算量も少ないため、その他の処理遅延を含めてもマイクロ秒オーダーでの遅延にて圧縮処理が可能となる。

一方で、ライン単位の処理とすることで、従来方式で広く適用されている 2 次元直交変換や矩形ブロックマッチング画像予測など、画面垂直方向の画素値相関を活用した圧縮手法が使用できない。そのため、従来方式同等の圧縮率を実現することは困難となるが、提案方式では、5.3.4 項にて示すライン単位画像予測、画像適応量子化、最適化されたエントロピー符号化方式を新たに考案することで、実用に足る圧縮率を可能とした。さらに、1 次元 DCT (Discrete Cosine Transform) をオプションの符号化ツールとして適用することで、より高圧縮を可能とした。図 5.6 に、非圧縮動画像（カメラ出力で一般的に使用される YUV422 フォーマットを想定）と、従来方式もしくは提案方式にて圧縮された動画像（いずれも動画像符号化前に YUV420 にフォーマット変換されることを想定）について、Full-HD 動画像転送に必要な伝送帯域、及び、処理遅延の比較を示した。従来方式として

第 5 章 動画像符号化処理の低遅延化

は、最も広く使用されている H.264、及び、低遅延アプリケーションに広く使われ、かつ、フレームメモリを必要としない点でデバイス間動画像転送に適合している H.264 Intra を代表的な例として示した。提案方式は、システム全体の遅延に影響を及ぼさなマイクロ秒オーダーの低遅延でありながら、既存のイーサネットやシリアル転送などの実装容易かつ低コストの手法にて伝送可能な必要帯域を実現している。

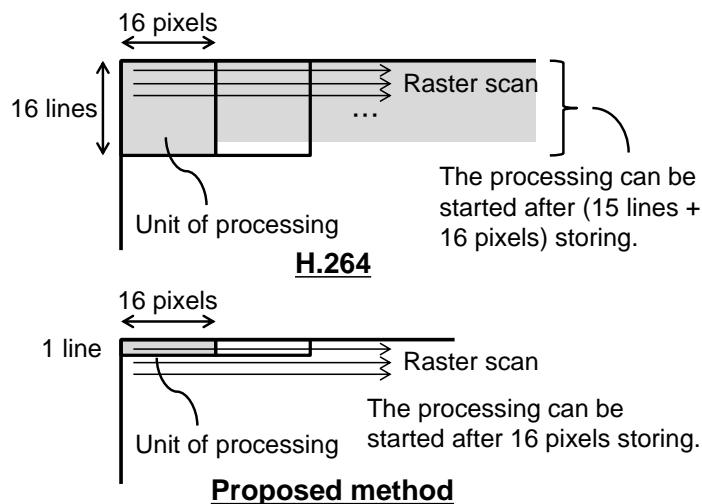


図 5.5 従来方式及び提案方式の処理単位

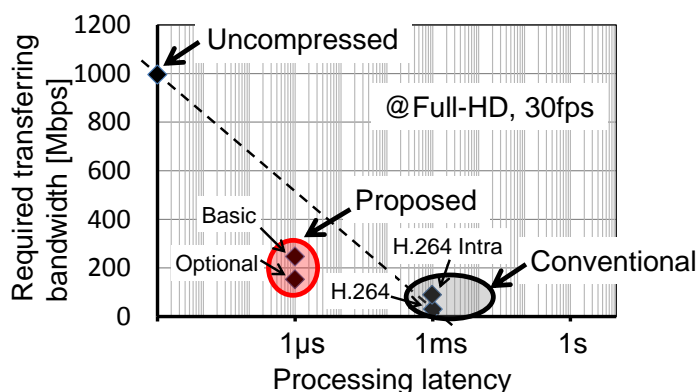


図 5.6 Full-HD 動画像転送に必要な伝送帯域及び処理遅延の比較

5.3.3 ライン単位符号化処理の概要

本項では、提案方式の概要について、5.3.2 項にて示した 16 画素×1 ラインの処理単位を Compression block (CB) と呼称して説明する。提案方式は、8bits/pixel の画素深度及び YUV420 の色フォーマットに対応する。

提案方式に対応する符号化器の構成を図 5.7 (a) に示す。まず、既に処理済みの画面領域

第 5 章 動画像符号化処理の低遅延化

の再構成画像から処理対象 CB の画像を予測する。入力画像と予測画像の差分（予測残差）を取り、予測残差を量子化及びエントロピー符号化し圧縮されたビットストリームを得る。ビットストリームは、画像データだけではなく、復号器がビットストリームを復号するために必要とする補助情報も含んでいる。量子化後の予測残差は逆量子化の後、予測画像と加算され再構成画像が生成される。再構成画像はメモリに格納され、後続の CB の画像予測に使用される。ライン単位処理であるため、従来方式とは異なり、直交変換及び逆直交変換処理は行わない。

提案方式に対応する復号器の構成を図 5.7 (b) に示す。ビットストリームを符号復号し画像データと補助情報を得る。補助情報を用いて、既に処理済みの画面領域の復号画像から処理対象 CB の画像を予測する。画像データを逆量子化した後、予測画像と加算し復号画像を得る。復号画像はメモリに格納され、後続の CB の画像予測に使用される。

YUV420 の色フォーマットでは、各色差コンポーネントは輝度コンポーネントの 1/4 のデータ量である。提案方式は、各色差コンポーネントの 16 画素を 1CB として扱い、輝度コンポーネントの偶数ライン（先頭ラインをライン 0）、かつ、水平方向の奇数位置の CB（各ライン先頭の CB の水平位置を 0）にて処理する。すなわち、色差コンポーネントの初期遅延は、輝度コンポーネントの 2 倍となるため、提案方式の最小遅延は、モノクロ画像の場合 $0.22\mu\text{s}$ 、YUV420 カラー画像の場合は $0.44\mu\text{s}$ となる。

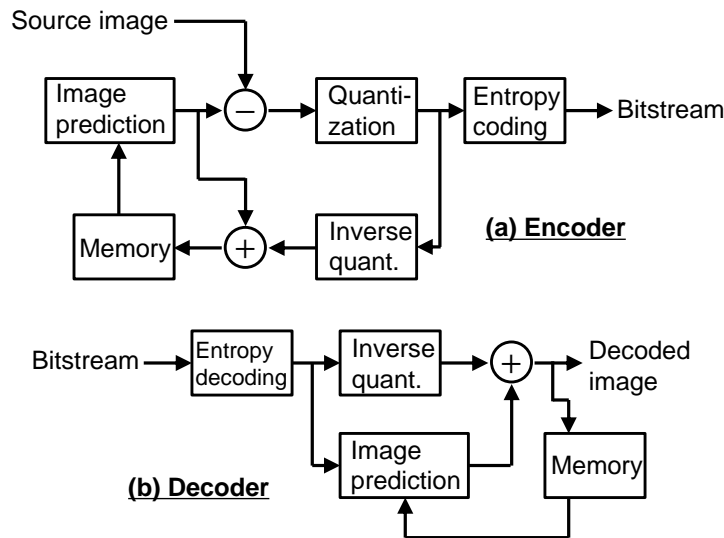


図 5.7 超低遅延動画像符号化方式の符号化器及び復号器の構成

5.3.4 ライン単位符号化アルゴリズム

ライン単位画像予測

圧縮率を高めるためには、精度よく画像を予測し、予測残差の情報量を減らすことが重

要である。提案方式では、以下に示す複数の画像予測方法を設け、CB ごとに最適な予測方法を選択することで、圧縮率を高めた。

隣接画素からの予測

処理対象 CB に隣接する再構成画像の画素値を特定の計算式で処理することで、処理対象 CB の画像を予測する。図 5.8 に隣接画素からの予測の概要を示す。精度のよい予測画像を得るためには、画像の特性の応じて異なる計算式を適用することが望ましい。そこで、以下に説明する 4 つのモードを備え、各モードによる予測画像と入力画像の差分絶対値和 (SAD : Sum of Absolute Difference) を比較して最も適切なモードを選択することとした。

- a) 垂直モード：処理対象 CB の各画素の画素値に、直上の画素の画素値を用いる。
- b) 水平モード：処理対象 CB の全画素の画素値に、左隣の画素（左隣 CB の右端の画素）の画素値を用いる。
- c) 平均モード：処理対象 CB の全画素の画素値に、隣接する 18 個の画素（左隣 CB の右端の画素，左上 CB の右端の画素，上 CB の 16 個の画素）の画素値の平均値を用いる。(3) 式中，“/” は四捨五入整数除算である。
- d) 斜めモード：処理対象 CB の各画素の画素値に、左隣の画素（左隣 CB の右端の画素），左上の画素，直上の画素の 3 つの画素値の平均値を用いる。

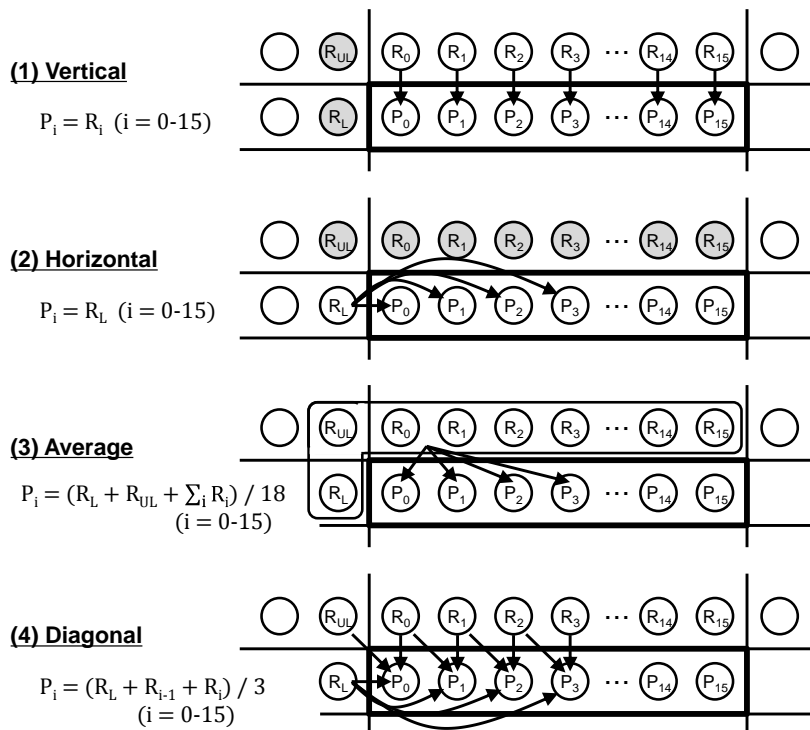


図 5.8 隣接画素からの予測の概要

参照予測

既に処理済みの画面領域の再構成画像から、処理対象 CB と最も類似する連続した画素群を探索し、その画素群を処理対象 CB の予測画像として使用する。図 5.9 に参照予測の概要を示す。探索対象の画素群に対し 1/2 画素単位の位置に仮想的な画素を生成し、仮想的な画素の置かれた 1/2 画素位置も含めて探索することとした。探索点の増加、及び、画素補間に付随する高周波成分の除去効果により、予測残差のより少ない予測を可能とした。探索する画面領域（探索領域）は広くとるほど予測の精度が良くなることが期待されるが、探索に必要な演算量、及び、探索領域の画像を保持しておくメモリ量が増えてしまう。一般的な画像においては、処理対象 CB と画面内の位置に近い方が類似している傾向があるため、提案方式では、探索領域を処理対象 CB の 1 ライン上、かつ、画面水平方向の相対位置を-16 ~+15 画素に限定した。

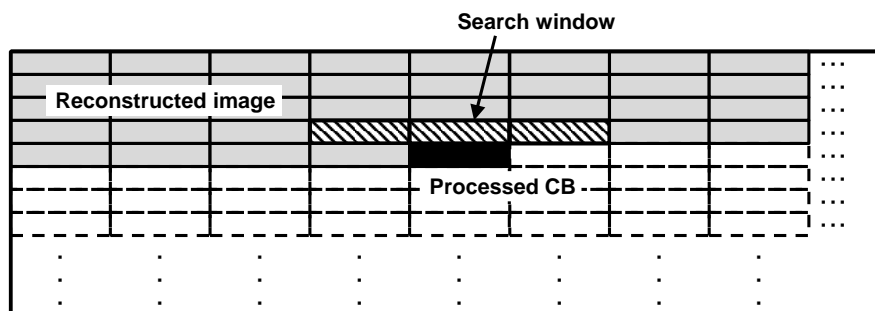


図 5.9 参照予測の概要

画像適応量子化

従来の動画像符号化方式においては、予測残差（画素値ドメイン）を直交変換により変換係数（周波数ドメイン）に変換した後、量子化を行う。視覚的に大きな影響を及ぼさない高周波数成分に対し、より粗く量子化を施すことで、効率的な情報圧縮を可能としている。提案方式では、以下に示す画像適応量子化により、直交変換を行わずに画素値ドメインでの量子化を行う。残差の大小に応じて適用する量子化パラメータを調整することで、疑似的に高周波成分をより粗く量子化し、効率的な情報圧縮が可能となる。計算式を式 (5.3), (5.4) に示す。処理対象 CB において、予測残差 d の絶対値の最大値を 8 で割った数を量子化パラメータ Qp とする。予測残差 d の絶対値を Qp で割り、量子化を行う。式中、“/” は切り捨て整数除算である。

$$Qp = \max(| d_i |) / 8 \quad (i = 0 \sim 15) \quad (5.3)$$

$$Index_i = | d_i | / (Qp + 1) \quad (i = 0 \sim 15) \quad (5.4)$$

本提案方式は、式 (5.3), (5.4) により予測残差の絶対値を 0~7 の 8 種類の値を取る *Index*

第5章 動画像符号化処理の低遅延化

に量子化する。図 5.10 に、提案方式の量子化特性を示す。処理対象 CB の全ての予測残差の絶対値が 7 以下であった場合、 Qp が 0、すなわち $Index$ は予測残差の絶対値そのものとなるため、圧縮伸長後も入力画像と全く同一の画像が得られる (図 5.10 (a))。一方、1 つでも大きな絶対差分値を含む CB の場合は、 Qp は最大では 31 となり、粗く量子化される (図 5.10 (b))。図 5.11 に、大きい予測残差を含む CB での量子化の影響を示す。大きい予測残差を含む CB では細かい画素値変動を再現できないが、マスキング効果 (小さなノイズが大きなノイズにより隠蔽される) により比較的視覚上の影響は少ない。さらに、一般的に色差コンポーネントは主観画質への影響が小さいため、色差コンポーネントの $Index$ から 2 を引いた上で 0 にクリップする (負数は生じない) ことで、0~5 の 6 種類の値に量子化する。以上により、本量子化方法は、情報量を削減した上でも視覚的な影響を抑え、画質の劣化を抑制することを可能とした。

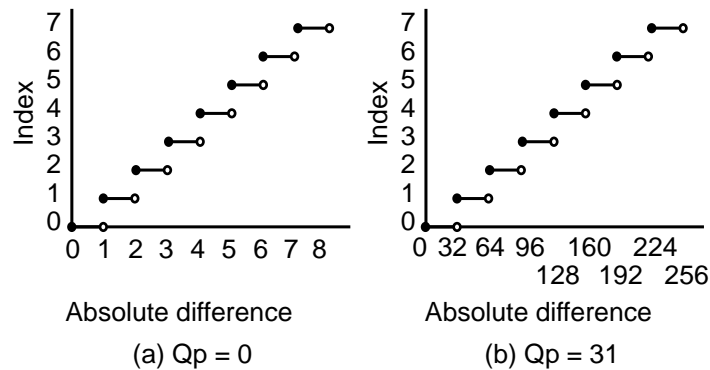


図 5.10 量子化特性

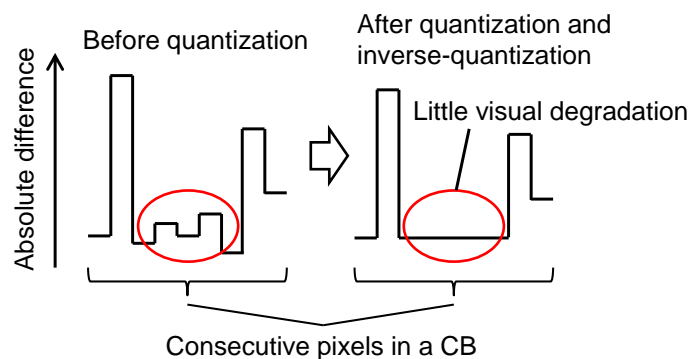


図 5.11 大きい予測残差を含む CB での量子化の影響

エントロピー符号化

提案方式では、CB ごとに、選択した予測方法、隣接画素からの予測における選択モードまたは参照予測における探索結果参照位置、量子化パラメータ、量子化後の $Index$ 、非ゼロ

第5章 動画像符号化処理の低遅延化

Index の正負の各要素を表す符号を連結し、圧縮ビットストリームを生成する。図 5.12 に各 CB のビットストリームの構成を示す。予測方法（隣接画素からの予測か参照予測か）は 1 bit のフラグ、隣接画素からの予測における選択モード（全 4 モード）は 2 bit のフラグで表現する。参照予測における探索結果参照位置（-16~+15 の 1/2 画素単位）と量子化パラメータ（0~31）は、ゴロム符号により符号化する。*Index* は、画像予測の結果として小さい残差の出現頻度が高くなるため、シミュレーションにより得られた出現頻度を基に作成した符号表を用いて、可変長符号化する。図 5.13 に *Index* の出現分布と符号表を示した。色差コンポーネントではゼロ *Index* の出現頻度が高いため、色差の *Index* に対してのみゼロ値のランレングス符号化を適用する。*Index* は絶対値を表す値であるので、非ゼロの各値の正負を表す sign bit（1 bit）を付与する。本エントロピー符号化により圧縮されたビットストリームを生成し、復号器はビットストリームから可変長復号した各要素を用いて画像を復元することができる。

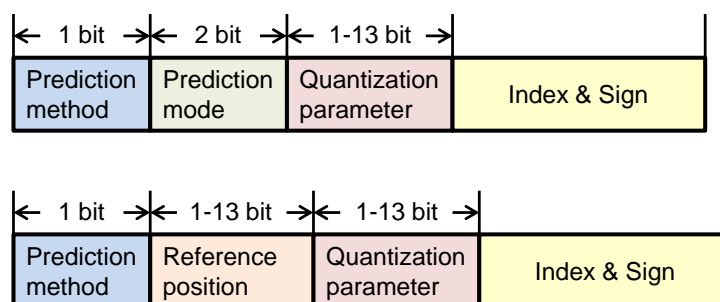


図 5.12 各 CB のビットストリームの構成

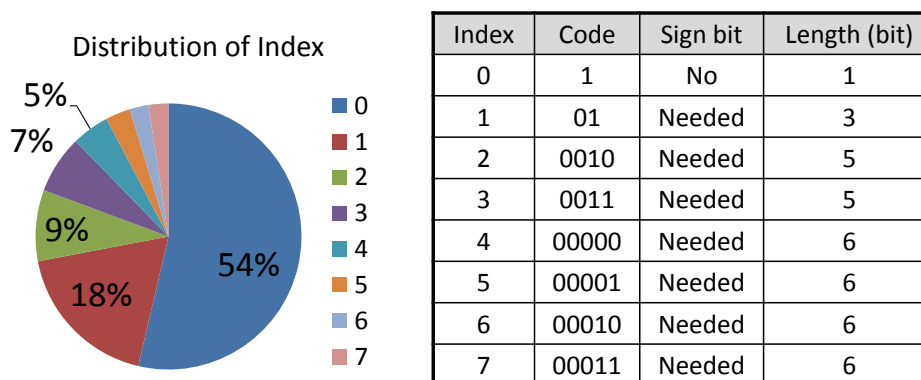


図 5.13 *Index* の出現分布と符号表

レート制御

画像適応量子化における量子化パラメータ Q_p は予測残差のみに依存するため、圧縮率は入力画像の特性（主に複雑度）により決定される。そこで、生成ビットストリームのビッ

トレートを制御するために、量子化重み Q_w を導入する。 Q_w は 0.0 から 2.0 の範囲の値で、式 (5.3) と式 (5.4) の間で式 (5.5) に従い Q_p と Q_w を乗算することで Q_p を更新する。

$$Q_p = (Q_p + 1) \times Q_w - 1 \quad (5.5)$$

Q_w は、画面内にて処理対象 CB までに生成されるべき目標符号量と実際の生成符号量の差から計算される。生成符号量が目標より少なければ（多ければ）、 Q_w は 1.0 より小さく（大きく）なる。本レート制御を適用すると、 Q_w が 1.0 より小さい場合に 7 より大きな *Index* が生成されることがある。7 より大きな *Index* については、エスケープ符号を付与した固定長符号にて符号化する。

5.3.5 1次元 DCT の適用

本項では、計算量は増大するが高圧縮率を実現するオプションとしての符号化ツールである 1次元 DCT について説明する。

1次元 DCT

5.3.4 項にて説明した基本アルゴリズムでは、ゼロ値の *Index* が最も多く生成されるが、ゼロ *Index* は CB 内の 16 要素にランダムに出現する。従って、ランレングス符号化は効率的ではなく、ほとんどの場合、各ゼロ *Index* がそれぞれ最短符号 (1 bit) として符号化される。すなわち、ベストケースでも 8 bit が 1 bit にしか圧縮されない。この限界を超えるため、DCT によるエネルギー集中を利用し、CB 内の 16 要素の 1 部分にゼロ値を集中させて、多数のゼロ値を 1 つの符号として符号化する。また、エネルギー集中は、顕著な画質劣化なしにより多数のゼロ値を生成することにも寄与する。結果として、高圧縮を実現することが期待される。

図 5.14 に、提案方式をサポートする符号化器及び復号器の構成を示す。DCT と逆 DCT は、従来符号化方式[ISOV94][ITUT03]と同様に、それぞれ量子化の直前と逆量子化の直後に実行される。従来方式との違いは、提案方式はライン単位の処理であるので、2次元 DCT ではなく式 (5.6)、(5.7) に示す 1次元 DCT を適用していることである。

$$\text{DCT:} \quad F(u) = \frac{1}{2} C(u) \sum_{x=0}^{N-1} f(x) \left(\cos \frac{(2x+1)u\pi}{2N} \right) \quad (5.6)$$

$$\text{逆 DCT:} \quad f(x) = \sum_{u=0}^{N-1} \frac{1}{2} C(u) F(u) \left(\cos \frac{(2x+1)u\pi}{2N} \right) \quad (5.7)$$

$$C(u) = \frac{1}{\sqrt{N}} \quad (u = 0), \quad \sqrt{\frac{2}{N}} \quad (u \neq 0)$$

1CB は 16 画素を含むため、式 (5.6), (5.7) において $N=16$ とし、実数の 16×16 行列を定義する。精度は、DCT 及び逆 DCT の演算前後で差分が 1 以内となるように定めた。この DCT の 16×16 行列と差分画像の 16 個の要素の積により 16 個の係数を得る。係数は、後述の方法にて量子化及びエントロピー符号化され、量子化後の係数は逆量子化される。16 個の逆量子化後の係数と逆 DCT の 16×16 行列の積により、再構成画像の生成に使用する 16 個の差分画像を得る。

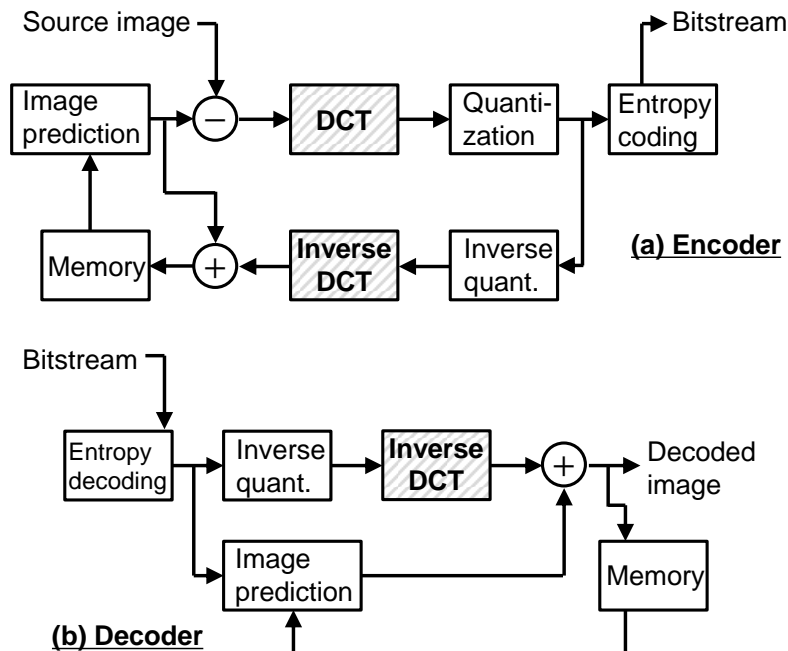


図 5.14 DCT と逆 DCT 適用時の符号化器及び復号器の構成

1 次元 DCT モード向け量子化及びエントロピー符号化

1 次元 DCT 適用時、従来方式と同様に、量子化は変換係数（周波数ドメイン）に施される。すなわち、情報量を削減するにあたり、量子化パラメータ Qp による単純な割り算にて、視覚的な画質劣化を起こさないように、高周波数成分に対し粗く量子化を行うことが可能である。従って、提案方式は、1 次元 DCT 適用時は、5.3.4 項にて説明した画像適応量子化を式 (5.8) の量子化に切り替える。式中、“/” は切り捨て整数除算である。

$$Index_i = Coef_i / Qp \quad (i = 0 \sim 15) \quad (5.8)$$

第 5 章 動画像符号化処理の低遅延化

画像適応量子化と異なり、量子化パラメータは入力画像に依存せず、レート制御のみに依存するため、連続する各 CB の量子化パラメータは近い値となることが期待される。そこで、量子化パラメータの前 CB からの差分をゴロム符号化することで、効率的に符号化することができる。Index は、5.3.4 項と同様にエントロピー符号化されるが、ゼロ値が CB 内の後半にある高周波成分の位置に固まって生成される傾向になるため、ブロック終端符号 (EoB) を導入し、それに伴い符号表を調整している。

5.4 結言

本章では、IoT 機器における VR/MR などの仮想現実機能や、車載情報システムにおける運転補助機能や自動運転機能の実現に向け、動画像符号化処理の低遅延化手法について論述した。従来規格における低遅延化手法として、低遅延動作時には、可変長復号部と画像処理部の並列処理を FIFO 接続直列処理に切り替え、後続処理ともハンドシェイクによりパイプライン動作させる手法を提案し、サラウンドビューシステム向けの H.264 復号処理及び画像歪み補正処理を 70ms の低遅延にて実現した。さらに、高速走行時の周辺監視や VR に必要な超低遅延を実現するため、ライン単位処理によるマイクロ秒オーダーの超低遅延動画像符号化方式を提案した。複数のライン単位画像予測方法、画像適応量子化、最適化したエントロピー符号化、1次元 DCT の適用により、Full-HD 動画を 20%の帯域にて超低遅延で伝送可能な見通しを得た。本超低遅延動画像符号化方式の画質及び圧縮率をビヘイビアモデルシミュレーションにより評価した結果を第 6 章にて述べる。

第6章 評価結果

第6章 評価結果

6.1 緒言

第3章, 第4章, 及び, 第5章においては, それぞれ, 動画像符号化・復号回路の低電力化, 高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ, 動画像符号化処理の低遅延化について, 新規提案を行い課題に対する解決策とその実現見通しについて論述した. 本章では, 各提案の実現性とそれらの具体的効果を実証するために, LSI の試作及び評価を行う. また, 第5章にて提案した超低遅延動画像符号化方式について, ビヘイビアモデルシミュレーションにより画質及び圧縮率を評価する.

6.2 動画像符号化・復号回路の試作及び評価

第3章にて提案した動画像符号化・復号回路を実装した LSI として, デジタルカメラ (DSC), デジタルビデオカメラ (DVC) 向けの動画像符号化 LSI を試作した. 90nm CMOS プロセスを用い, 417ピン FBGA (Fine pitch Ball Grid Array) の13mm角パッケージに封入した. 静止画 (JPEG), 動画 (H.264, MPEG-4), 音声 (AAC, MP3, G.726) の録画再生とディスプレイへの表示を行う機能を持ち, 各専用回路を CPU が制御する構成である. 表 6.1 に試作 LSI 及び搭載した提案動画像符号化・復号回路の仕様をまとめ, 図 6.1 にチップ写真を示す.

表 6.1 DSC・DVC 向け動画像符号化 LSI 及び搭載動画像符号化・復号回路の仕様

微細化テクノロジー		Renesas 90nm 1POLY-7Cu-ALP
動作電圧		コア:1.2V, I/O 及びアナログ:1.8/2.5/3.3V
パッケージ		417pin FBGA 13mm x 13mm
動画像符号化・ 復号回路	対応規格	H.264 Baseline Profile Level 3.2 MPEG-4 Advanced Simple Profile Level 5
	処理性能	1280 x 720 x 30fps (720P HD) @144MHz 720 x 480 x 30fps (SD) @ 54MHz
	消費電力	64mW @720P HD符号化処理
	内部メモリ	56KB
	外部メモリ	Mobile SDR-SDRAM 16MB

第 6 章 評価結果

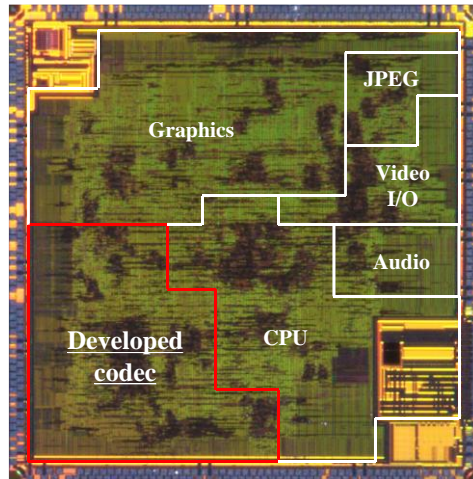


図 6.1 DSC・DVC 向け動画符号化 LSI のチップ写真

消費電力を増やすことなく高画質を実現した提案アルゴリズムの効果を評価するため、ハードウェア等価のビヘイビアシミュレーションモデルにて H.264 符号化の画質を評価した。客観評価として PSNR (Peak Signal-to-Noise Ratio), 主観評価として ITU-R. BT.500-11 準拠の二重刺激劣化尺度法 (DSIS: Double Stimulus Impairment Scale) の二種類の評価法を用いた。入力画像シーケンスは、動画符号化の画質評価に一般的に使用されている SD 解像度 (720 画素×480 ライン, 30fps) のシーケンス [ITEC05] である。比較の対象 (リファレンス) として、H.264 参照ソフトウェアの JM (Joint model), 及び、提案アルゴリズムを適用していない従来動画符号化回路を用いた。表 6.2 に提案 H.264 符号化手法の画質評価結果を示す。入力画像からの予測によるイントラ予測モード決定手法による全イントラ予測モードのサポートと、MATD (Maximum Absolute Transformed-Difference) による係数有無予測に基づくインター予測モード決定手法によるスキップマクロブロックの増加により、従来動画符号化・復号回路に比べて PSNR が平均 2.96dB, 主観画質が平均 1.20 ポイント改善され、理想的な符号化状態を実現する JM に近い画質を実現できている。

表 6.2 提案 H.264 符号化手法の画質評価結果

	ビットレート (Mbps)	PSNR測定結果 (dB)		主観画質評価結果 (pt)		
		JMとの PSNR差分	従来回路との PSNR差分	従来回路	本研究	差分
WhaleShow	1.5	-0.36	+4.94	1.04	2.29	+1.25
	2.0	-0.60	+5.58	1.54	3.36	+1.83
Opening Ceremony	1.5	0.33	+2.03	2.64	3.61	+0.97
	2.0	-0.01	+1.31	2.36	3.36	+1.01
Driving	1.5	-1.06	+0.97	3.00	3.90	+0.90
	2.0	-1.05	+1.30	2.43	3.68	+1.25
平均		-0.46	+2.69	2.17	3.36	+1.20

第 6 章 評価結果

また、3.2 節で述べた消費電力測定の結果、64mW にて HD 動画（1280 画素×720 ライン、30fps）を符号化可能である（図 3.4）. 図 6.2 に、従来研究[HUAN05a][GOTO06][IINU06][LINY08]との画素あたり消費電力比較を示す. 対応解像度について異なる仕様の動画像符号化・復号回路の消費電力を比較するにあたり、同じ条件での比較とするため、画素あたりの消費電力値を用いた. [HUA05a]と[LINY08]の値は、論文から直接計算した値である. [GOTO06]の値は、QVGA 動画（320 画素×240 ライン、15fps）に対し 104MHz の DSP 負荷であることから推測した値である. DSP における MHz あたりの消費電力は、専用回路で構成した提案動画像符号化・復号回路のそれよりも大きいと推察されるため、DSP の MHz あたりの消費電力として本動画像符号化・復号回路のそれを使用して計算を行った. [IINU06]の値は、論文に記載された動き探索回路の消費電力から推測した値である. 動き探索処理の演算量は符号化全体の 50%には満たないと推察されるため、符号化回路全体の消費電力は動き探索回路の消費電力の 2 倍として計算を行った. 図 6.2 に示す通り、提案動画像符号化・復号回路は、他の符号化回路に比べ優位である.

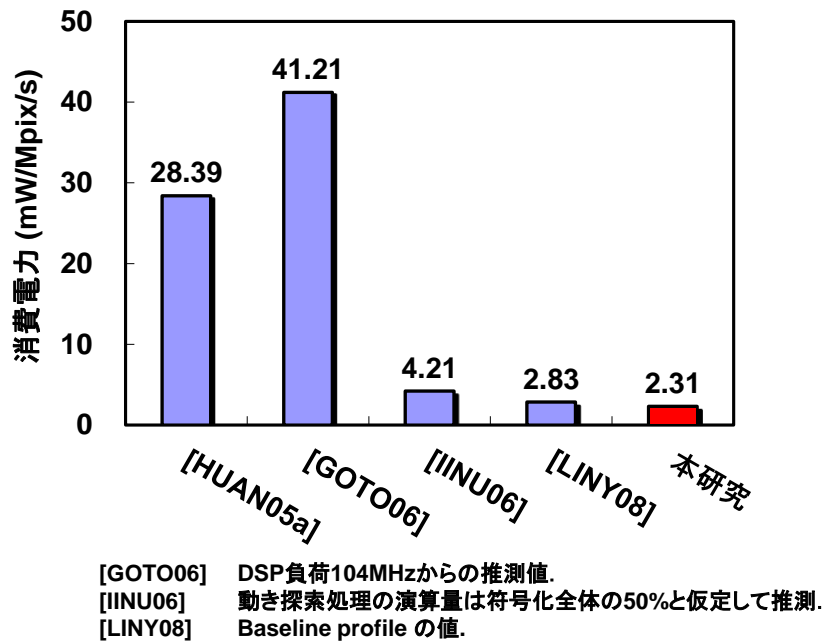


図 6.2 提案動画像符号化・復号回路と従来研究との画素あたり消費電力比較

以上、第 3 章にて提案した動画像符号化・復号回路における低電力アーキテクチャ及び符号化アルゴリズムの有効性を示した. 本研究により、64mW にて HD 解像度の H.264 符号化処理を達成し、高解像度動画像符号化処理のモバイル機器への適用可能性を実証した.

第6章 評価結果

6.3 高性能及び低電力動画像処理システム LSI の試作及び評価

第4章にて提案したシステム LSI アーキテクチャに基づき、高性能動画像符号化処理に対応した車載情報システム向けシステム LSI を試作した。16nm FinFET CMOS プロセスを用い、動画像処理回路のチップ面積は 16.4mm² である。表 6.3 に試作 LSI の仕様、図 6.3 に動画像処理回路のチップ写真を示す。外部メモリとして 25.6GB/s の広帯域を持つ LPDDR4 を接続し、YUV420 画像フォーマット換算で 750Mpixels/s の処理性能、すなわち Full-HD 12 チャンネルの動画像処理が可能である。搭載する動画像符号化・復号回路は、YUV420 に対応し、最大 4K 解像度の H.264 及び H.265 復号処理をサポートし、Full-HD あたり 40Mbps のビットストリーム処理性能を持つ。また、1 個あたり 250Mpixels/s の処理性能内でピクチャごとに符号化または復号を排他的に実行可能である。さらに、デインタレース、解像度変換、画面合成、色調整、画像歪み補正などのインフォテイメント機能及び運転補助機能において一般的に使用される様々な画像処理を搭載する。それらの画像処理により生成した動画像を、4K 解像度 30fps 2 個、Full-HD 解像度 60fps 2 個の計 4 個のモニタに表示することが可能である。

表 6.3 車載情報システム向けシステム LSI の仕様

微細化テクノロジー		16nm FinFET CMOSプロセス
チップサイズ		16.4mm ² (動画像処理回路)
動作電圧		0.8V (コア)
CPU		ARM® Cortex-A57® x4, Cortex-A53® x4, Cortex-R7® x1
GPU		3Dグラフィックス対応, 画像認識処理対応
DSP		画像認識処理用, オーディオ処理用, 暗号処理用
動画像処理動作周波数		400MHz
外部メモリ		LPDDR4-3200, 32bit x 2チャンネル (25.6GB/s)
動画像符号化復号処理	処理性能	750Mpixels/s YUV420 1920x1080 x 30fps x 12チャンネル @H.264 40Mbps/チャンネル @Full-HD, 160Mbps/チャンネル @4K
	対応最大解像度	4096x2304 @H.265, H.264
	対応規格	H.265, H.264, MPEG-2/4, VC-1, VP8
画像処理		デインタレース, 解像度変換, 画面合成, 色調整, 画像歪み補正, その他
動画像表示出力		3840x2160 x 30fps x 2チャンネル, 1920x1080 x 60fps x 2チャンネル
メモリアクセスデータ圧縮方式		非可逆 (-50% 固定圧縮率) 可逆 (-70% 平均圧縮率)
消費電力		197mW (Full-HD H.264 12チャンネル復号処理時)

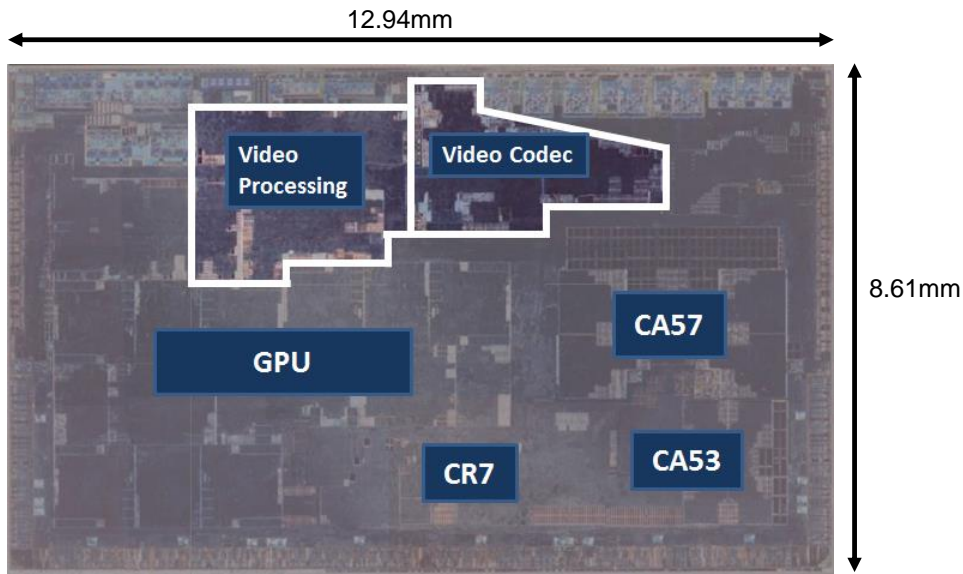


図 6.3 車載情報システム向けシステム LSI における動画像処理回路のチップ写真

試作 LSI における動画像符号化処理性能，及び，提案したメモリアクセスデータ圧縮方式による低電力化の効果を評価するため，試作 LSI のコア消費電流を評価ボードにて測定した．図 6.4 に，試作 LSI の評価方法及び測定条件を示した．消費電流の増加している時間が動画像符号化処理の処理時間を表し，消費電流の増分値から消費電力が算出できる．メモリアクセスデータ圧縮 OFF と ON における Full-HD の動画像復号処理の処理時間及び消費電力を評価した．なお，本節における全ての評価は，H.264 参照ソフトウェアの JM (Joint Model) 及び H.265 参照ソフトウェアの HM (HEVC Test Model) を用いて，試作 LSI がサポートする最大ビットレートである 40Mbps に符号化したビットストリームを使用している．

図 6.5 に動画像復号処理の処理時間の測定結果を示す．1 ピクチャあたりの処理時間は 8.3ms 以内であり，1 セットの Stream Processor (SP) と Codec Processor (CP) で Full-HD 4 チャンネルの動画像復号処理が可能である．試作 LSI では 3 セットの SP と CP を実装し，Full-HD 12 チャンネル動画像処理を可能としている．図 6.6 に Full-HD H.264 12 チャンネル動画像復号処理の消費電力の測定結果を示す．メモリアクセスデータ圧縮 OFF 時 245mW に対し ON 時 197mW であり，メモリアクセスデータ圧縮によるオーバーヘッドを含めてもバスの消費電力が半減し，メモリアクセスデータ圧縮により全体では 20%削減されている．

第6章 評価結果

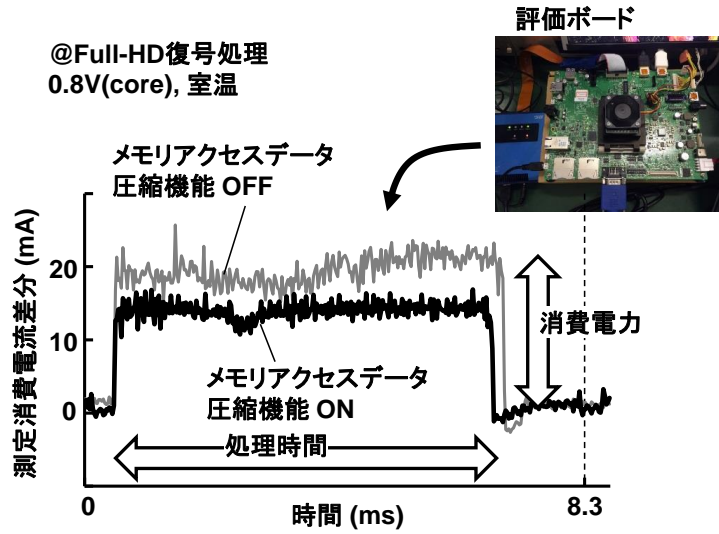


図 6.4 車載情報システム向けシステム LSI の評価方法及び測定条件

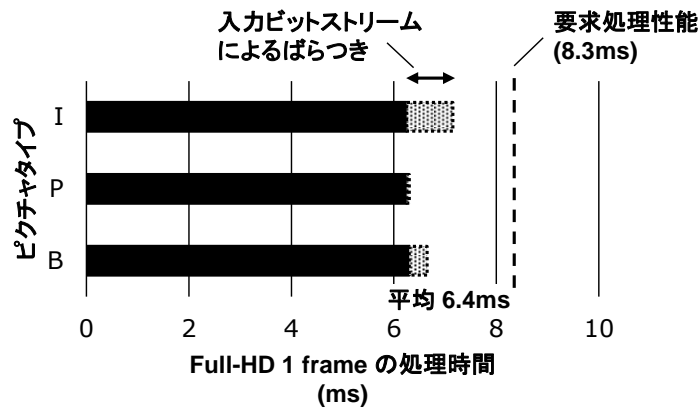


図 6.5 車載情報システム向けシステム LSI の動画復号処理の処理時間

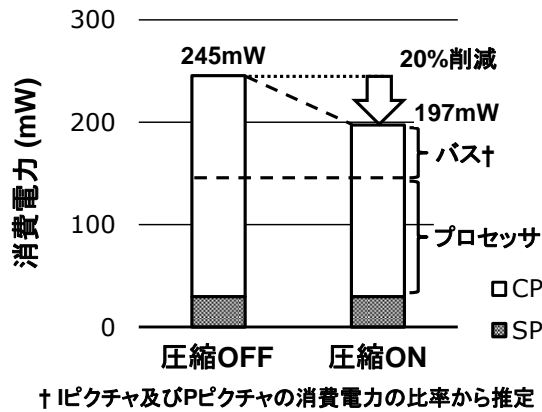


図 6.6 Full-HD H.264 12 チャンネル動画復号処理の消費電力

第 6 章 評価結果

動画復号処理の消費電力を従来研究と比較した。対応解像度について異なる仕様の動画復号処理の消費電力を比較するにあたり、同じ条件での比較とするため、画素あたりの消費電力値を用いた。図 6.7 に、試作 LSI における YUV420 H.264 及び H.265 動画復号処理の消費電力測定結果を示す。メモリアクセスデータ圧縮 ON で測定した。画素あたりの消費電力は 0.16nJ/pixel から 0.29nJ/pixel の範囲であり、平均 0.24nJ/pixel であった。なお、試作 LSI に実装された動画符号化・復号回路は複数の規格に対応しており、H.264、H.265 やその他の規格間で多くの回路を共有している。理論上のワーストケースでは H.265 に必要なメモリ帯域は H.264 よりも多いけれども、通常ケースではその差は小さい。本測定結果においても H.264 と H.265 間での消費電力には顕著な差は見られない。表 6.4 に、H.264 または H.265 を対象とした従来研究[JUC15][HUAN13a][MEHE12][IWAT09a]との動画処理性能及び消費電力の比較を示す。従来のアプリケーションプロセッサ (AP) を大きく凌駕し、動画復号専用 LSI[HUAN13a]に対しても優位な低電力を実現した。

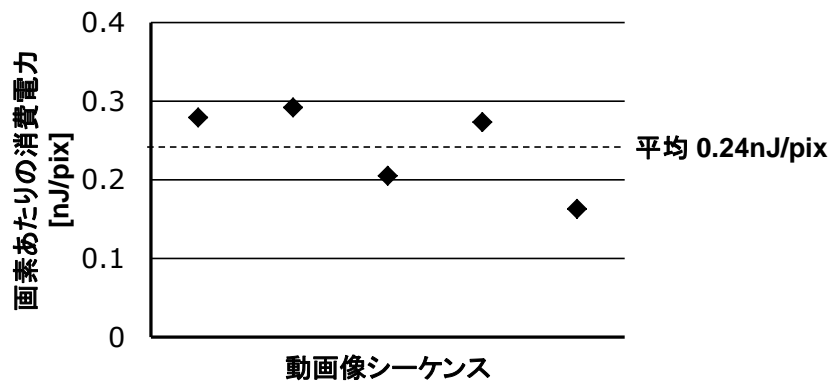


図 6.7 H.264 及び H.265 動画復号処理の消費電力

表 6.4 従来研究との動画処理性能及び消費電力の比較

	本研究	ISSCC 2015 [JUC15]	ISSCC 2013 [HUAN13a]	ISSCC 2012 [MEHE12]	ISSCC 2009 [IWAT09a]
チップ種別	AP	AP	Decoder	AP	AP
微細化テクノロジー (コア電圧)	16n (0.8V)	28n (0.9V)	40n (0.9V)	32n (1.1V)	65n (1.2V)
動画処理性能	750 Mpix/s	265 Mpix/s	249 Mpix/s	124 Mpix/s	62 Mpix/s
画素あたりコア消費電力	0.16-0.29 nJ/pix	0.51 nJ/pix	0.31 nJ/pix	0.52 nJ/pix	5.50 nJ/pix

AP : アプリケーションプロセッサ

以上、第 4 章にて提案したシステム LSI アーキテクチャを適用した高性能動画処理シ

第 6 章 評価結果

システム LSI の試作結果を示した。評価により、Full-HD 12 チャンネルの動画像処理が可能であることを実証し、また、提案したメモリアクセスデータ圧縮手法を適用することで従来研究を凌駕する低電力を実現可能であることを実証した。

6.4 超低遅延動画像符号化方式の評価

第 5 章にて提案した超低遅延動画像符号化方式について、ビヘイビアモデルシミュレーションにより圧縮率及び画質を評価した。入力画像には、動画像符号化の画質評価に一般的に使用されている Full-HD 画像 (1920 画素×1080 ライン, 60fps) の 4 つのテスト動画シーケンス [ITEC16] を用いた。図 6.8 に、各テスト画像シーケンスの 1 枚目の画像を示す。本評価における圧縮率 CR (Compression Ratio) は、圧縮後のビットストリームのデータ量÷入力画像のデータ量と定義する。画質の評価には、PSNR (Peak signal-to-noise ratio) と SSIM (Structural similarity) を用いた。

5.3.4 項にて提案した基本アルゴリズムについて、表 6.5 にレート制御非適用時の画質評価結果、図 6.9 にレート制御非適用時の圧縮後画像例を示す。CR は 34.7%~41.6% (平均 39.0%)、輝度の PSNR と SSIM はそれぞれ 39.2dB~51.6dB (平均 45.4dB), 0.999~1.000 (平均 1.000) であり、図 6.9 から画質劣化は全く認知できない。すなわち、提案方式は、視覚的な画質劣化なしに、入力画像に対し 40%までデータ量削減を可能としている。この結果は、同じくライン単位処理に基づき 45%までデータ量削減を実現した従来研究 [INAT15] に対し、優位である。

表 6.6 に、5.3.5 項にて提案した 1 次元 DCT を適用したアルゴリズムについて、レート制御非適用時の画質評価結果を示す。1 次元 DCT モードでは量子化パラメータ Qp は入力画像では決定されないため、表 6.5 の結果と同じ画質を得られるようにテスト動画シーケンスごとに Qp を調整した。CR は 24.4%~33.0% (平均 29.5%)、輝度の PSNR と SSIM はそれぞれ 40.6dB~49.0dB (平均 45.5dB), 0.999~1.000 (平均 1.000) である。すなわち、提案方式は、1 次元 DCT 適用により、視覚的な画質劣化なしに、入力画像に対し 30%までデータ量削減を可能としている。

図 6.10 に、RD 曲線 (Rate-distortion curve) を用いてレート制御適用時の画質評価結果を示す。基本アルゴリズムは、低遅延用途にて広く使われている H.264 Intra とほぼ同じ画質を、1/1000 の超低遅延でありながら 2 倍のビットレートで実現している。また、1 次元 DCT モードは、H.264 Intra に近い符号化効率を実現している。一般に PSNR が 35dB 超であれば画質劣化を検知することは困難であるため、RD 曲線は、基本アルゴリズムと 1 次元 DCT モードは、視覚的な画質劣化なしに、それぞれ 33%及び 20%まで圧縮可能であることを示している。

第 6 章 評価結果

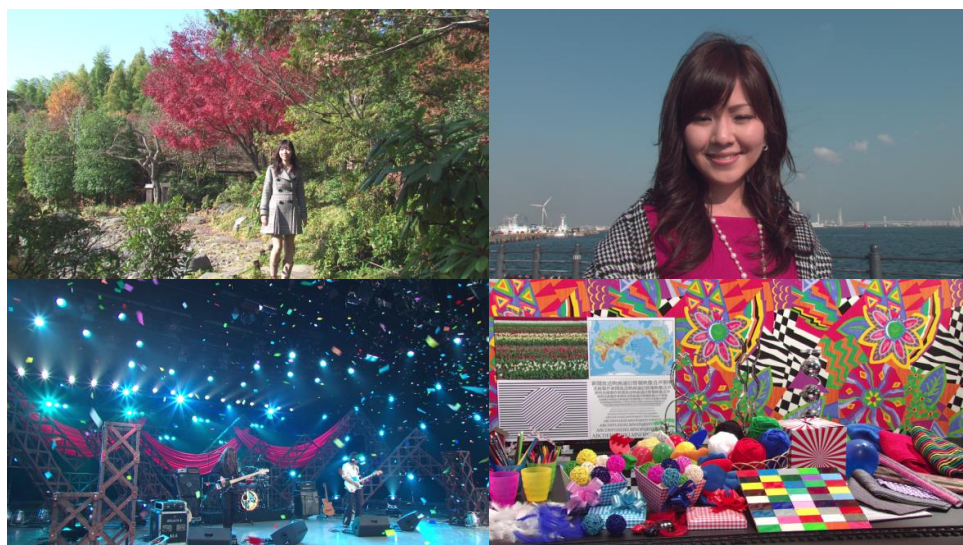


図 6.8 各テスト動画シーケンスの 1 枚目の画像 (左上: Red leaves (pan up), 右上: Woman at harbor (circle dolly), 左下: Studio concert (confetti), 右下: Colorful world A)

表 6.5 レート制御非適用時の基本アルゴリズム画質評価結果

Evaluation Metrix	Test Video Sequences [4]				Average
	Red leaves (pan up)	Woman at harbor (circle dolly)	Studio concert (confetti)	Colorful world A	
Compression ratio CR (%)	41.6	34.7	39.0	40.7	39.0
Image quality Y PSNR (dB)	39.2	51.6	47.4	43.2	45.4
Image quality U PSNR (dB)	40.0	46.1	42.8	39.2	42.0
Image quality V PSNR (dB)	37.1	44.8	39.0	37.5	39.6
Image quality Y SSIM	0.999	1.000	1.000	0.999	1.000
Image quality U SSIM	0.978	0.989	0.989	0.993	0.987
Image quality V SSIM	0.977	0.991	0.996	0.994	0.990

第 6 章 評価結果

入力画像(圧縮前)

圧縮後画像

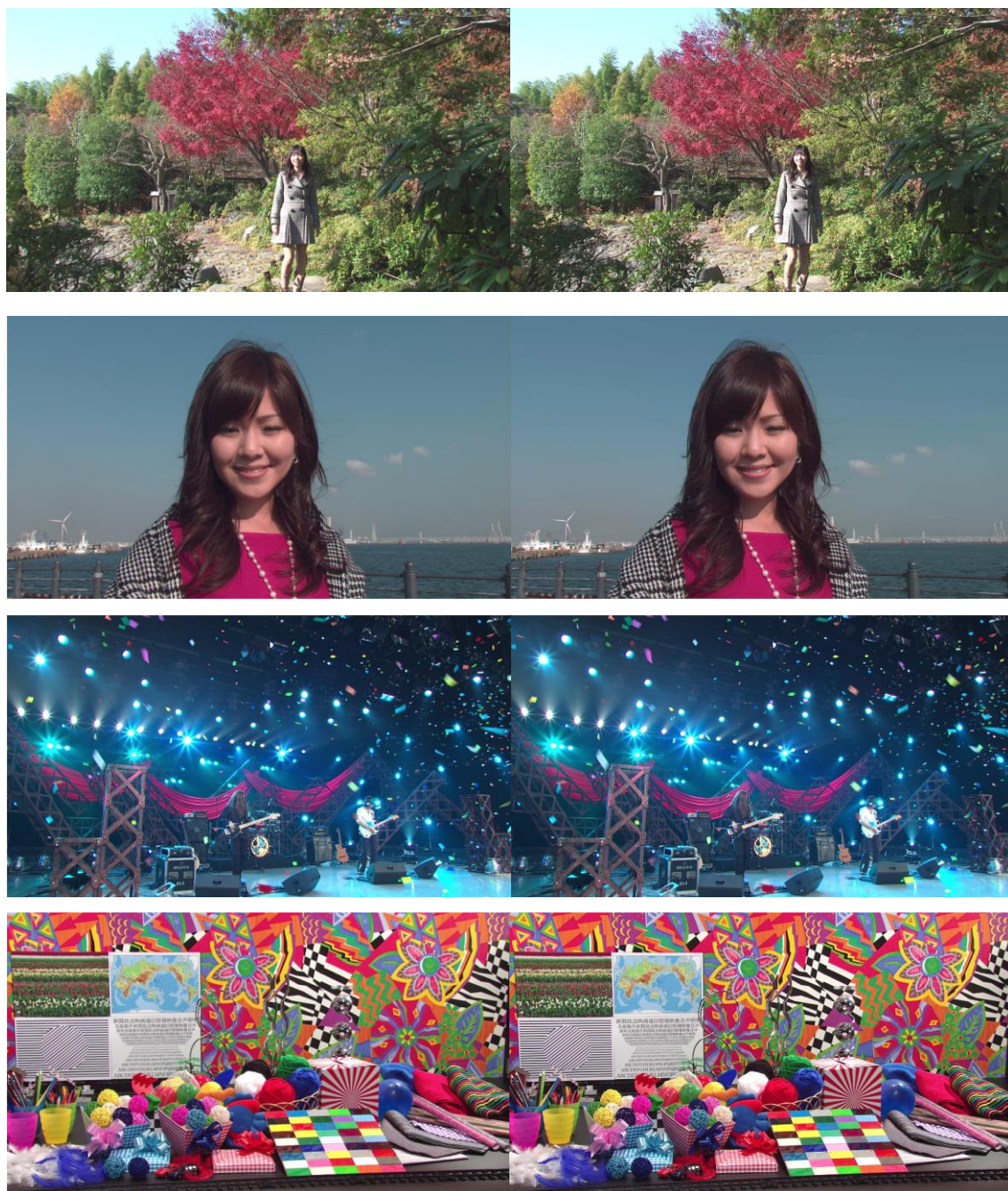


図 6.9 レート制御非適用時の基本アルゴリズムによる圧縮後画像例

第 6 章 評価結果

表 6.6 レート制御非適用時の 1 次元 DCT モード画質評価結果

Evaluation Metrix	Test Video Sequences [4]				Average
	Red leaves (pan up)	Woman at harbor (circle dolly)	Studio concert (confetti)	Colorful world A	
Compression ratio CR (%)	31.7	24.4	33.0	28.9	29.5
Image quality Y PSNR (dB)	40.6	48.9	49.0	43.6	45.5
Image quality U PSNR (dB)	39.5	48.4	48.5	42.9	44.8
Image quality V PSNR (dB)	39.8	48.5	48.7	43.2	45.1
Image quality Y SSIM	0.999	1.000	1.000	0.999	1.000
Image quality U SSIM	0.975	0.994	0.997	0.997	0.991
Image quality V SSIM	0.988	0.998	0.999	0.998	0.996

Applied Qp	6	2	2	4
------------	---	---	---	---

第 6 章 評価結果

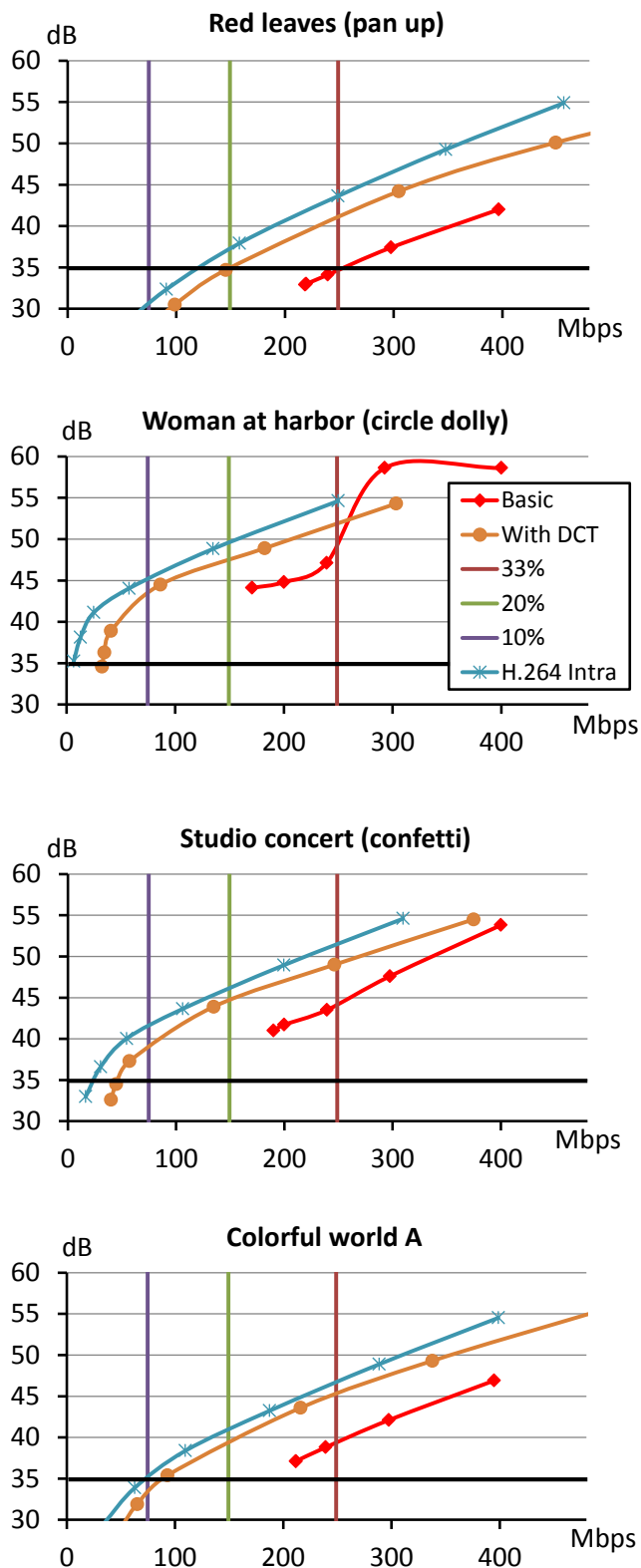


図 6.10 RD 曲線によるレート制御適用時の評価結果

第 6 章 評価結果

以上、第 5 章にて提案した超低遅延動画像符号化方式の圧縮率及び画質の評価結果を示した。評価の結果、ライン単位処理によるマイクロ秒オーダーの超低遅延でありながら、視覚的な画質劣化なしに 20%まで圧縮可能であることを実証した。実装による電力評価は今後の課題であるが、演算処理量およびメモリアクセス量は従来方式に比べ非常に小さく、電力も優位と推定する。

6.5 結言

動画像符号化・復号回路の低電力化、高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ、動画像符号化処理の低遅延化について、各提案の実現性とそれらの具体的効果を実証するために、対応する LSI の試作及び評価を行った。提案した動画像符号化・復号回路を搭載した LSI を 90nm CMOS プロセスにより試作し、評価結果より、提案した低電力アーキテクチャ及び符号化アルゴリズムの有効性を示した。本評価により、64mWにて HD 解像度対応の H.264 符号化処理を達成し、高解像度動画像符号化処理のモバイル機器への適用可能性を実証した。また、提案したシステム LSI アーキテクチャを適用した高性能動画像処理システム LSI を 16nm FinFET CMOS プロセスにより試作し、評価結果より、Full-HD 12 チャンネルの動画像処理が可能であることを実証し、また、提案したメモリアクセスデータ圧縮手法を適用することで従来研究を凌駕する低電力を実現可能であることを実証した。さらに、提案した超低遅延動画像符号化方式の圧縮率及び画質を評価し、ライン単位処理によるマイクロ秒オーダーの超低遅延でありながら、視覚的な画質劣化なしに 20%まで圧縮可能であることを実証した。

以上、提案技術についての評価結果を総括した。これらの提案により、高解像度動画像を画質劣化させることなく小規模・低電力で処理可能な動画像符号化・復号回路を実現した。複数アプリケーションを独立に実行可能、かつ、メモリアクセスデータ圧縮による高性能及び低電力の LSI アーキテクチャを実現した。さらに、従来動画像符号化方式における動画像符号化処理の低遅延化、及び、新規動画像符号化方式による超低遅延を実現した。これらは、高度情報化社会における画像情報サービスが要請する動画像処理の向かう方向に沿って、システム LSI における動画像符号化処理の高性能化、低電力化、及び、低遅延化を実現し得るものであり、今後発展が予想される高度情報化社会の実現において極めて有効に機能するものと考えられる。

第7章 結論

本研究では、高解像度デジタル動画像処理のモバイル機器及び低遅延アプリケーションへの適用に向け、システム LSI における動画像符号化処理の高性能化、低電力化、低遅延化を実現することを目的として、動画像符号化・復号回路の低電力化、高性能及び低電力動画像処理を実現するシステム LSI アーキテクチャ、動画像符号化処理の低遅延化について新規技術を提案し、その有効性の実証を行った。本研究で得られた結論を以下に総括する。

1. デジタルカメラ、デジタルビデオカメラ、携帯電話などのモバイル機器への搭載を想定した動画像符号化・復号回路の低電力化に焦点をあて、H.264 符号化方式におけるマクロブロックレベルパイプラインをベースとした低電力アーキテクチャと独自符号化アルゴリズムを提案した。
 - (1) マクロブロック単位のパイプライン処理により動作周波数を低く抑えるとともに、全ての機能ブロックのタイムスロットをマクロブロック単位で同期させ制御を単純化することで、小規模かつ低電力を実現するアーキテクチャを提案した。
 - (2) 各機能ブロックへのクロックの供給を動画像符号化・復号回路の外部から動的に制御する機構を設け、クロックツリー全体が消費する電力を低減する手法を提案した。提案動画像符号化・復号回路に 12 のクロックドメインに分割された動的クロック供給停止機構を適用することで、フリップフロップとクロックツリー中のバッファの消費電力を削減し、最大 16%の消費電力低減を達成した。
 - (3) マクロブロック単位のパイプライン処理を可能とするウォーターフロー型の符号化アルゴリズムにおける画質劣化の課題に対し、入力画像からの予測によるイントラ予測モード決定手法、及び、係数有無予測に基づくインター予測モード決定手法を提案し、低電力と高画質を両立する符号化アルゴリズムを実現した。
 - (4) 提案した動画像符号化・復号回路を搭載した LSI を 90nm CMOS プロセスにより試作した。試作 LSI は、H.264 及び MPEG-4 に対応し、HD 動画（1280 画素×720 ライン、30fps）の符号化または復号を 144MHz、SD 動画（720 画素×480 ライン、30fps）を 54MHz の低動作周波数でリアルタイム処理可能である。評価結果より、H.264 参照ソフトウェアの JM と同等の高画質を保ちつつ、64mW の低電力にて HD 解像度対応の H.264 符号化処理を達成し、高解像度動画像符号化処理のモバイル機器への適用可能性を実証した。

第7章 結論

2. 車載情報システム向けシステム LSI の実現に向けて、高性能、低電力のための LSI アーキテクチャを提案した。
 - (1) 車載情報システムに必要とされる膨大な動画像処理を並列分散処理するために、CPU 及び GPU と独立に動作する 6 種類 17 個の動画像処理プロセッサをバストラフィック最適化制御された階層バス上に配置する LSI アーキテクチャを提案した。
 - (2) 多数のプロセッサの同時動作によるピーク電力を抑制するため、クロックマスク回路により各プロセッサの動作周波数をアプリケーションソフトウェアから動的に制御する手法を提案した。
 - (3) 性能面及び電力面のボトルネックとなるメモリアクセスを低減するため、可逆データ圧縮と非可逆データ圧縮を処理内容に応じて組み合わせたメモリアクセスデータ圧縮手法を提案し、Full-HD 12 チャンネル動画像処理の使用メモリ帯域を 18.6GB/s から 9.2GB/s へと 50%削減することを実現した。
 - (4) 動画像符号化処理に適用するメモリアクセスデータ圧縮手法として、ライトバッファとキャッシュを用いてメモリアクセスにおけるデータサイズを最適化し、DDR アクセス効率を加味した実質的な圧縮効率を改善する手法を提案した。32bit データ幅 LPDDR4 を接続したシステム LSI において、キャッシュを使用した 256B 単位の提案圧縮手法を適用することで、メモリアクセスデータの 70%削減を実現した。
 - (5) 提案したシステム LSI アーキテクチャを適用した車載情報システム向けシステム LSI を 16nm FinFET CMOS プロセスにより試作し、Full-HD 12 チャンネルの動画像処理が可能であることを実証した。また、提案したメモリアクセスデータ圧縮手法により消費電力を 20%削減して従来研究を凌駕し、Full-HD H.264 12 チャンネル動画像復号処理を 197mW の低電力で実現可能であることを実証した。
3. 自動運転や Virtual reality (VR) などの高解像度動画像の低遅延伝送が必要なアプリケーション向けに、動画像符号化処理の低遅延化手法を提案した。
 - (1) 従来規格における低遅延化手法として、自動駐車を念頭にした低速走行時の周辺監視を題材に、H.264 対応復号処理の低遅延化手法を提案した。低遅延動作時には可変長復号部と画像処理部の並列処理を FIFO 接続直列処理に切り替え、後続処理ともハンドシェイクによりパイプライン動作させる手法を提案し、動画像復号処理と画像歪み補正処理

第 7 章 結論

を 70ms の低遅延で実行できることを可能とした。

- (2) 高速走行時の周辺監視や VR に必要な超低遅延を実現するため、ライン単位処理による超低遅延動画像符号化方式を提案し、Full-HD 動画を 0.44 μ s の遅延で処理可能とした。
- (3) 複数のライン単位画像予測方法、画像適応量子化、最適化したエントロピー符号化、1 次元 DCT などの要素技術、及び、それらを用いた動画像符号化・復号回路の全体構成を提案し、ビヘイビアモデルシミュレーションの結果、視覚的な画質劣化なしに 20%まで圧縮可能であることを示した。

以上、システム LSI における動画像符号化処理の高性能化、低電力化、低遅延化に係わる研究とその工学的応用について、新規提案とこれに基づいた LSI 試作及び評価を行った。モバイル機器への搭載が一般的となった動画像符号化・復号回路の低電力化において、提案した低電力アーキテクチャ及びアルゴリズムの概念は、基本的な技術思想として既に製品設計に適用されており、今後も定着し続けると考えられる。また、本研究にて指摘したメモリアクセスデータ圧縮における DDR アクセス効率考慮の必要性及び提案手法は、工学的応用における必須事項として新たな重要課題及び解決策と認識されるに至った。さらなる高機能化、高性能化が進むシステム LSI においてメモリアクセスの重要性はますます高まると予測され、その基本技術として今後も製品設計に適用されていくと考えられる。今後の高度情報化社会に向けた画像情報サービスの進展には、システム LSI における動画像符号化処理の高性能化、低電力化、及び、低遅延化は不可欠であり、特に超低遅延動画像符号化技術による画像伝送は第 4 次産業革命における基本要素技術となるであろう。本研究で提案した低電力化及び低遅延化技術を核として、さらなる低電力及び低遅延を実現する技術開発が新たな課題となるものと予測される。それらの先進技術を組み込んだシステム LSI の発展により、高度情報化社会の実現が促進されるものと期待される。

謝 辞

謝 辞

本論文をまとめるにあたり、多くのご支援とご指導を賜りました日本大学 工学部 情報工学科 松村哲哉教授に深甚なる謝意を表します。企業における研究経験しかない筆者に対し、大学という研究機関の意義及びそこでの研究の進め方についてご教示下さり、松村教授との研究活動は筆者にとって非常に貴重な経験となりました。また、本論文に対し、多くの有益なるご助言を賜りました金沢大学 理工研究域 電子情報通信学系 松田吉雄教授、同 今村幸祐准教授、弘前大学 大学院理工学研究科 理工学部電子情報工学科 金本俊幾教授、ならびに日本大学 工学部 情報工学科 加瀬澤正教授に深謝の意を表します。

本論文は、筆者が 2003 年から 2018 年の間に、株式会社ルネサステクノロジ及びルネサスエレクトロニクス株式会社において行った研究、及び、日本大学大学院 工学研究科 情報工学専攻 博士後期課程に在籍中の研究をまとめたものであります。本研究の機会を与えて下さいましたルネサスエレクトロニクス株式会社 オートモーティブソリューション事業本部 情報ユニット長 渡辺浩巳氏、同事業本部 車載 MCU 開発統括部統括部長 服部俊洋博士、同事業本部 技師長 原博隆氏、同事業本部 車載 SoC 開発統括部統括部長 亀井達也氏、ならびに同事業本部 車載 SoC 開発統括部統括シニアダイレクター 伊東久範氏に篤く御礼申し上げます。

ルネサスエレクトロニクス株式会社にて動画像符号化の研究に携われましたことは、筆者の人生における礎であり、また、将来への展望を与える業績ともなり、筆者にとって非常に幸運なことであります。動画像符号化 IP の開発において苦楽を共にした開発メンバである、同株式会社 オートモーティブソリューション事業本部 車載 SoC 開発統括部 岩田憲一博士、同統括部 車載 SoC 技術開発部課長 松原勝重氏、同部主任技師 柴山哲也氏、同部 秋江一志氏、同部 植田浩司氏、同部 松本圭介氏、同部 加谷俊之氏、同部 橋本亮司博士、同部 前川拓氏、同事業本部 テクニカルカスタマーエンゲージメント統括部 テクニカルカスタマーエンゲージメント第三部課長 木村基博士、同事業本部 車載ソフトウェア開発統括部 車載 SoC ソフトウェア開発部課長 今岡連氏、同部 長谷昌氏、同部 泉原史幸氏、ならびに同社外へと活躍の場を移しておられる昇正樹氏に深く感謝致します。また、車載 SoC におけるバスシステム及びメモリコントローラの開発に共にあたりました、同株式会社 同事業本部 車載 SoC 開発統括部 車載 SoC 技術開発部主管技師 入田隆宏博士、同部主任技師 堀田義彦博士、同部 水本勝也氏、同部 本田信彦氏、同部 山中翔氏、ならびに同統括部 車載 SoC 製品開発部主任技師 米花知生氏に感謝致します。これらの開発においては、Chi Nguyen 氏をはじめとする Renesas Design Vietnam の開発メンバにも多くのご協力を頂きました。この場を借りてお礼申し上げます。

また、日本大学大学院での研究においてご協力頂きました金沢大学 自然科学研究科 電子情報科学専攻 過足幸司氏、日本大学大学院 工学研究科 情報工学専攻卒業 金澤舜祐氏、同専攻 森海斗氏に深謝致します。研究をサポート頂いた日本大学大学院 工学研究科 情報

謝 辞

工学専攻 大平裘耶氏，各年度の学部生の方々にも感謝致します。なお，本研究の一部は，科研費（17K06444）の助成を受けたものであります。

最後に，日本大学大学院への通学及び本論文の執筆に対し，常に暖かく見守り，時に勇気づけてくれた人生の伴侶，望月理恵氏に深く感謝致します。彼女の協力がなければ，日本大学大学院における研究及び本論文の執筆は行うことができなかったでしょう。本当にありがとう。

参考文献

参 考 文 献

- [ACKL94] B. Ackland, "The role of VLSI in multimedia," *IEEE Journal of Solid-State Circuits*, Vol. 29, Issue 4, pp. 381-388, Apr. 1994.
- [BAHL05] C. Bahlmann, Y. Zhu, V. Ramesh, M. Pellkofer, and T. Koehler, "A system for traffic sign detection, tracking, and recognition using color, shape, and motion information," *Proc. IEEE Intelligent Vehicles Symposium 2005*, pp. 255-260, Jun. 2005.
- [BAJI88] T. Baji, H. Kojima, S. Ohba, T. Hayashida, K. Kaneko, Y. Hagiwara, and N. Sumi, "A 20-ns CMOS micro DSP core for video-signal processing," *IEEE Journal of Solid-State Circuits*, Vol. 23, Issue 5, pp. 1203-1210, Oct. 1988.
- [BDAJ05] Blu-ray Disc Association, "BD-J Baseline Application and Logical Model Definition for BD-ROM," Mar. 2005.
- [BENG14] K. Bengler, K. Dietmayer, B. Farber, M. Maurer, C. Stiller, and H. Winner, "Three Decades of Driver Assistance Systems: Review and Future Perspectives," *IEEE Intelligent Transportation Systems Magazine*, Vol. 6, Issue 4, pp. 6-22, Oct. 2014.
- [CALL17] T. Calloway, D. B. Megherbi, and H. Zhang, "Global localization and tracking for wearable augmented reality in urban environments," *Proc. IEEE Int. Conf. on Computational Intelligence and Virtual Environments for Measurement Systems and Applications*, pp. 105-110, Jul. 2017.
- [CHEN95] M.-J. Chen, L.-G. Chen, T.-D. Chiueh, and Y.-P. Lee, "A new block-matching criterion for motion estimation and its implementation," *IEEE Trans. on Circuits and Systems for Video Technology*, Vol. 5, Issue 3, pp. 231-236, Jun. 1995.
- [CHEN06] C.-Y. Chen, S.-Y. Chien, Y.-W. Huang, T.-C. Chen, T.-C. Wang, and L.-G. Chen, "Analysis and architecture design of variable block-size motion estimation for H.264/AVC," *IEEE Trans. on Circuits and Systems*, Vol. 53,

参考文献

Issue 3, pp. 578-593, Mar. 2006.

- [CHEN09] C.-C. Cheng, P.-C. Tseng, and L.-G. Chen, "Multimode Embedded Compression Codec Engine for Power-Aware Video Coding System," *IEEE Trans. on Circuits and Systems for Video Technology*, Vol. 19, Issue 2, pp. 141-150, Feb. 2009.
- [CHOI06] I. Choi, J. Lee, and B. Jeon, "Fast Coding Mode Selection With Rate-Distortion Optimization for MPEG-4 Part-10 AVC/H.264," *IEEE Trans. on Circuits and Systems for Video Technology*, Vol. 16, Issue 12, pp. 1557-1561, Dec. 2006.
- [DVBT18] Digital Video Broadcasting (DVB), "Specification for the use of Video and Audio Coding in Broadcast and Broadband Applications," *ETSI TS 101 154 V2.4.1*, Feb. 2018.
- [DVDF99] DVD Forum, "DVD Specifications for Rewritable/Re-recordable Discs," *Part3 Video Recording Version 1.0*, Sep. 1999.
- [ENOM96] T. Enomoto, "Low power design technology for digital LSIs," *IEICE Trans. Electron.*, Vol. E79-C, No. 12, pp. 1639-1649, Dec. 1996.
- [FERR13] M. Ferreira, P. Gomes, M. K. Silvéria, and F. Vieira, "Augmented Reality driving supported by Vehicular Ad Hoc Networking," *Proc. IEEE Int. Symposium on Mixed and Augmented Reality*, pp. 253-254, Oct. 2013.
- [FORT86] M. Fortier, S. A. Sabri, and O. Bahgat, "Architectures for VLSI implementation of movement-compensated video processors," *IEEE Journal of Solid-State Circuits*, Vol. 21, Issue 1, pp. 140-149, Feb. 1986.
- [FUJI92] H. Fujiwara, M. L. Liou, M. T. Sun, K. M. Yang, M. Maruyama, K. Shomura, and K. Ohyama, "An all-ASIC implementation of a low bit-rate video codec," *IEEE Trans. on Circuit and System for Video Technology*, Vol. 2, Issue 2, pp. 123-134, Jun. 1992.
- [GERO10] D. Geronimo, A. M. Lopez, A. D. Sappa, and T. Graf, "Survey of

参考文献

- Pedestrian Detection for Advanced Driver Assistance Systems,” IEEE Trans. on Pattern Analysis and Machine Intelligence, Vol. 32, Issue 7, pp. 1239-1258, Jul. 2010.
- [GOTO91] J. Goto, K. Ando, T. Inoue, M. Yamashina, H. Yamada, and T. Enomoto, “250-MHz Bi-CMOS super-high-speed video signal processor (S-VSP) ULSI,” IEEE Journal of Solid-State Circuits, Vol. 26, Issue 12, pp. 1876-1884, Dec. 1991.
- [GOTO06] K. Goto, A. Hatabu, H. Nishizuka, K. Matsunaga, R. Nakamura, Y. Mochizuki, and T. Miyazaki, “H.264 Video Encoder Using a Low Power DSP,” IEICE Tech. Report, Vol.106, No.21, SIP2006-8, pp.43-48, Apr. 2006.
- [GVOZ07] G. Gvozden, M. Gosta, and S. Grgic, “Comparison of H.264/AVC and MPEG-4 ASP coding techniques designed for mobile applications using objective quality assessment methods,” Proc. IEEE ELMAR 2007, pp. 51-54, Sep. 2007.
- [GUOL13] L. Guo, D. Zhou, and S. Goto, “Lossless embedded compression using multi-mode DPCM & averaging prediction for HEVC-like video codec,” Proc. 21st European Signal Processing Conf., pp. 1-5, Sep. 2013.
- [HARR99] M. Harrant, J. Sanches, A. Bellon, J. Bulone, A. Tournier, O. Deygas, J.-C. Herluisson, D. Doise, and E. Berrebi, “A single-chip CIF 30-Hz, H261, H263, and H263+ video encoder/decoder with embedded display controller,” IEEE Journal of Solid-State Circuits, Vol. 34, Issue 11, pp. 1627-1633, Dec. 1999.
- [HATO07] 羽鳥 好律, “ワンセグ放送の技術と動向”, 電子情報通信学会 通信ソサイエティマガジン, 2007 巻, 1 号, pp. 1_39-1_49, 2007 年 6 月
- [HAYA95] N. Hayashi, T. Kitsuki, T. Shiraishi, T. Yokoyama, K. Oobuchi, Y. Ooi, S. Ikegami, N. Tokuda, H. Honma, I. Tamitani, T. Miyazaki, Y. Miyamoto, and M. Ohta, “A compact motion estimator with a simplified vector search strategy maintaining encoded picture quality,” Proc. IEEE Custom

参考文献

- Integ. Conf., pp. 17.5.1-17.5.4, May 1995.
- [HERV92] R. Hervigo, J. Kowalczyk, and D. Mlynek, "A multiprocessors architecture for a HDTV motion estimation system," *IEEE Trans. on Consumer Electronics*, Vol. 38, Issue 3, pp. 690-697, Aug. 1992.
- [HOT11] T. M. P. Ho, T. M. Le, K. D. Vu, S. Mochizuki, K. Iwata, K. Matsumoto, and H. Ueda, "A 768 Megapixels/sec inverse transform with hybrid architecture for multi-standard decoder," *Proc. IEEE Int. Conf. on ASIC*, pp. 71-74, Oct. 2011.
- [HSIE92] C.-H. Hsieh and T.-P. Lin, "VLSI architecture for block-matching motion estimation algorithm," *IEEE Trans. on Circuits and Systems for Video Technology*, Vol. 2, Issue 2, pp. 169-175, Jun. 1992.
- [HUAN05a] Y.-W. Huang, T.-C. Chen, C.-H. Tsai, C.-Y. Chen, T.-W. Chen, C.-S. Chen, C.-F. Shen, S.-Y. Ma, T.-C. Wang, B.-Y. Hsieh, H.-C. Fang, and L.-G. Chen, "A 1.3TOPS H.264/AVC Single-Chip Encoder for HDTV Applications," *Proc. IEEE Int. Solid-State Circuits Conf.*, pp.128-129, Feb. 2005.
- [HUAN05b] Y.-W. Huang, B.-Y. Hsieh, T.-C. Chen, and L.-G. Chen, "Analysis, fast algorithm, and VLSI architecture design for H.264/AVC intra frame coder," *IEEE Trans. on Circuits and Systems for Video Technology*, Vol. 15, Issue 3, pp. 378-401, Mar. 2005.
- [HUAN13a] C.-T. Huang, M. Tikekar, C. Juvekar, V. Sze, and A. Chandrakasan, "A 249Mpixel/s HEVC Video-Decoder Chip for Quad Full HD Applications," *Proc. IEEE Int. Solid-State Circuits Conf.*, pp. 162-163, Feb. 2013.
- [HUAN13b] S.-C. Huang and B.-H. Chen, "Highly Accurate Moving Object Detection in Variable Bit Rate Video-Based Traffic Monitoring Systems," *IEEE Trans. on Neural Networks and Learning Systems*, Vol. 24, Issue 12, pp. 1920-1931, Dec. 2013.
- [HUW04] W. Hu, T. Tan, L. Wang, and S. Maybank, "A survey on visual surveillance of object motion and behaviors," *IEEE Trans. on Systems, Man, and*

参考文献

- Cybernetics, Part C (Applications and Reviews), Vol. 34, Issue 3, pp. 334-352, Aug. 2004.
- [HUYN17] K. Huynh, T. Nguyen, H. Nguyen K. Tran, K. Iwata, K. Mizumoto, N. Honda, K. Matsumoto, K. Matsubara, and S. Mochizuki, "16.8 GB/s LPDDR4-3200 @32-bit memory access bandwidth," Proc. IEEE Int. Conf. on Integrated Circuits, Design, and Verification, pp. 16-21, Oct. 2017.
- [IINU06] T. Iinuma, M. Miyama, J. Miyakoshi, Y. Murachi, T. Matsuno, M. Hamamoto, T. Ishihara, H. Kawaguchi, and M. Yoshimoto, "An 800-uW H.264 Baseline-Profile Motion Estimation Processor Core," Proc. IEEE Asian Solid-State Circuits Conf., pp.99-102, Nov. 2006.
- [INAT15] T. Inatsuki, M. Matsuura, K. Morinaga, H. Tsutsui, and Y. Miyanaga, "An FPGA implementation of low-latency video transmission system using lossless and near-lossless line-based compression," Proc. IEEE Digital Signal Processing, pp. 1062-1066, Jul. 2015.
- [ISHI95] K. Ishihara, S. Masuda, S. Hattori, H. Nishikawa, Y. Ajioka, T. Yamada, H. Amishiro, and M. Yoshimoto, "A half-pel precision MPEG2 motion estimation processor with concurrent three-vector search," Proc. IEEE Int. Solid-State Circuits Conf., pp.74-75, Feb. 1995.
- [ISOV94] ISO/IEC 13818-2, "Generic coding of moving pictures and associated audio," International standard, 1994.
- [ISOV99] ISO/IEC 14496-2, "Information technology -- Coding of audio-visual objects -- Part 2: Visual," International standard, 1999.
- [ISOV03] ISO/IEC 14496-10, "Information technology -- Coding of audio-visual objects -- Part 10: Advanced Video Coding," International standard, 2003.
- [ISOV13] ISO/IEC 23008-2, "Information technology -- High efficiency coding and media delivery in heterogeneous environments -- Part 2: High efficiency video coding," International standard, 2013.

参考文献

- [ITEC05] The Institute of Image Information and Television Engineers, “ハイビジョン・システム評価用標準動画像,” [online] Available: <http://www.ite.or.jp/content/chart/>, (accessed 2005).
- [ITEC16] The Institute of Image Information and Television Engineers, “ハイビジョン・システム評価用標準動画像第2版,” [online] Available: <http://www.ite.or.jp/content/chart/>, (accessed 2016).
- [ITUR05] ITU-T Rec. H.264.2, “Reference software for ITU-T H.264 advanced video coding,” International standard, 2005.
- [ITUT03] ITU-T Rec. H.264, “Advanced video coding for generic audiovisual services,” International standard, 2003.
- [ITUT13] ITU-T Rec. H.265, “High efficiency video coding,” International standard, 2013.
- [IVAN08] Y. V. Ivanov and D. Moloney, “Reference Frame Compression Using Embedded Reconstruction Patterns for H.264/AVC Decoder,” Proc. 2008 The Third Int. Conf. on Digital Telecommunications, pp. 168-173, Jul. 2008.
- [IWAT08] K. Iwata, S. Mochizuki, M. Kimura, T. Shibayama, F. Izuhara, H. Ueda, K. Hosogi, H. Nakata, M. Ehama, T. Kengaku, T. Nakazawa, and H. Watanabe, “A 256mW full-HD H.264 high-profile CODEC featuring dual macroblock-pipeline architecture in 65nm CMOS,” Proc. IEEE Symposium on VLSI Circuits, pp.102-103, Jun. 2008.
- [IWAT09a] K. Iwata, T. Irita, S. Mochizuki, H. Ueda, M. Ehama, M. Kimura, J. Takemura, K. Matsumoto, E. Yamamoto, T. Teranuma, K. Takakubo, H. Watanabe, S. Yoshioka, and T. Hattori, “A 342mW Mobile Application Processor with Full-HD Multi-Standard Video Codec,” Proc. IEEE Int. Solid-State Circuits Conf., pp.158-159, Feb. 2009.
- [IWAT09b] K. Iwata, S. Mochizuki, M. Kimura, T. Shibayama, F. Izuhara, H. Ueda, K. Hosogi, H. Nakata, M. Ehama, T. Kengaku, T. Nakazawa, and H.

参考文献

- Watanabe, "A 256 mW 40 Mbps Full-HD H.264 High-Profile Codec Featuring a Dual-Macroblock Pipeline Architecture in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 44, Issue 4, pp. 1184-1191, Apr. 2009.
- [IWAT10a] K. Iwata, T. Irita, S. Mochizuki, H. Ueda, M. Ehama, M. Kimura, J. Takemura, K. Matsumoto, E. Yamamoto, T. Teranuma, K. Takakubo, H. Watanabe, S. Yoshioka, and T. Hattori, "A 342 mW Mobile Application Processor With Full-HD Multi-Standard Video Codec and Tile-Based Address-Translation Circuits," *IEEE Journal of Solid-State Circuits*, Vol. 45, Issue 1, pp. 59-68, Jan. 2010.
- [IWAT10b] K. Iwata, S. Mochizuki, M. Kimura, H. Ueda, K. Matsumoto, K. Akie, T. Shibayama, H. Hatae, and H. Watanabe, "An 80 mW dual video-codec SoC for seamless playback of digital terrestrial television and mobile broadcasting services," *Proc. IEEE Int. Symposium on Consumer Electronics*, pp. 1-2, Jun. 2010.
- [IWAT12] K. Iwata, R. Hashimoto, S. Mochizuki, and K. Aizawa, "Intra texture prediction based on repetitive pixel replenishment," *Proc. IEEE Int. Conf. on Image Processing*, pp. 2933-2936, Oct. 2012.
- [JIAN98] L. Jiang, D. Li, S. Haba, C. Honsawek, and H. Kunieda, "Dedicated design of motion estimator with Bits Truncation fast algorithm," *IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences*, Vol. E81-A, No. 8, pp. 1667-1675, Aug. 1998.
- [JUC15] C.-C. Ju, T.-M. Liu, K.-B. Lee, Y.-C. Chang, H.-L. Chou, C.-M. Wang, T.-H. Wu, H.-M. Lin, Y.-H. Huang, C.-Y. Cheng, T.-A. Lin, C.-C. Chen, Y.-K. Lin, M.-H. Chiu, W.-C. Li, S.-J. Wang, Y.-C. Lai, P. Chao, C.-D. Chien, M.-J. Hu, P.-H. Wang, F.-C. Yeh, Y.-C. Huang, S.-H. Chuang, L.-F. Chen, H.-Y. Lin, M.-L. Wu, C.-H. Chen, R. Chen, H. Y. Hsu, and K. Jou, "A 0.5nJ/Pixel 4K H.265/HEVC Codec LSI for Multi-Format Smartphone Applications," *Proc. IEEE Int. Solid-State Circuits Conf.*, pp.336-337, Feb. 2015.
- [KELL11] C. G. Keller, T. Dang, H. Fritz, A. Joos, C. Rabe, and D. M. Gavrilu,

参考文献

- “Active Pedestrian Safety by Automatic Braking and Evasive Steering,” IEEE Trans. on Intelligent Transportation Systems, Vol. 12, Issue 4, pp. 1292-1304, Dec. 2011.
- [KIKU10] Y. Kikuchi, M. Takahashi, T. Maeda, H. Hara, H. Arakida, H. Yamamoto, Y. Hagiwara, T. Fujita, M. Watanabe, T. Shimazawa, Y. Ohara, T. Miyamori, M. Hamada, M. Takahashi, and Y. Oowaki, “A 222mW H.264 Full-HD Decoding Application Processor with x512b Stacked DRAM in 40nm,” Proc. IEEE Int. Solid-State Circuits Conf., pp.326-327, Feb. 2010.
- [KIMJ10] J. Kim and C.-M. Kyung, “A Lossless Embedded Compression Using Significant Bit Truncation for HD Video Coding,” IEEE Trans. on Circuits and Systems for Video Technology, Vol. 20, Issue 6, pp. 848-860, Jun. 2010.
- [KIMU09] M. Kimura, K. Iwata, S. Mochizuki, H. Ueda, M. Ehama, and H. Watanabe, “A Full HD Multistandard Video Codec for Mobile Applications,” IEEE Micro, Vol. 29, Issue 6, pp.18-27, Jun. 2009.
- [KISH99] T. Kishimoto, H. Yamauchi, and R. Kasai, “System electronics technologies for video processings and applications,” IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, Vol. E82-A, No. 2, pp. 197-205, Feb. 1999.
- [KOIZ97] 小泉 寿男, “マルチメディア概論”, 産業図書, 1997年4月
- [KUNZ07] Z. Kun, Y. Chun, L. Qiang, and Z. Yuzhuo, “A Fast Block Type Decision Method for H.264/AVC Intra Prediction,” Proc. IEEE The 9th Int. Conf. on Advanced Communication Technology, pp. 673-676, Feb. 2007.
- [KUOH12] H.-C. Kuo and Y.-L. Lin, “A Hybrid Algorithm for Effective Lossless Compression of Video Display Frames,” IEEE Trans. on Multimedia, Vol. 14, Issue 3, pp. 500-509, Jun. 2012.
- [LAIN12] J. Lainema, F. Bossen, W.-J. Han, J. Min, and K. Ugur, “Intra Coding of the HEVC Standard,” IEEE Trans. on Circuits and Systems for Video

参考文献

- Technology, Vol. 22, Issue 12, pp. 1792-1801, Dec. 2012.
- [LEEB94] W. Lee Bang, H. S. Kwon, B. N. Kim, D. Still, T. Kopet, and S. Magar, "Data flow processor for multi-standard video codec," Proc. IEEE Custom Integ. Conf., pp. 6.4.1-6.4.4, May 1994.
- [LEEY07] Y. Lee, C.-E. Rhee, and H.-J. Lee, "A New Frame Recompression Algorithm Integrated with H.264 Video Compression," Proc. 2007 IEEE Int. Symposium on Circuits and Systems, pp. 1621-1624, May 2007.
- [LEEY08] Y.-X. Lee and T.-H. Tsai, "An efficient embedded compression algorithm using adjusted binary code method," Proc. IEEE Int. Symposium on Circuits and Systems, No. 300, pp. 2586-2589, May 2008.
- [LEEY13] Y.-H. Lee, C.-C. Chen, and Y.-L. You, "Design of VLSI Architecture of Autocorrelation-Based Lossless Recompression Engine for Memory-Efficient Video Coding Systems," Circuits, Systems, and Signal Processing, Vol. 33, Issue 2, pp 459-482, Aug. 2013.
- [LEVI11] J. Levinson, J. Askeland, J. Becker, J. Dolson, D. Held, S. Kammel, J. Z. Kolter, D. Langer, O. Pink, V. Pratt, M. Sokolsky, G. Stanek, D. Stavens, A. Teichman, M. Werling, and S. Thrun, "Towards fully autonomous driving: Systems and algorithms," 2011 IEEE Intelligent Vehicles Symposium, pp. 163-168, Jun. 2011.
- [LINH96] H.-D. Lin, A. Anesko, and B. Petryna, "A 14 GOPS programmable motion estimator for H.26x video coding," Proc. IEEE Int. Solid-State Circuits Conf., pp. 246, Feb. 1996.
- [LINY08] Y. Lin, D.-W. Li, C.-C. Lin, T.-Y. Kuo, S.-J. Wu, W.-C. Tai, W.-C. Chang, and T.-S. Chang, "A 242 mW 10 mm 1080P H.264/AVC high-profile encoder chip," Proc. IEEE Int. Solid-State Circuits Conf., pp. 314-315, Feb. 2008.
- [MATS94] M. Matsui, H. Hara, Y. Uetani, L. S. Kim, T. Nagamatsu, Y. Watanabe, A. Chiba, K. Matsuda, and T. Sakurai, "A 200 MHz 13 mm² 2-D DCT

参考文献

- macrocell using sense-amplifying pipeline flip-flop scheme,” *IEEE Journal of Solid-State Circuits*, Vol. 29, Issue 12, pp. 1482-1490, Dec. 1994.
- [MATS01] T. Matsumura, S. Kumaki, H. Segawa, K. Ishihara, A. Hanami, Y. Matsuura, S. Scotzniovsky, H. Takata, A. Yamada, S. Murayama, T. Wada, H. Ohira, T. Shimada, K. Asano, T. Yoshida, M. Yoshimoto, K. Tsuchihashi, and Y. Horiba, “A single-chip MPEG-2 422P@ML video, audio, and system encoder with a 162MHz media-processor core and dual motion estimation cores,” *IEICE Trans. Electron.*, Vol. E84-C, No. 1, pp. 108-122, Jan. 2001.
- [MEHE12] M. Mehendale, S. Das, M. Sharma, M. Mody, R. Reddy, J. Meehan, H. Tamama, B. Carlson, and M. Polley, “A True Multistandard, Programmable, Low-Power, Full HD Video-Codec Engine for Smartphone SoC,” *Proc. IEEE Int. Solid-State Circuits Conf.*, pp.226-227, Feb. 2012.
- [MINA91] T. Minami, R. Kasai, H. Yamauchi, Y. Tashiro, J. Takahashi, and S. Date, “A 300-MOPS video signal processor with a parallel architecture,” *IEEE Journal of Solid-State Circuits*, Vol. 26, Issue 12, pp. 1868-1875, Dec. 1991.
- [MINA16] S. Minaeian, J. Liu, and Y.-J. Son, “Vision-Based Target Detection and Localization via a Team of Cooperative UAV and UGVs,” *IEEE Trans. on Systems, Man, and Cybernetics: Systems*, Vol. 46, Issue 7, pp. 1005-1016, Jul. 2016.
- [MIND12] D. Min, Q. Rongcai, W. Ruiping, B. Sheng, C. Wenyi, and X. Jiayi, “A new high-definition video player method based on GPU technology,” *Proc. IEEE Int. Conf. on Cyber Technology in Automation, Control, and Intelligent Systems*, pp. 388-392, May 2012.
- [MIZO01] H. Mizosoe, K. Maeda, Y. Kubo, Y. Tsuru, and K. Kuroki, “An advanced multimedia processing LSI suitable for HDTV applications,” *IEEE Trans. on Consumer Electronics*, Vol. 47, Issue 3, pp. 420-425, Aug 2001.

参考文献

- [MIZO07] H. Mizosoe, D. Yoshida, and T. Nakamura, "A Single Chip H.264/AVC HDTV Encoder/Decoder/Transcoder System LSI," ICCE Dig. Tech. Papers, pp. 1-2, Jan. 2007.
- [MOCH07] S. Mochizuki, T. Shibayama, M. Hase, F. Izuhara, K. Akie, M. Nobori, R. Imaoka, H. Ueda, K. Ishikawa, and H. Watanabe, "A low power and high picture quality H.264/MPEG-4 video codec IP for HD mobile applications," Proc. IEEE Asian Solid-State Circuits Conf., pp.176-179, Nov. 2007.
- [MOCH08] S. Mochizuki, T. Shibayama, M. Hase, F. Izuhara, K. Akie, M. Nobori, R. Imaoka, H. Ueda, K. Ishikawa, and H. Watanabe, "A 64 mW High Picture Quality H.264/MPEG-4 Video Codec IP for HD Mobile Applications in 90 nm CMOS," IEEE Journal of Solid-State Circuits, Vol. 43, Issue 11, pp. 2354-2362, Nov. 2008.
- [MOCH16] S. Mochizuki, K. Matsubara, K. Matsumoto, C. L. P. Nguyen, T. Shibayama, K. Iwata, K. Mizumoto, T. Irita, H. Hara, and T. Hattori, "A 197mW 70ms-Latency Full-HD 12-Channel Video-Processing SoC for Car Information Systems," Proc. IEEE Int. Solid-State Circuits Conf., pp. 78-79, Feb. 2016.
- [MOCH17] S. Mochizuki, K. Matsubara, K. Matsumoto, C. L. P. Nguyen, T. Shibayama, K. Iwata, K. Mizumoto, T. Irita, H. Hara, and T. Hattori, "A 197mW 70ms-Latency Full-HD 12-Channel Video-Processing SoC in 16nm CMOS for In-Vehicle Information Systems," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E100-A, Issue 12, pp. 2878-2887, Dec. 2017.
- [MOCH18] S. Mochizuki, K. Imamura, K. Mori, Y. Matsuda, and T. Matsumura, "Ultra-low-latency Video Coding Method for Autonomous Vehicles and Virtual Reality Devices", Proc. of 2018 Int. Conf. on Internet of Things and Intelligence System, pp. 155-161, Nov. 2018.
- [MODY14] M. Mody, P. Swami, and P. Shastry, "Ultra-low latency video codec for video conferencing," Proc. IEEE Int. Conf. on Electronics, Computing and

参考文献

- Communication Technologies, pp. 1-5, Jan. 2014.
- [MURA86] K. Murakami, S. Nakagawa, M. Yoshimoto, S. Asai, Y. Akasaka, Y. Nakajima, and Y. Horiba, "A digital processor for decoding composite TV signals using adaptive filtering," *IEEE Journal of Solid-State Circuits*, Vol. 21, Issue 5, pp. 790-797, Oct. 1986.
- [NAKA90] S. Nakagawa, H. Terane, T. Matsumura, H. Segawa, M. Yoshimoto, H. Shinohara, S. Sato, M. Hatanaka, H. Ohira, Y. Kato, M. Iwatsuki, K. Tabuchi, and Y. Horiba, "A 24-b 50-ns digital image signal processor," *IEEE Journal of Solid-State Circuits*, Vol. 25, Issue 6, pp. 1484-1493, Dec. 1990.
- [NAKH09] H. Nakata, K. Hosogi, M. Ehama, T. Yuasa, T. Fujihira, K. Iwata, M. Kimura, F. Izuhara, S. Mochizuki, and M. Nobori, "Development of full-HD multi-standard video CODEC IP based on heterogeneous multiprocessor architecture," *Proc. IEEE Asia and South Pacific Design Automation Conf.*, pp. 528-534, Jan. 2009.
- [NAKK09] K. Nakamura, S. Saito, T. Yokoyama, S. Mochizuki, T. Shibayama, and K. Iwata, "Low-complexity intra-prediction for H.264/AVC using pseudo local decoded image," *Proc. IEEE Int. Conf. on Consumer Electronics*, pp. 1-2, Jan. 2009.
- [NAKK11] K. Nakamura, M. Takahashi, T. Yokoyama, S. Mochizuki, K. Akie, and Kenichi Iwata, "Extended variable-length mode coding for enhancement of H.264/AVC," *Proc. IEEE Int. Conf. on Consumer Electronics*, pp. 51-52, Jan. 2011.
- [NEMC07] O. Nemcic, M. Vranjes, and S. Rimac-Drlje, "Comparison of H.264/AVC and MPEG-4 part 2 coded video," *Proc. IEEE ELMAR 2007*, pp. 41-44, Sep. 2007.
- [NGUY16] C. L. P. Nguyen, M. Nguyen, H. Cao, K. Matsubara, K. Matsumoto, S. Mochizuki, and K. Iwata, "71% Reducing the memory bandwidth requirement for a multi-standard video codec by lossless compression of

参考文献

- video using a combination of 2D-DPCM and Variable Length Coding,” IEEE Int. Conf. on IC Design and Technology, pp. 1-5, Jun. 2016.
- [NISH99] T. Nishitani, “Low-power architecture for programmable multimedia processors,” IEICE Trans. on Fundamentals of Electronics Communications and Computer Sciences, Vol. E82-A, No. 2, pp. 184-196, Feb. 1999.
- [NOMU94] M. Nomura, M. Takashima, J. Goto, T. Inoue, S. Suzuki, M. Motomura, Y. Koseki, B. Shih, T. Horiuchi, N. Hamatake, K. Kumagai, T. Enomoto, and H. Yamada, “A 300-MHz 16-b 0.5-um BiCMOS digital signal processor core LSI,” IEEE Journal of Solid-State Circuits, Vol. 29, Issue 3, pp. 290-297, Mar. 1994.
- [NOMU08] S. Nomura, F. Tachibana, T. Fujita, C. K. Teh, H. Usui, F. Yamane, Y. Miyamoto, C. Kumtornkittikul, H. Hara, T. Yamashita, J. Tanabe, M. Uchiyama, Y. Tsuboi, T. Miyamori, T. Kitahara, H. Sato, Y. Homma, S. Matsumoto, K. Seki, Y. Watanabe, M. Hamada, and M. Takahashi, “A 9.7mW AAC-Decoding, 620mW H.264 720p 60fps Decoding, 8-Core Media Processor with Embedded Forward-Body-Biasing and Power-Gating Circuit in 65nm CMOS Technology,” Proc. IEEE Int. Solid-State Circuits Conf., pp. 262-263, Feb. 2008.
- [OTAN95] A. Ohtani, Y. Matsumoto, M. Gion, H. Yoshida, T. Araki, A. Ubukata, M. Serizawa, K. Aoki, A. Sota, A. Nagata, and K. Aono, “A motion estimation processor for MPEG2 video real time encoding at wide search range,” Proc. IEEE Custom Integrated Circuits Conf., pp. 17.4.1-17.4.4, May 1995.
- [PERI98] P. Perish, and H. J. Stolberg, “VLSI implementations of image and video multimedia processing systems,” IEEE Trans. on Circuit and System for Video Technology, Vol. 8, Issue 7, pp. 878-891, Nov. 1998.
- [POKH07] K. C. Pokhrel, "Physical and Silicon Measures of Low Power Clock Gating Success: An Apple to Apple Case Study," proceedings of Synopsys Users Group, San Jose, 2007.

参考文献

- [PRAT69] W. K. Pratt, J. Kane, and H. C. Andrews, "Hadamard transform image coding," Proc. of the IEEE, Vol. 57, Issue 1, pp. 58-68, Jan. 1969.
- [RAOS93] S. K. Rao, M. Hatamian, M. T. Uyttendaele, S. Narayan, J. H. O'Neill, and G. A. Uvieghara, "A real time P*64/MPEG video encoder chip," Proc. IEEE Int. Solid-State Circuits Conf., pp.32-33, Feb. 1993.
- [SELL07] G. Sellers, R. S. Wright Jr., N. Haemel, "OpenGL Superbible: Comprehensive Tutorial and Reference," Addison-Wesley Professional, 2007.
- [SONC10] C.-H. Son, J.-W. Kim, S.-G. Song, S.-M. Park, and Y.-M. Kim, "Low complexity embedded compression algorithm for reduction of memory size and bandwidth requirements in the JPEG2000 encoder," IEEE Trans. on Consumer Electronics, Vol. 56, Issue: 4, pp. 2421-2429, Nov. 2010.
- [SONG07] T. Song and T. Shimamoto, "Reference frame data compression method for H.264/AVC," IEICE Electron. Express, Vol. 4, No. 3, pp. 121-126, 2007.
- [SULL98] G. J. Sullivan, and T Wiegand, "Rate-distortion optimization for video compression," IEEE Signal Processing Magazine, Vol. 15, Issue 6, pp.74-90, Nov. 1998.
- [TAMI92] I. Tamitani, M. Ohta, Y. Ooi, A. Yoshida, M. Nomura, H. Koyama, and T. Nishitani, "An encoder/decoder chip set for the MPEG video standard," Proc. IEEE Int. Conf. on Acoustics, Speech, and Signal Processing, pp. V-661-664, May 1992.
- [TSUY11] T. Tsuyuguchi, "Ultra-Low-Delay H.264-Based Wireless HDTV Camera," SMPTE Motion Imaging Journal, Vol. 120, Issue 3, pp. 55-58, Apr. 2011.
- [URAM92] S. Uramoto, Y. Inoue, A. Takabatake, J. Takeda, Y. Yamashita, H. Terane, and M. Yoshimoto, "A 100-MHz 2-D discrete cosine transform core," IEEE Journal of Solid-State Circuits, Vol. 27, Issue 4, pp. 492-499, Apr. 1992.

参考文献

- [URAM93] S. Uramoto, A. Takabatake, M. Suzuki, H. Sakurai, and M. Yoshimoto, "A half-pel precision motion estimation processor for NTSC-resolution video," Proc. IEEE Custom Integrated Circuits Conf., pp. 11.2.1-11.2.4, May 1993.
- [WANG14] A. Wang, T.-Y. Lin, S. Ouyang, W.-H. Huang, J. Wang, S.-H. Chang, S.-P. Chen, C.-H. Hu, J. C. Tai, K.-S. Tan, M.-N. Tsou, M.-H. Lee, G. Gammie, C.-W. Yang, C.-C. Yang, Y.-C. Chou, S.-H. Lin, W. Kuo, C.-J. Chung, L.-K. Yong, C.-W. Wang, K. H. Dia, C.-H. Chien, Y.-M. Tsao, N. K. Singh, R. Lagerquist, C.-C. Chen, and U. Ko, "Heterogeneous Multi-Processing Quad-Core CPU and Dual-GPU Design for Optimal Performance, Power, and Thermal Tradeoffs in a 28nm Mobile Application Processor," Proc. IEEE Int. Solid-State Circuits Conf., pp.180-181, Feb. 2014.
- [WEID10] D. Wei, S. Z. Zhou, and D. Xie, "MTMR: A conceptual interior design framework integrating Mixed Reality with the Multi-Touch tabletop interface," Proc. IEEE Int. Symposium on Mixed and Augmented Reality, pp. 279-280, Oct. 2010.
- [WUB15] B. Wu, S. H. Sim, A. Enquobahrie, and R. Ortiz, "Effects of visual latency on visual-haptic experience of stiffness," Proc. Int. Workshop on Quality of Multimedia Experience, pp. 1-6, May 2015.
- [YAMA88] M. Yamashina, T. Enomoto, T. Kunio, I. Tamitani, H. Harasaki, Y. Endo, T. Nishitani, M. Sato, and K. Kiuchi, "A microprogrammable real-time video signal processor (VSP) for motion compensation," IEEE Journal of Solid-State Circuits, Vol. 23, Issue 4, pp. 907-915, Aug. 1988.
- [YAMA92] H. Yamauchi, Y. Tashiro, T. Minami, and Y. Suzuki, "Architecture and implementation of a highly parallel single-chip video DSP," IEEE Trans. on Circuit and System for Video Technology, Vol. 2, Issue 2, pp. 207-220, Jun. 1992.
- [YAMA97] A. Yamada, T. Yoshida, E. Holmann, T. Matsumura, and S. Uramoto, "An MPEG2 real-time encoder and decoder with a dual-issue RISC processor,"

参考文献

- Proc. IEEE Custom Integrated Circuits Conf., pp. 11.1.1-11.1.4, May 1997.
- [YANG14] M. Yang, J. Fu, Y. Lu, J. Cai, and C. H. Foh, "An adaptive multi-layer low-latency transmission scheme for H.264 based screen sharing system," Proc. IEEE Int. Symposium on Circuits and Systems, pp. 2153-2156, Jun. 2014.
- [YAOH17] H. Yao, Q. Yu, X. Xing, F. He, and J. Ma, "Deep-learning-based moving target detection for unmanned air vehicles," 2017 IEEE Chinese Control Conference, pp. 11459-11463, Jul. 2017.
- [YAPS04] S. Y. Yap and J.V. McCanny, "A VLSI architecture for variable block size video motion estimation," IEEE Trans. on Circuits and Systems, Vol. 51, Issue 7, pp. 384-389, Jul. 2004.
- [YNGT08] T. L. B. Yng, B.-G. Lee, and H. Yoo, "A low complexity and lossless frame memory compression for display devices," IEEE Trans. on Consumer Electronics, Vol. 54, Issue 3, pp. 1453-1458, Aug. 2008.
- [YOSH92] M. Yoshimoto, "画像圧縮用 LSI," テレビジョン学会誌, Vol. 49, No. 3, pp. 253-260, Mar. 1992.
- [ZENGO9] H. Zeng, C. Cai, and K.-K. Ma, "Fast Mode Decision for H.264/AVC Based on Macroblock Motion Activity," IEEE Trans. on Circuits and Systems for Video Technology, Vol. 19, Issue 4, pp. 491-499, Apr. 2009.
- [ZHAN14] H. Zhang and Z. Ma, "Fast Intra Mode Decision for High Efficiency Video Coding (HEVC)," IEEE Trans. on Circuits and Systems for Video Technology, Vol. 24, Issue 4, pp. 660-668, Apr. 2014.
- [ZHEN12] Z. Zheng, H. Zhang, B. Wang, and Z. Gao, "Robust traffic sign recognition and tracking for Advanced Driver Assistance Systems," Proc. IEEE Int. Conf. on Intelligent Transportation Systems, pp. 704-709, Sep. 2012.
- [ZHOU14] D. Zhou, L. Guo, J. Zhou, and S. Goto, "Reducing power consumption of

参考文献

HEVC codec with lossless reference frame recompression,” Proc. IEEE Int. Conf. on Image Processing, pp. 2120-2124, Oct. 2014.