

高誘電率 Ta_2O_5 膜のシリコン半導体メモリ用
容量絶縁膜への適用に関する研究

平成 28 年 4 月

神力 博

目次

第1章 序論	1
1.1 研究の背景.....	1
1.1.1 DRAM メモリセルと容量絶縁膜の動向	1
1.1.2 64メガビット、256メガビット DRAM 用容量絶縁膜の必要性和課題	7
1.2 半導体メモリ用高誘電率絶縁膜の選択.....	8
1.2.1 半導体メモリ容量絶縁膜用高誘電率誘電体膜の物性.....	8
1.2.2 高誘電率容量絶縁膜の選択.....	12
1.3 研究開発着手時の高誘電率絶縁膜の電気的特性と製造方法のまとめ.....	14
1.3.1 高誘電率絶縁膜の電気的特性の比較評価.....	14
1.3.2 Ta ₂ O ₅ 膜の形成方法について	16
1.4 本研究の目的と本論文の構成.....	18
1.4.1 本研究の目的.....	18
1.4.2 本論文の構成.....	18
1.5 参考文献.....	20
第2章 反応性スパッター法による Ta ₂ O ₅ 膜の電気的特性、信頼性評価と バイポーラメモリ素子用容量絶縁膜への適用.....	23
2.1 緒言.....	23
2.2 高速バイポーラメモリ素子用大容量キャパシタ（容量素子）の必要性.....	23
2.2.1 ソフトエラー対策の動向.....	23
2.2.2 16キロビット高速バイポーラメモリ素子用容量絶縁膜への要求仕様.....	25
2.3 形成方法.....	26
2.3.1 反応性スパッター法による Ta ₂ O ₅ 膜の形成	26
2.3.2 CVD 法による Ta ₂ O ₅ 膜の形成.....	27
2.3.3 Ta ₂ O ₅ キャパシタの形成方法	29
2.4 評価方法.....	30
2.4.1 Ta ₂ O ₅ 膜の物理分析評価	30
2.4.2 Ta ₂ O ₅ キャパシタの電気的特性評価	30
2.5 反応性スパッターTa ₂ O ₅ 膜の基礎特性	31
2.5.1 界面酸化膜.....	31
2.5.2 熱的安定性.....	33
2.5.3 ウィークスポット酸化結晶化モデル.....	38
2.5.4 電気伝導特性.....	40

2.5.5	界面安定性.....	42
2.5.6	経時的絶縁破壊信頼性評価 (TDDB 特性評価)	44
2.5.7	静電容量.....	45
2.5.8	高周波特性.....	46
2.6	反応性スパッターTa ₂ O ₅ 膜の高速バイポーラメモリ素子用容量絶縁膜への適用	47
2.7	まとめ.....	49
2.8	参考文献.....	49
第3章	多結晶シリコン上 Ta ₂ O ₅ 膜を有するキャパシタの基礎特性	51
3.1	緒言.....	51
3.2	多結晶シリコン上 Ta ₂ O ₅ キャパシタの検討	52
3.2.1	多結晶シリコン上 Ta ₂ O ₅ キャパシタの形成方法	52
3.2.2	Ta ₂ O ₅ 膜と多結晶シリコン界面の SiO ₂ 膜の成長.....	53
3.2.3	多結晶シリコン上 Ta ₂ O ₅ /SiO ₂ キャパシタの TDDB 特性.....	55
3.2.4	多結晶シリコン上 Ta ₂ O ₅ /SiO ₂ キャパシタの電流－電圧特性	57
3.3	多結晶シリコン上 Ta ₂ O ₅ /Si ₃ N ₄ キャパシタの検討	58
3.3.1	多結晶シリコン上 Ta ₂ O ₅ /Si ₃ N ₄ キャパシタの形成方法	59
3.3.2	多結晶シリコン上 Ta ₂ O ₅ / Si ₃ N ₄ キャパシタの熱処理温度依存性	60
3.3.3	多結晶シリコン上 Ta ₂ O ₅ / Si ₃ N ₄ キャパシタの電流－電圧特性	61
3.3.4	多結晶シリコン上 Ta ₂ O ₅ / Si ₃ N ₄ キャパシタの TDDB 特性	61
3.4	まとめ.....	64
3.5	参考文献.....	64
第4章	積層容量型 DRAM メモリセル用容量絶縁膜への Ta ₂ O ₅ 膜の適用	66
4.1	緒言.....	66
4.2	既存 DRAM プロセスへの適合性評価方法.....	66
4.3	評価方法.....	67
4.3.1	評価用キャパシタ形成方法.....	67
4.3.2	熱的安定性、信頼性、膜厚評価方法.....	69
4.4	低消費電力高集積 DRAM に適用可能な Ta ₂ O ₅ 膜を有するキャパシタの 最大蓄積容量のキャパシタ構造依存性の検討	69
4.5	Ta ₂ O ₅ 膜を有するキャパシタの高温プロセス互換性の検討	71
4.6	Ta ₂ O ₅ 膜を有するキャパシタの TDDB 特性評価	75
4.7	SIS 構造キャパシタの積層容量型 DRAM メモリセルへの適用検討.....	78
4.8	光誘起ライフタイム測定による Ta 汚染評価	80
4.9	まとめ.....	81

4.10	参考文献.....	82
第5章	二段階熱処理による CVD-Ta ₂ O ₅ 膜の開発と 64 メガビット DRAM への適用.....	84
5.1	緒言.....	84
5.2	CVD-Ta ₂ O ₅ 容量絶縁膜形成方法	86
5.2.1	UV-O ₃ 処理装置.....	86
5.2.2	Ta ₂ O ₅ キャパシタの製造工程	87
5.2.3	Ta ₂ O ₅ 膜の評価方法	88
5.3	CVD 法による Ta ₂ O ₅ 膜の被覆性.....	89
5.4	CVD-Ta ₂ O ₅ 膜の乾燥酸素熱処理の効果	90
5.5	CVD-Ta ₂ O ₅ 膜のリーク電流低減のための改質処理方法の検討	93
5.5.1	二段階熱処理方法の検討 (2-step annealing)	93
5.5.2	UV-O ₃ , UV-O ₂ , O ₃ 処理の比較評価.....	94
5.5.3	ウィークスポット酸化結晶化熱処理後の UV-O ₃ 処理の効果の検討.....	93
5.5.4	CVD-Ta ₂ O ₅ 膜の E _{ox} の膜厚、UV-O ₃ 処理時間依存性.....	97
5.5.5	CVD-Ta ₂ O ₅ 膜の E _{ox} の UV-O ₃ 処理温度依存性.....	97
5.6	UV-O ₃ 処理による CVD-Ta ₂ O ₅ 膜のリーク電流低減モデル	98
5.7	二段階熱処理による CVD-Ta ₂ O ₅ 膜の欠陥密度低減	102
5.8	CVD-Ta ₂ O ₅ 膜による E _{ox} と SiO ₂ 換算膜厚 T _{ox} の適用範囲	104
5.9	CVD-Ta ₂ O ₅ 膜の TDDB 特性評価	106
5.10	CVD-Ta ₂ O ₅ 膜を適用した 64 メガビット DRAM の試作	109
5.10.1	64 メガビット DRAM 用王冠型メモリセルに適用可能な容量絶縁膜の検討.....	109
5.10.2	64 メガビット DRAM 用王冠型メモリセルへの CVD-Ta ₂ O ₅ 膜の適用	111
5.11	まとめ.....	113
5.12	参考文献.....	114
第6章	極薄 Ta ₂ O ₅ 膜のウィークスポット酸化結晶化熱処理、活性酸素処理による 構造、組成変化.....	116
6.1	緒言.....	116
6.2	極薄 Ta ₂ O ₅ 膜野構造解析の課題と極薄膜解析技術の選択	117
6.2.1	Ta ₂ O ₅ 膜の構造変化の課題	117
6.2.2	極薄 Ta ₂ O ₅ 構造解析技術の選択	121
6.3	熱処理によるスパッター-Ta ₂ O ₅ 膜、CVD-Ta ₂ O ₅ 膜の構造変化.....	127
6.3.1	微小角入射 X 線回折による極薄 Ta ₂ O ₅ 膜の評価	127
6.3.2	CVD-Ta ₂ O ₅ 膜の結晶構造の UV-O ₃ 処理時間依存性	129
6.4	ウィークスポット酸化結晶化熱処理、UV-O ₃ 処理による Ta ₂ O ₅ 膜組成比、	

深さ方向プロファイルの変化.....	130
6.4.1 ERDA/RBS による O / Ta 組成比の深さ方向プロファイルの評価.....	130
6.4.2 XPS による O / Ta 組成比の評価.....	137
6.5 EXAFS による Ta ₂ O ₅ 膜の Ta への酸素配位数、Ta-O 結合距離の評価.....	138
6.6 スパッターTa ₂ O ₅ 膜、CVD-Ta ₂ O ₅ 膜の構造変化についての考察.....	140
6.7 スパッターTa ₂ O ₅ 膜、CVD-Ta ₂ O ₅ 膜の結晶構造と酸素欠陥の検討.....	142
6.8 スパッターTa ₂ O ₅ 膜、CVD-Ta ₂ O ₅ 膜の構造変化モデルの検討.....	144
6.8.1 極薄スパッターTa ₂ O ₅ 膜の製造工程での構造変化モデル.....	144
6.8.2 極薄 CVD-Ta ₂ O ₅ 膜の製造工程での構造変化モデル.....	144
6.9 まとめ.....	145
6.10 参考文献.....	146
第 7 章 結論.....	147
謝辞.....	149

第1章 序論

1.1 研究の背景

1.1.1 DRAM メモリセルと容量絶縁膜の動向

シリコン半導体集積回路は R.H.Dennard により提唱されたスケーリング則（比例縮小則）[1] に従って、微細化がすすめられてきた。シリコン半導体素子の寸法を比例縮小することによって、素子の高速化、高集積化、低消費電力化が飛躍的に向上していくことが半導体産業の発展の源泉といえる。本論文で研究対象とするバイポーラメモリ素子、ダイナミックランダムアクセスメモリ素子（DRAM：Dynamic Random Access Memories）などのシリコン半導体メモリ素子においても、メモリ素子の集積度は3年毎に4倍になるのに対し、メモリ素子面積は3分の1に微細化されてきた。一方、メモリ素子ではスケーリング則により比例縮小できない要素がある。その代表的なものとしてメモリ素子の蓄積電荷量が挙げられる。メモリ素子では、半導体素子のパッケージ、配線材料中に含まれる微量な放射性元素から放出される α 線が半導体基板中で電離を引き起こし、生成される電荷の流入により、メモリ素子に記憶された情報が意図せずに書き換えられる現象（ソフトエラー）を防止しなければならない。従って、メモリ素子の蓄積電荷量は、この電離によって流入する電荷量に影響されないように、十分に大きい蓄積電荷量とする必要があり、素子の微細化とともに蓄積電荷量を縮小することはできない。最も高集積化が進んでいる DRAM の最大の課題は、世代毎のメモリセルセル面積の縮小にもかかわらず、微細化されたメモリセル内にソフトエラーの防止に必要なとされる所定量以上の蓄積電荷量を確保することにある。

図 1-1 は DRAM メモリセルの基本回路を示している。

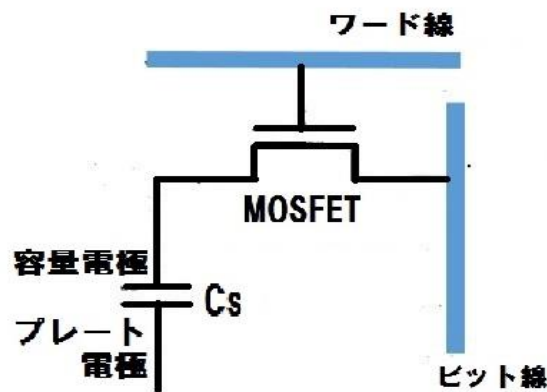


図 1-1 DRAM メモリセルの基本的構成

メモリセルはスイッチとなるトランジスタ (MOSFET) と蓄積容量 C_s とから構成され、蓄積電荷を保持するか、保持しないかにより 1 ビットの情報を記憶することができる。容量部はプレート電極と容量電極の上下の電極に挟まれた容量絶縁膜により構成される。容量部の蓄積電荷量は容量絶縁膜厚に反比例し、容量電極表面積に比例する。ソフトエラー防止のために、メモリセルの微細化にもかかわらず、この蓄積電荷量は所定の蓄積電荷量以上とする必要がある。微細化による蓄積電荷量の減少を容量絶縁膜の薄膜化により補うという方法では、高電界が印加されることになり、長期信頼性を確保するのは難しくなる [2]、[3]。4 メガビット DRAM 以降では、低消費電力化の必要性から、スケーリング則に従って、容量絶縁膜に印加される電界強度が一定となるように、印加電圧の低減に比例して容量絶縁膜の薄膜化を行なってきた。しかしながら、4 メガビット、16 メガビット DRAM 素子の容量絶縁膜として使用されてきた $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜は、スケーリング則に従う薄膜化によっても薄膜化の限界に達し、リーク電流(漏れ電流)が指数関数的に増大するために、容量絶縁膜として適用が困難となる。64 メガビット DRAM 素子に必要な膜厚では、この薄膜化の限界に達することから、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を高誘電率膜に置き換えることで、長期信頼性を確保しつつ、リーク電流(漏れ電流)の増加を抑制しながら、スケーリング則に従う実効的な容量絶縁膜の薄膜化を達成することが期待されてきた。しかしながら、スケーリング則に従って、容量絶縁膜が薄膜化できたとしても、メモリセル面積の微細化により蓄積電荷量は減少してしまう。ソフトエラー防止に必要な蓄積電荷量を確保するためには、容量部を立体構造とすることで、メモリセル面積の縮小にもかかわらず、所定の容量電極表面積を確保することが必要となる

図 1-2 に示す積層容量型メモリセル (Stacked Capacitor Cell : STC CELL) で

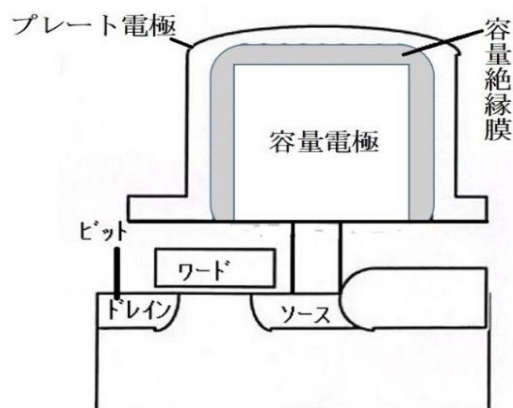


図 1-2 積層容量型メモリセル断面模式図

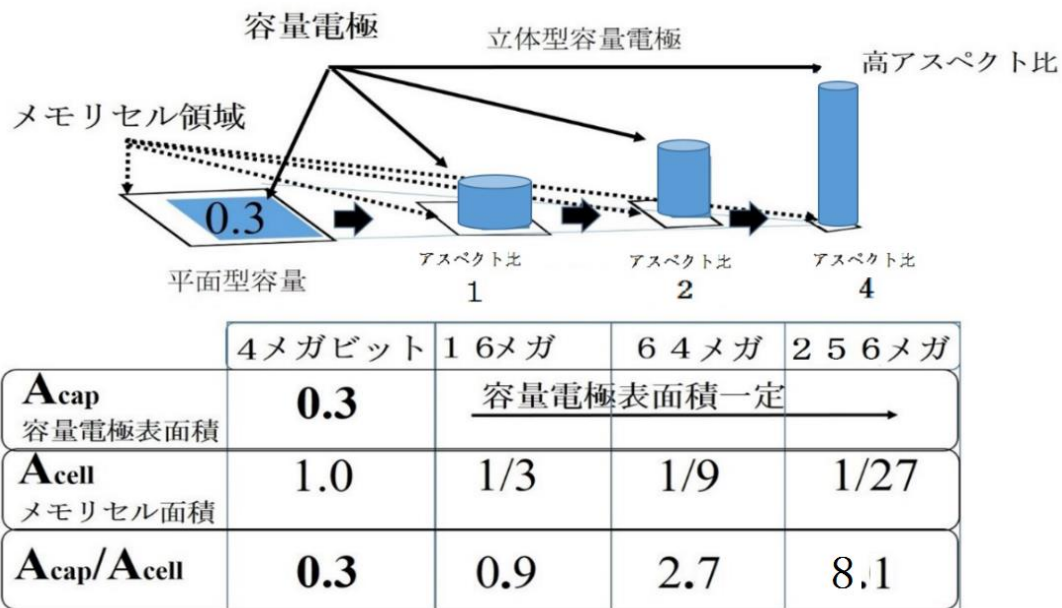


図 1-3 セル面積縮小に伴う立体型容量のアスペクト比の増大についての模式図

は、トランジスタ上に容量部を積層することで容量電極の表面積を増大させ、容量絶縁膜の薄膜化限界を回避することが提案された [4]。図 1-3 はセル面積 A_{cell} を $1/3$ に縮小しながら、容量部を立体化して容量電極表面積 A_{cap} を一定に保持すると仮定した場合に、どの程度の容量部の立体化が必要かを模式的に示している。容量絶縁膜厚が薄膜化限界に達したと想定し、容量絶縁膜の膜厚を一定と仮定した。容量電極は図 1-2 に示す様な柱状構造であり、容量電極の高さを高くすることで、容量電極の表面積を増加させている。4 メガビット DRAM の容量部を平面型と仮定すると、16 メガビットでは、セル面積を $1/3$ に縮小するとともに、容量部を立体化することで容量を確保する。この仮定では、64 メガビット DRAM ではメモリセル面積の 2.7 倍の容量電極表面積が必要となる。円柱電極の直径と高さの比であるアスペクト比は 2 以上となる。しかしながら、製造コストを安価にするにはアスペクト比を低くする必要がある。スケーリング則に従って薄膜化された容量絶縁膜を適用するとしても、印加電圧も比例して低減されるために、蓄積電荷量が増加することはない。従って、アスペクト比の低い立体構造容量部でありながら、電極表面積が増加できる工夫が必要となる（図 1-5 に示す王冠型メモリセル参照）。

図 1-4 には DRAM 集積度が 256 キロビットから 256 メガビットに至る間の蓄積電荷量 Q_s 、メモリセル面積 A_{cell} 、容量電極表面積 A_{cap} 、動作電圧 V_{op} などの設計パラメータの変遷を示している。蓄積電荷量 Q_s (fC) は、近似的には (1-1) 式に示すように、容量電極表面積 : A_{cap} と動作電圧 : V_{op} に比例し、容量絶縁膜の膜厚 : T に反比例する、

$$Q_s = \epsilon_0 \cdot \epsilon_r \cdot \frac{A_{cap}}{T} \cdot V_{OP} = \alpha \cdot \epsilon_0 \cdot \epsilon_r \cdot \frac{A_{cell}}{T} \cdot V_{OP} \quad (1-1)$$

ここで、 ϵ_0 ：真空中の誘電率、 ϵ_r ：比誘電率であり、 α ：立体化係数である。

$$\alpha = \frac{A_{cap}}{A_{cell}} \quad (1-2)$$

DRAM ではメモリセル面積 A_{cell} の世代毎の 1/3 の縮小に加えて、消費電力の増大を避けるために、4 メガビット DRAM 以降では、スケーリング則に従って、世代毎に電源電圧を低減することが必要となる [5]。従って、電源電圧 V_{cc} は 4 メガビットでは 5 V、16 メガビットでは 3.3V [6] になったが、64 メガビット DRAM では 1.5V が提案された [7]。容量部への印加電圧は $1/2V_{cc}$ ($=V_{op}$) 方式のため、2.5 V、1.65 V、0.75 V となる。また、図 1-4 に示すように、容量絶縁

メモリセル面積 A_{cell} , 電極表面積 A_{cap} (μm^2)		
蓄積電荷量	Q_s	(fC)
動作電圧	V_{op}	(V)
面積当たりの容量	C_{ox}	fF/ μm^2

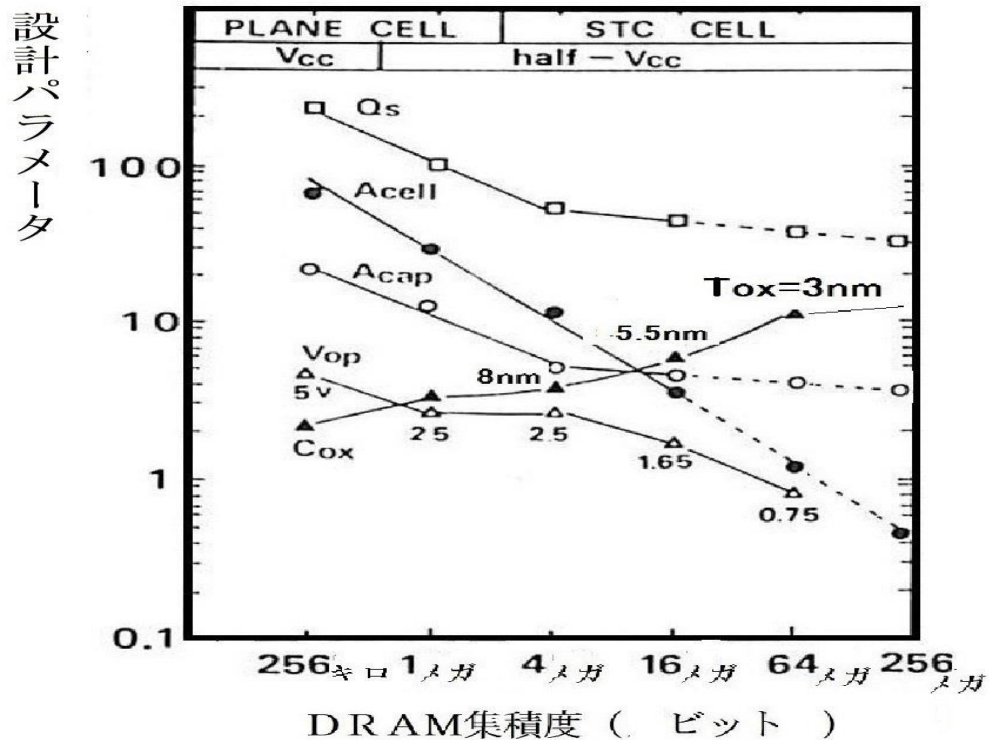


図 1-4 DRAM 集積度 vs 蓄積電荷量 Q_s 、メモリセル面積 A_{cell} 、実効キャパシタ面積 A_{cap} 、動作電圧 V_{op} 関係、面積あたりの容量 C_{ox} ($1/Tox$ に比例)

膜もスケーリング則により、容量絶縁膜の電界強度が一定となるように薄膜化するの望ましい。(1-1)式から、スケーリング則による4メガビット以降の動作電圧 V_{op} の低下、これに比例する容量絶縁膜 T の薄膜化は、 V_{op}/T を一定にすることに相当するので、 Q_s の増減に影響しない。従って、メモリセル面積 A_{cell} の微細化にもかかわらず、 Q_s を一定とするためには、容量電極表面積 A_{cap} を所定量に保つ必要がある。つまり、世代毎に α を少なくとも3倍とすることがある。

従って、所定の蓄積電荷量を得るためには、下記の (a)、(b)の方法により蓄積電荷量を確保することになる [7]。

- (a) 立体化係数 α を少なくとも世代毎に3倍に増加 (A_{cap}/A_{cell} を増加)
- (b) 容量絶縁膜の薄膜化 (少なくともスケーリング則から予測される膜厚)

容量絶縁膜の膜厚をスケーリング則に従って薄膜化できない場合には、立体化係数 α を3倍以上に大きくする必要があり、製造の難易度、コストが増加してしまう。それぞれの技術の推移について次に述べる。

- (a) 立体化係数 α の増加

図1-4に記載のように、1メガビット DRAM までは平面容量型メモリセル (PLANE CELL) で十分な容量を確保できたが、4メガビット、16メガビット DRAM では、積層容量型メモリセル (STC CELL) を導入することで立体化係数を3倍に増加させ、 Si_3N_4/SiO_2 積層膜が薄膜化限界に達することを回避することに成功した。64メガビット DRAM 以降では、ソフトエラー防止を考慮して、蓄積電荷量が少なくとも30 fC以上となるように、容量部の立体化係数 α を増加させることで、必要な容量電極表面を確保する必要があった。16メガビット DRAM までは、円柱型容量電極を有する積層容量型メモリセル構造を適用したが、64メガビット DRAM では、アスペクト比の増大を抑制するために、図1-5に示す王冠型電極 (CROWN) を有する積層容量を検討した [6]。王冠型の容量電極は容量電極の外表面に加え、内表面も容量電極表面として用いることで、容量電極表面の大きさを円柱構造よりも約2倍に増加することができる [8]。この王冠型電極を有する容量部の α ($=A_{cap}/A_{cell}$) は2.7となった [7]。図1-3に記載の64メガビット DRAM 用メモリセル用の円柱型電極を有する容量構造によるモデル化によれば α は2.7となり、王冠型電極を有する容量構造により、アスペクト比を低くしながら、必要な蓄積電荷量を確保できる。更に、256メガビット DRAM では、図1-5の模式図に示す様に、容量電極である多結晶シリコン表面を粗面化した粗面化多結晶シリコン (図5-6参照) により表面積を2倍に

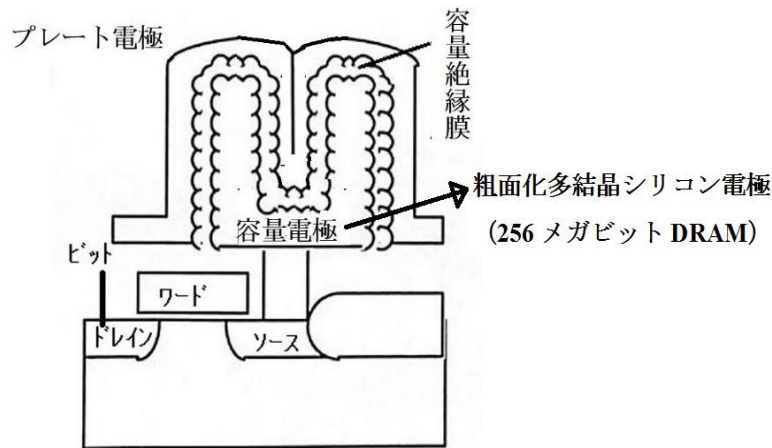


図 1-5 王冠型 (CROWN) 容量部断面模式図

増加させ [9]、アスペクト比を増加することなく、 α を 7.5 に増加できる。図 1-3 に記載の 256 メガビット DRAM 用メモリセル用の円柱型電極を有する容量構造のモデル化では α は 8.1 であり、王冠型電極と粗面化多結晶シリコン電極の組み合わせにより、アスペクト比を低く保ちながら、256 メガビット DRAM に必要な蓄積電荷量を確保できる。

本論文に述べる高誘電率容量絶縁膜、王冠型容量電極、粗面化多結晶シリコン電極を組み合わせることで、64 メガビット、256 メガビット DRAM の製品化を可能とすることができた。この高誘電率容量絶縁膜と王冠型容量電極の組み合わせが、現在の DRAM の基本構成となっている。

(b) 容量絶縁膜の薄膜化

容量絶縁膜の薄膜化の推移を述べるにあたり、比誘電率の異なる各種の材料からなる容量絶縁膜を比較するために、 SiO_2 換算膜厚 T_{OX} と SiO_2 換算膜厚での電界強度 E_{OX} を定義する。本論文ではこのパラメータにより、各種の容量絶縁膜の特性を容易に比較できる。

通常、容量部を試作する場合には、容量値 C が測定される。容量値は下式で記載される。

$$C = \epsilon_0 \cdot \epsilon_r \cdot \frac{A}{T} \quad (F) \quad (1 - 3)$$

ここで、 ϵ_0 : 真空中の誘電率、 ϵ_r : 比誘電率、 A :電極表面積、 T : 容量絶縁膜厚とする。従って、容量絶縁膜の比誘電率が定まっていれば、容易に T が得られるが、実際の容量では比誘電率はプロセス条件で変化する。そこで、比誘電率 ϵ_r を SiO_2 膜の比誘電率 $\epsilon_s = 3.82$ とすることにより、容量絶縁膜の SiO_2 換算膜

厚 T_{ox} を求めることができる。

$$C = \varepsilon_0 \cdot \varepsilon_r \cdot \frac{A}{T} (F) = \varepsilon_0 \cdot \varepsilon_s \cdot \frac{A}{T_{ox}} \quad (1 - 4)$$

一方、容量絶縁膜の絶縁性を評価する場合に、所定の電流が流れる印加電圧を V として、膜厚に依存しない電界強度に換算して比較するのが便利である。電界強度は下式により求められる。

$$E = \frac{V}{T} \quad (1 - 5)$$

しかしながら、比誘電率だけでなく、膜厚自体もプロセスにより変動するので、 SiO_2 換算膜厚 T_{ox} と所定の漏れ電流となる印加電圧 V より、 SiO_2 換算膜厚での電界強度 E_{ox} を算出して、容量絶縁膜の性能を比較するのが望ましい。

$$E_{ox} = \frac{V}{T_{ox}} \quad (1 - 6)$$

本論文では、 SiO_2 換算膜厚 T_{ox} 、 SiO_2 換算膜厚での電界強度 E_{ox} 用いて、容量絶縁膜の性能の良否について議論を進める。

容量絶縁膜の薄膜化の推移を図 1-4 に示している。スケーリング則に従って、電源電圧を低下するとともに、容量絶縁膜に印加される電界強度 E_{ox} がほぼ一定となるように容量絶縁膜を薄膜化することになる。容量絶縁膜に印加される電圧は $1/2V_{cc}$ 方式により、4 メガビット、16 メガビット、64 メガビット DRAM へ高集積化されるにつれ、電源電圧の半分の 2.5 V、1.65 V、0.75 V に低電圧化されている。従って、4 メガビット DRAM では多結晶シリコン電極上の $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜は SiO_2 換算膜厚 T_{ox} は 8 nm であり、16 メガビット DRAM では 5.5 nm まで薄膜化された。 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を 5 nm 以下に薄膜化する場合には、漏れ電流が指数関数的に増大する。薄膜化により、直接トンネリング電流が雪崩的に増大することにより、容量絶縁膜として適用することはできない [10]。スケーリング則によれば、64 メガビット DRAM では、電源電圧の低下に応じて、容量絶縁膜の目標とされる SiO_2 換算膜厚 T_{ox} は 3 nm 以下となる。この薄膜化によっても、低い漏れ電流を保ちながら、優れた長期信頼性を有する容量絶縁膜が必要となる。

1.1.2 64メガビット、256メガビット DRAM 用容量絶縁膜の必要性と課題

本研究の目的は、64メガビット、256メガビット DRAM 素子の実現に必要な容量絶縁膜を開発することにある。16メガビット DRAM まで適用された $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜は薄膜化の限界に達し、新たな誘電体材料により、64メガビット、256メガビット DRAM に必要な SiO_2 換算膜厚 T_{ox} が 3 nm 以下となる容量絶縁膜を実現することが必要となった。

キャパシタに蓄積できる電荷量 Q は (1-1) 式で表すことができる。従って、ソフトエラーを防止するのに必要な蓄積電荷量は、動作電圧 V_{op} 、電極面積に加えて、容量絶縁膜厚 T によって決まる。スケーリング則に従う場合には、 V_{op}/T はほぼ一定となるので、所定の蓄積電荷量は立体化係数 $\alpha (=A_{cap}/A_{cell})$ により調整することになる。スケーリング則に従う薄膜化ができない場合には、より電極表面積を増大させる必要がある。本論文では、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を高誘電率容量絶縁膜に置き換えることで、漏れ電流を所定の電流値以下としながら、スケーリング則に従う薄膜化が可能となることを示す。また、高誘電率容量絶縁膜を容量絶縁膜として適用するとしても、固体素子の動作の信頼性を確保するには、必要とされる周波数領域における誘電損失が小さく、十分な絶縁破壊信頼性が得られる必要がある。また、Si 半導体メモリの素子形成プロセスに適用するには、高温プロセスへの耐熱安定性、材料加工の容易さ、半導体性能を低下させることのない程度の純度などを兼ね備えていることが必要である。また、超高集積、超微細な素子を形成するのが目的であるので、従来の固体素子で用いられている誘電体膜と比較して、その膜厚は 10 nm 以下の極薄膜となるため、制御性の良い薄膜形成技術の選択も極めて重要である。また、高誘電率膜の採用は、スケーリング則から必要とされる容量絶縁膜の SiO_2 換算膜厚の薄膜化を可能とするものであるが、ソフトエラーを防止するための蓄積電荷量を確保するためには、立体型容量構造との組み合わせが必要である。従って、高誘電率容量絶縁膜を採用しても、良好な被覆性を可能とする成膜方法が必要となる。

本研究で目標とすべき容量絶縁膜の特性を以下にまとめる。

- ・ SiO_2 換算膜厚 T_{ox} が 3 nm 以下であって、動作電圧で低い漏れ電流が可能。
- ・ 高誘電率容量絶縁膜であっても、誘電損失が小さく、安定した誘電体膜。
- ・ 高信頼性（薄膜領域でも低欠陥密度、優れた絶縁破壊信頼性）。
- ・ DRAM プロセスへの適合性（耐熱性、加工性、汚染なし）。
- ・ 立体型容量構造での良好な被覆性、膜厚制御性を可能とする成膜方法。

上記の特性を満足する容量絶縁膜が必要となる。

1.2 半導体メモリ用高誘電率容量絶縁膜の選択

1.1 節に示す様に、 SiO_2 , $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜の薄膜化の限界を超える SiO_2 換算膜厚 3 nm 以下の薄膜化を可能とする誘電体材料のうち最適な材料の選択を行う必要があった。1.2.1 節では誘電体薄膜の物性について検討し、主に金属酸化物誘電体のなかで、比誘電率が大きく、かつ、電波領域において安定な誘電特性を示す誘電体材料について検討した。1.2.2 節では、1.2.1 節において選択した材料から、比誘電率が 20 以上であり、バンドギャップが比較的大きく、誘電損失が小さい酸化タンタル膜を研究の対象として選択した理由を明らかとする。

1.2.1 半導体メモリ容量絶縁膜用高誘電率誘電体膜の物性

誘電性は誘電分極より生じ、誘電分極は電子分極、イオン分極、配向分極、界面分極、空間電荷分極などからなっている。電子分極は原子内の原子核と周囲の電子群とが電界 E により変位し、双極子モーメントが発生することによる。

$$\mu_c = \alpha_c E \quad \alpha_c = 4 \pi \epsilon_0 R^3 \quad (1 - 7)$$

α_c は電子分極率であり、核外電子群の実効半径 R の 3 乗に比例する。従って、原子番号が増加すると α_c は増加し、誘電率も増加する。電子分極は電子の変位であり、その誘電分散周波数は可視光線から紫外線の振動数領域にある。一方、イオン分極はイオン性結晶とか分子内の共有結合がイオン性を有する場合に発生する。イオン化した正と負の原子が静電界により反対方向に変位し、正、負イオン間の距離とか、分子内の原子間距離が変化して双極子モーメントが発生することによる。イオン分極では原子の変位によるため、赤外領域に誘電分散周波数がある。配向分極は共有結合にイオン性がある場合に、各分子内でのこれらの双極子を合計し、合成双極子がゼロでない場合には、静電界が加わると、熱運動にさからって、各分子内の合成双極子は電界方向に配向する。配向分極は分子配向によるので動きにくいために、電波周波数領域に誘電分散を生ずる周波数がある。界面分極、空間電荷分極についても同様である。電子分極、イオン分極が通常の電波周波数領域では殆ど変動しないのに対し、配向電極、界面分極、空間電荷分極は誘電体の内部構造を反映して、分散周波数は電波領域において変動する。従って、誘電体膜の選択に当たっては、化学結合の性質を反映した電子分極、イオン分極により高い誘電率となる誘電体に着目すべきである。電子分極やイオン分極を示す物質を振動電界中においた時の誘電的性質は、その物質内に含まれる電荷が調和振動するのと同様であると考えて説明することができる。

電荷 Q 、質量 M の粒子の振動電界

$$E = E_0 \exp(-i\omega t) \quad (1 - 8)$$

の中に置かれた時の運動方程式

$$\frac{d^2 x}{dt^2} + \gamma \frac{dx}{dt} + \omega_0^2 x = \frac{q}{m} E_0 \exp(-i\omega t) \quad (1 - 9)$$

ここで、 ω_0 : 固有振動数、 γ ; 荷電粒子を受ける制動力の定数
(1-9) 式を解くと

$$X(t) = \frac{qE_0}{m} \frac{\exp(-i\omega t)}{(\omega_0^2 - \omega^2 - i\gamma\omega)} \quad (1 - 10)$$

誘導双極子モーメントは $qx(t)$ となる。誘電体が単位体積当たり n 個の原子あるいは分子からなるとすれば、その分極は nqx に等しい。誘電体が電界 E の中に置かれた場合の分極 P は

$$P = nqx = nqX(t) \quad (1 - 11)$$

で与えられる。Lorentz の式によれば

$$\epsilon_0 \epsilon_\gamma^* E = \epsilon_0 E + P \quad (1 - 12)$$

従って、 ϵ_γ^* は複素比誘電率

$$\epsilon_\gamma^* = \epsilon'_\gamma - i\epsilon''_\gamma \quad (1 - 13)$$

とおくと

$$\epsilon'_\gamma = 1 + \frac{(nq^2)}{\epsilon_0 \cdot m} \cdot \frac{(\omega_0^2 - \omega^2)}{(\omega_0^2 - \omega^2)^2 + \gamma^2 \cdot \omega^2} \quad (1 - 14)$$

$$\epsilon''_\gamma = \frac{nq^2}{\epsilon_0} \cdot \frac{\gamma\omega}{(\omega_0^2 - \omega^2)^2 + \gamma^2 \cdot \omega^2} \quad (1 - 15)$$

$\omega = \omega_0$ の場合には、 $\epsilon'_\gamma - 1$ は 0 となり、 ϵ''_γ は極大となる。エネルギーの吸収は ϵ''_γ に比例するから、 ω_0 で電磁波の吸収は極大を示す。非金属固体化合物は電子励起に加えて、赤外領域の振動モードを持っている。従って、 ϵ''_γ は電子吸収体

付近と赤外活性な振動周波数の付近で変化する。静電界が印加される場合には、 $w=0$ により、

$$\epsilon'_{\gamma} = 1 + \frac{(nq^2)}{\epsilon_0 \cdot m \cdot w_0^2} \quad \epsilon''_{\gamma} = 0 \quad (1-16)$$

ϵ'_{γ} が静電比誘電率を与える。Maxwell の理論により、誘電体中の光の速度が真空中の光の速度よりも小さいのは、分極可能な電子が電磁波の振動電場との相互作用することによるからであり、物質の屈折率 N と電子分極による誘電率 ϵ_{opt} の関係は下式で示すことができる。

$$\epsilon_{opt} = \epsilon'_{\gamma} (w = 0) = N^2 \quad (1-17)$$

電子分極のみを考慮すればよい単元素の誘電体の場合には、 w_0 は電子励起エネルギーの平均値、つまり、平均のエネルギーギャップに相当する量とみなすことができる。従って、電子分極による比誘電率が大きい原子番号の大きい誘電体は、原子番号の増加とともに隣接原子間の相互作用が増大し、結合性、非結合性軌道のバンド幅が広がり、バンドギャップが減少する。(1-16) 式から、バンドギャップが減少すれば、比誘電率が増加することが一般的であることがわかる。比誘電率が電子分極によって決定される共有結合性のダイヤモンド、Si、Ge、Sn の系列のバンドギャップは、ダイヤモンド構造が可能とする S 軌道、P 軌道よりなる SP_3 混成軌道の結合性、非結合性のバンド幅が広がり、バンドギャップは 5.5, 1.1, 0.7, 0.1 eV となる。一方、比誘電率は 5.7, 12.0, 16.0, 24.0 となる。電子分極による誘電率 ϵ_{opt} の増加はバンドギャップの減少につながり、絶縁性能は低下することを示唆している。次に、イオン分極の誘電率への寄与について検討する。イオン分極は異なる元素からなる結合において生ずるから、2 元以上の化合物がここでは対象となる。これらの化合物の誘電率は、電子分極による誘電率 ϵ_{opt} よりも大きな値を示す。典型的なイオン結晶であるハロゲン化アルカリではイオン分極は大きく、例えば NaCl では電子分極による比誘電率が 2.3 に対して、イオン分極を含むと 5.6 となる。イオン分極の大きさの目安をみるために、ポーリングの電気陰性度を考慮することができる。図 1-6 はポーリングの電気陰性度表である。A 原子と B 原子が純粋な共有結合をする場合に対する結合エネルギーに対して、イオン結合に相当する結合エネルギーの相対的な大きさは下式で推測できる。

$$\Delta E(A-B) = K(X_p^A - X_p^B)^2 \quad (1-18)$$

族	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
周期																		
1	H																	He
2	Li	Be											B	C	N	O	F	Ne
3	Na	Mg											Al	Si	P	S	Cl	Ar
4	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	Cs	Ba	*	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	Fr	Ra	**	Rf	Db	Sg	Bh	Hs	Mt	Ds	Rg	Cn	Uut	Fl	Uup	Lv	Uus	Uuo
ランタノイド	*	La	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb	Lu		
アクチノイド	**	Ac	Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No	Lr		

図 1-6 ポーリングの電気陰性度 (ポーリング”化学結合論”より)

X_A^A :原子 A に関するポーリングの電気陰性度、 X_B^B :原子 B に関するポーリングの電気陰性度、K:定数である。酸化物誘電体のうちで比較的イオン結合性の大きいものを選択する基準として、電気陰性度が 1.6 以下の元素との酸化物誘電体について検討した。電気陰性度が 1.6 以下の元素は 1 から 5 族であり、原子量が比較的大きいとすると、周期 4 以下の元素となる。1、2 族の酸化物は不安定であるので、3、4、5 属の金属酸化物が候補となる。Sc は存在量が少ないので除く。酸素とイオン結合性が比較的高く、安定な化合物となり、検討対象となるのは、Ti、Zr、Nb、Hf、Ta、Y と判断できる。

従って、以上の検討から、原子量が比較的大きいことにより電子分極が大きく、かつ、イオン分極が大きいイオン性結合性を有しており、電波領域において安定した高い誘電率となる材料が容量絶縁膜用の高誘電率材料として選択すべき材料である。

1.2.2 高誘電率容量絶縁膜の選択

2 元酸化物の場合も単元素の誘電体の場合と同様に、化合物を構成する原子の平均原子番号が大きくなると誘電率は増加し、バンドギャップが小さくなることが報告されている [11]。1.2.1 節で示したように、電子分極が大きいのはよ

り原子番号が大きい元素であるが、更にイオン性化合物であって、イオン分極が大きい酸化物となる Ti、Zr、Nb、Hf、Ta、Y が望ましいことを示した。これらの酸化物、および、高誘電率となる 3 元、4 元化合物について、平均原子量と比誘電率、平均原子量とバンドギャップの関係を図 1-7、図 1-8 にそれぞれ示した。ZrO₂、HfO₂ については P.J.Harrop 等のデータを用いた [11]。平均原子量が高い程比誘電率が大きく、バンドギャップが小さい傾向であるといえる。しかしながら、バンドギャップが小さいと誘電損失も大きくなることが懸念される。比誘電率が 20 以上であっても、バンドギャップはなるべく大きいものがのぞましい。

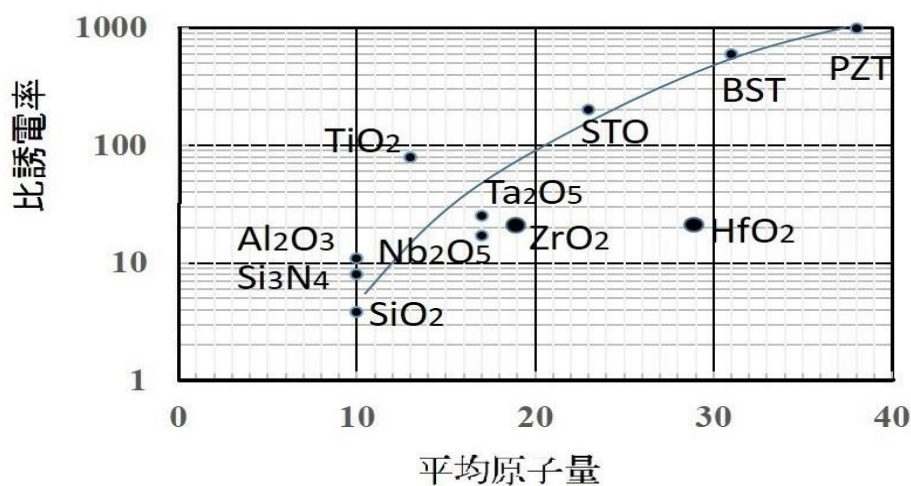


図 1-7 平均原子量 v s 比誘電率

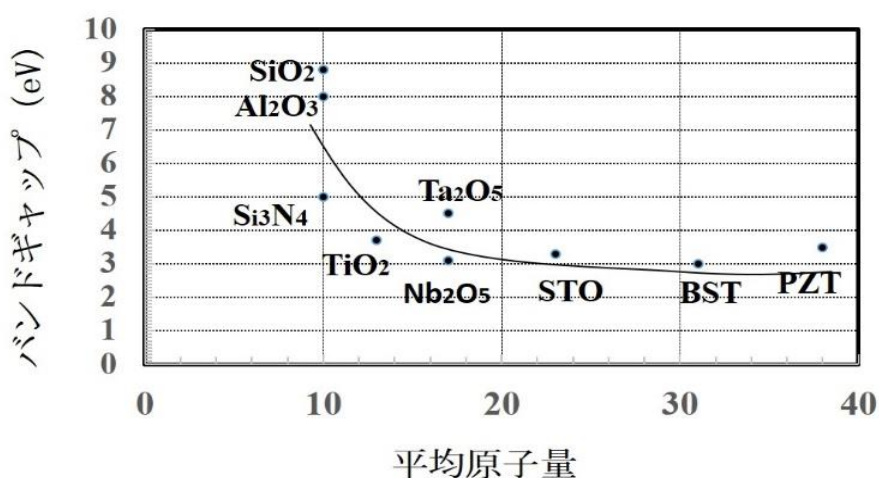


図 1-8 平均原子量 v s バンドギャップ

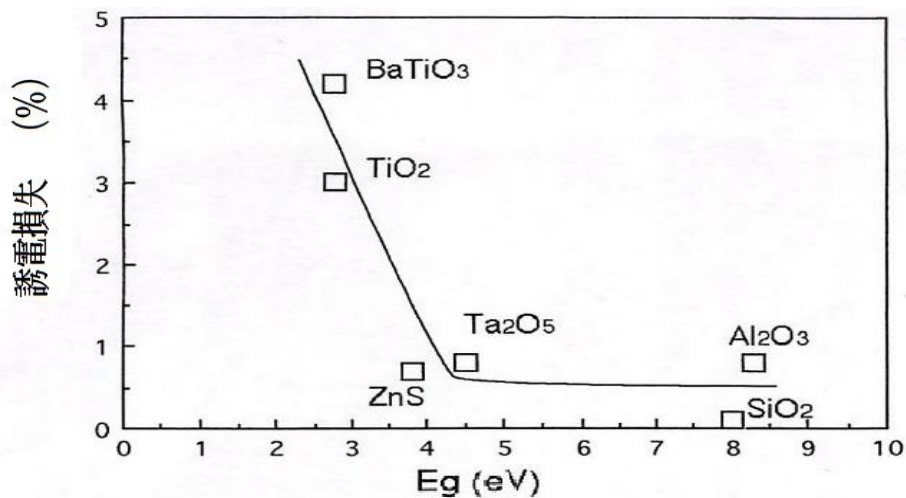


図 1-9 誘電損失 vs バンドギャップ (E_g)

Ta₂O₅ は比誘電率が 20 以上であるが、バンドギャップも 4 eV 以上となり、この選択条件に該当する。BST (Ba-Sr-Ti-O 化合物)、STO (Sr-Ti-O 化合物)、PZT (Pb-Zr-Ti-O 化合物) などの 3-4 元化合物のバンドギャップは 3-4 eV と小さい上に、3 元素以上の化合物の元素組成の安定した制御が極めて難しいこともあり、選択しなかった。これらの酸化物はイオン性酸化物であり、誘電率が高くなるものの、イオン結合が強いために原子間距離が大きくなるとともに、共有性結合が弱まり、バンドギャップは減少する。図 1-9 は誘電損失とバンドギャップの関係を示している [11]。チタン酸化物は、バンドギャップが比較的小さいこともあり、誘電損失は大きくなる傾向がある、この関係については、理論的な裏付けはされていないが、バンドギャップが小さいと、ドナー準位などの影響により誘電損失に影響を与えやすいと考えられる。従来用いられている SiO₂、Al₂O₃ は誘電損失が 1 % 以下であるが、誘電率は 10 以下と小さい。Ta₂O₅ の誘電損失は 1 % 以下であるが、比誘電率は 20 以上の値が報告されている。一方、比誘電率が 40 以上となると、バンドギャップは 3 eV 前後となり、誘電損失も大きくなる傾向と考える。これらの結果から、誘電損失が小さく、比誘電率が 20 以上で、バンドギャップは 3~6 eV の範囲でなるべく大きい材料を選択の指針とできる。TiO₂ は比誘電率が高いものの、誘電損失が大きく、組成が複数あるため除いた。この選択の対象となる安定な金属酸化物としては、ポーリングの電気陰性度の評価から抽出した材料である Zr、Nb、Hf、Ta、Y から選択できる。このうち、Ta₂O₅ は 2 元系で組成が安定し、単体のコンデンサー材料として実績があり、誘電率が 20 以上と高いが、バンドギャップは 4 eV 以上あり、誘電損失が小さいことから、最も有望と考えた。Zr、Hf、Nb 等の酸化物も可能性のある材料といえるが、Zr、Hf、Nb 酸化物は Ta₂O₅ より比誘電率が低く、Ta₂O₅ に優位性があると判断した。

1.3 研究開発着手時の高誘電率膜の電気的特性と製造方法のまとめ

1.3.1 高誘電率絶縁膜の電気的特性の比較評価

次に、半導体メモリの容量絶縁膜として使う場合には、実使用電圧における蓄積可能な電荷量の評価が必要となる。この値は絶縁破壊に至る寿命が一定期間、例えば、10年保証できる時の最大の蓄積電荷量として求めることができる。また、実使用時の漏洩電流が一定値以下でなければならない。つまり、書き込んだ情報がリーク電流（漏れ電流）により消失しにくいために、十分にリーク電流（漏れ電流）が低いことが必要となる。図 1-10 は絶縁破壊電界強度の大きい材料について、リーク電流が $1 \mu\text{A}/\text{cm}^2$ となる電界強度と比誘電率の関係をこれまでの文献からまとめたものである。Ta₂O₅、TiO₂ に示される様に、形成方法により、電界強度で示される絶縁性は大きく異なることがわかる。Nb₂O₅ を除く材料の最も高い電界強度の比誘電率依存性から、比誘電率の増大とともに電界強度が低下していく傾向があることがわかる。(1-1) 式から算出される様に、蓄えられる蓄積電荷量は電界強度と比誘電率の積($\epsilon \cdot E$)に比例するが、この値は必ずしも一定な訳ではない。

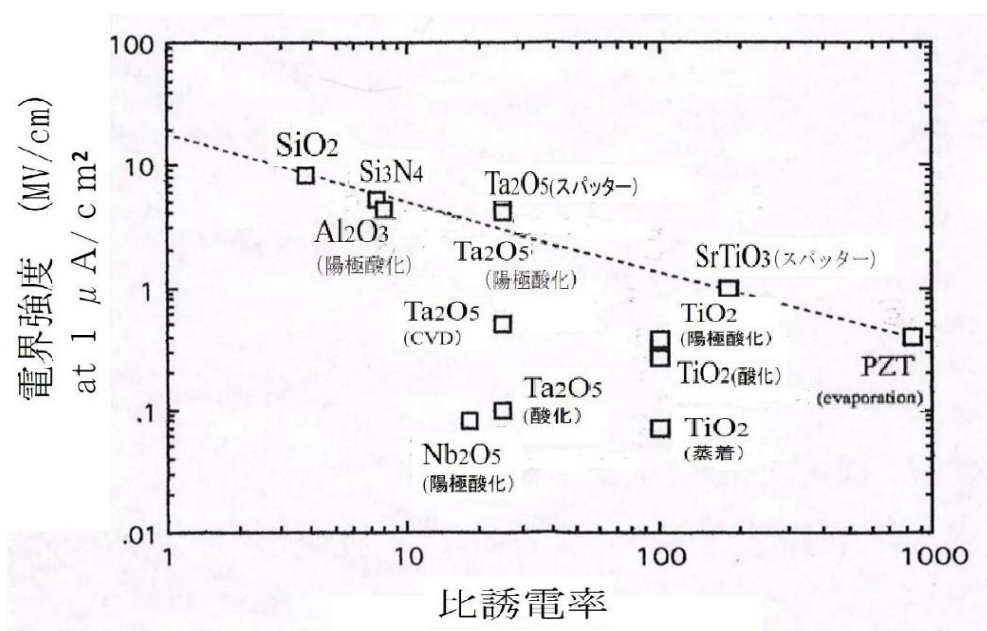


図 1-10 所定のリーク電流となる電界強度 v s 比誘電率

図 1-11 は金属酸化物の文献値、実測値から、最も高い電界強度を用いて($\epsilon \cdot E$) の値と比誘電率の関係をまとめたものである [12]。TiO₂、Nb₂O₅ を除いて、誘電率の増加とともにより大きな蓄積電荷量を実現でき、($\epsilon \cdot E$) は近似的に $\epsilon^{1/2}$ に比例して大きくなる経験則が得られる。従来使われている、SiO₂、SiO₂/Si₃N₄ は

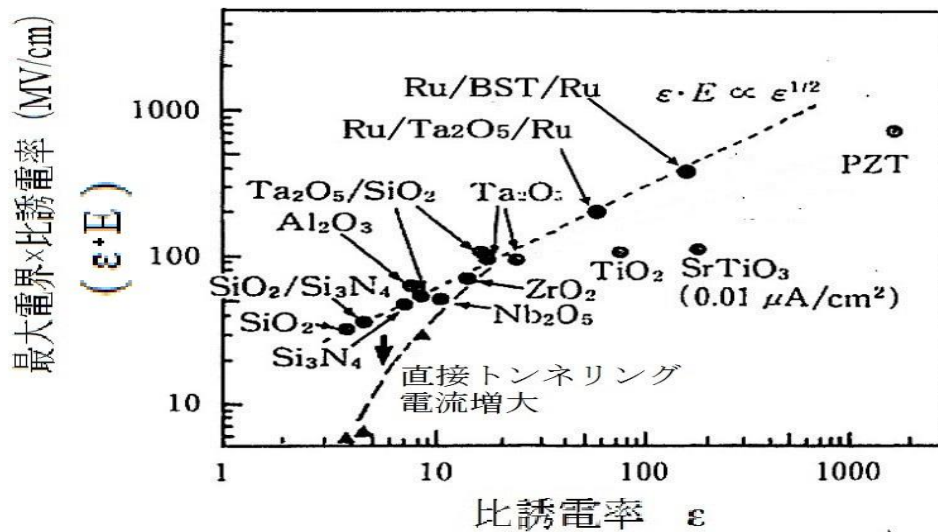


図 1-11 最大電界強度・比誘電率 v s 比誘電率、
最大電界強度：リーク電流が $1\mu\text{A}/\text{cm}^2$ となる電界強度

薄膜化により、直接トンネリング電流が増加して絶縁耐圧に相当する最大電界強度が低下するために、 $(\epsilon \cdot E)$ が低下して、容量としての性能も低下する。 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 膜、Ru 電極間の Ta_2O_5 膜、BST 膜は $\epsilon^{1/2}$ に比例して $(\epsilon \cdot E)$ が増加し、高誘電率化によりキャパシタの蓄積電荷量を増加させることができる。本研究では、比誘電率が 20 以上の 2 元系化合物のなかで Ta_2O_5 膜が最も $(\epsilon \cdot E)$ が大きく、最も有望な材料と考えた。 TiO_2 、 Nb_2O_5 、 ZrO_2 は Ta_2O_5 よりも $(\epsilon \cdot E)$ が小さく、容量絶縁膜としての性能が劣る判断した。3 元系の BST、PZT の $(\epsilon \cdot E)$ は Ta_2O_5 膜よりも高いもののバンドギャップが小さく、3 元系以上の化合物の組成の均一性の制御は極めて難しく、製造技術として選択することはできなかった。 Y_2O_3 、 HfO_2 等については、研究開発着手段階では、 Ta_2O_5 と比較できるデータが少なく、 Ta_2O_5 を優先して開発することとした。

1.3.2 Ta_2O_5 膜形成方法について

図 1-10 に示される様に高誘電率膜の特性は膜形成方法、形成条件により大きく変化する。本節に、研究開発着手時に報告されていた Ta_2O_5 膜の形成方法について、それぞれの特徴についてまとめる。

(1) 陽極酸化方法

電解液中に置かれた Ta は、外部電界によって Ta イオンと電子に解離し、Ta イオンは酸化膜中の準安定な位置に移動して表面に達し、酸素と結合して酸化

物を生ずる。電解液と酸化膜との界面は酸素過剰な P 型層があり、中間が化学量論的には Ta_2O_5 に近い領域となる。また、電解液中の負イオンも酸化膜中に取り込まれ、表面層を P 型層にする。電解液としてリン酸を用いると O^{2-} の他に、 PO_4 が取り込まれ、酸化膜中に磷も混入する。図 1-10 に示す様に、陽極酸化により形成された比較的厚い膜の絶縁耐圧は良好である場合が多いが、高集積半導体素子において必要とされる薄膜領域で、厚さ方向に均一な膜を形成することは困難である。例えば、整流作用が現れる場合が報告されている [13]。これは、膜厚方向に酸素濃度の変化があるためと考えられる。酸素が不足した酸化タンタル膜は N 型半導体的な性質となり、逆に酸素の多いところは P 型となり、P-I-N 接合が形成されるためと解釈されている。構造的には、下部電極はタンタル、あるいは、タンタル化合物に限定されるうえに、半導体基板を電解液中に設置し、電界を印加できる構造とする必要があり、素子構造を制約する要因が多い。従って、シリコン半導体製造プロセスに適合しにくい形成方法と考えられる。

(2) 熱酸化法

金属 Ta 膜をスパッター法により Si 基板上に形成した後、酸素を含む雰囲気中で加熱することにより、 Ta_2O_5 膜を形成する [14]。図 1-10 に示す様に、この Ta_2O_5 膜の絶縁耐圧は低く、リーク電流（漏れ電流）は極めて大きい。スパッター法で形成した Ta 膜は多結晶体であり、その表面は結晶粒径程度の凹凸が生じている。電極表面の凸部には、電界集中が起こりやすく、比較的低電界の印加によってもリーク電流が大きくなり、絶縁破壊しやすくなるものと考えられる。リーク電流の少ない 10 nm 前後の薄膜の形成を行うには適さないと考えられる。

(3) 反応性スパッター法

反応性スパッターとは、アルゴンと酸素の混合ガス中での高周波プラズマを発生させ、Ta ターゲットをスパッターして Ta_2O_5 膜を形成する方法である [15]。この方法によって形成した Ta_2O_5 膜は、膜が緻密であり、絶縁耐圧が高いなどの優れた特性を持っていることがわかった。ただし、この方法では、膜の堆積は方向性を持っており、凹凸のある基板上に均一な膜を形成するのは難しい。従って、立体化の進んだ DRAM 容量部への適用は困難である。

(4) CVD 法（CVD：Chemical Vapor Deposition、化学的気相成長）

立体化された素子構造に均一な膜を形成するには、スパッター法よりも良好な段差被覆性を実現可能な CVD 法の開発が重要な課題である。CVD 法としては活性化源として、熱、プラズマ、光を用いるものなどがある。熱 CVD では、タンタルアルコキシドを減圧下で熱分解する方法では、400 °C 前後では十分な

堆積速度が得られるが、スパッター膜と比較して絶縁性が劣るという問題があった [16]。研究開発着手時では、これを改善する方法が提案されている。斉藤らは堆積時に Ti を添加することにより絶縁耐圧が改善されることを示した [17]。また、紫外線を照射した雰囲気において、五塩化タンタルなどのタンタルハロゲン化物やタンタルアルコキシドを 200-300 °C の低温で光分解により膜形成を行う光 CVD によれば、良好な絶縁耐圧を示す Ta₂O₅ 膜を形成することができる [18, 19]。光 CVD による Ta₂O₅ 膜形成後に、酸素雰囲気において UV 照射をしながら熱処理することにより、絶縁耐圧が改善することが報告された [18]。光 CVD は量産性、プロセス安定性、段差被覆性において課題があり、シリコン半導体素子の製造に適用された例は少ない。プラズマ CVD としては、TaCl₅, NO₂ を用いた形成方法が提案されている [20]。活性な酸素プラズマ雰囲気において、膜形成が行われ、イオンの衝突により膜が緻密化することから、堆積時に良好な絶縁性を得ることができると報告されている。しかし、反応性スパッター法と同様に、基板面に垂直方向にかかる電界により、段差被覆性に課題がある。

以上に示す方法のほかに、ゾルーゲルなどの方法も適用可能である。本研究では半導体プロセスへの適用という観点より、薄膜で安定した膜形成が期待できる反応性スパッター法と三次元構造の素子に対応するための CVD 法による膜形成方法について検討した。

1.4 本研究の目的と本論文の構成

1.4.1 本研究の目的

1.1.1 節に述べたように、16 メガビット DRAM 以降の高集積化、微細化を進めるにあたって、半導体メモリ用容量絶縁膜として多用されてきた SiO₂、SiO₂/Si₃N₄ 積層膜のスケーリング則に従う薄膜化は限界に達することがわかった。この限界を超えた SiO₂ 換算膜厚で 4 nm から 3 nm 以下の薄膜化を高誘電率容量絶縁膜 Ta₂O₅ 膜により実現し、16 キロビットバイポーラメモリ素子、64 メガビット DRAM 以降のシリコン半導体メモリ素子の実用化を可能とすることを本研究の目的とする。

1.4.2 本論文の構成

第 1 章では、研究の背景および研究の目的および半導体素子に必要とされる高誘電率容量絶縁膜の材料選択にあたって、種々の高誘電率材料のなかから、

Ta₂O₅ 膜を選択した理由について議論する。特に、DRAM 素子の 64 メガビット DRAM 以降の高集積化を達成するために、従来の SiO₂/Si₃N₄ 積層膜にかわる高誘電率 Ta₂O₅ 容量絶縁膜が必要であること、また、立体構造容量部に Ta₂O₅ 容量絶縁膜を形成することが必要であることを説明する。

第 2 章では、16 キロバイポーラメモリ素子のメモリセル縮小のために、高濃度単結晶シリコン基板上に反応性スパッターによる Ta₂O₅ 膜を形成する技術について説明する。特に、800 °C の乾燥酸素熱処理 (ウィークスポット酸化結晶化熱処理) により信頼性が顕著に改善された。Ta₂O₅ 膜厚が 70 nm であると、ウィークスポット酸化結晶化熱処理によりクラックが発生するが、10 nm 以下ではクラックは発生せず、リーク電流も増加することなく、欠陥密度が低減し、絶縁破壊信頼性が顕著に向上した。経時的絶縁破壊評価 (TDDB) により、Ta₂O₅/SiO₂ 二層構造の絶縁破壊寿命は、単層 SiO₂ 膜の絶縁破壊寿命よりも 5 桁優れている。SiO₂ 換算膜厚 3-4 nm の容量絶縁膜を Ta₂O₅/SiO₂ 積層構造により実現することができた。

第 3 章では、DRAM への Ta₂O₅ 膜適用の基礎検討として、多結晶シリコン電極上への反応性スパッター法により形成した Ta₂O₅ 膜のリーク電流特性、及び、長期信頼性について述べる。多結晶シリコン電極と Ta₂O₅ 界面に Si₃N₄ 膜を介在させた構造についても比較検討している。従来、多結晶シリコン電極上の熱酸化膜は単結晶シリコン上の熱酸化膜と比較して、大幅な絶縁破壊信頼性の低下がみられるが、Ta₂O₅/SiO₂ 積層膜では、Ta₂O₅ 膜形成後のウィークスポット酸化結晶化熱処理により、優れた信頼性が得られることが実証できた。また、Si₃N₄ 膜を界面に介在させた場合には、絶縁破壊寿命信頼性の面では、Ta₂O₅/SiO₂ 積層膜より劣ることがわかった。DRAM 素子へ SiO₂ 換算膜厚 3 nm の多結晶シリコン上 Ta₂O₅/SiO₂ 積層膜を実現できる確信が得られた。

第 4 章では、DRAM 容量部の構造として、3 種の構造について比較検討した。MIM 構造、MIS 構造、SIS 構造である。高誘電率絶縁膜の特性をより発揮できるのは、金属電極間に Ta₂O₅ 膜のみを適用する MIM 構造である。また、第 3 章にて説明した MIS 構造は Ta₂O₅/SiO₂ 積層構造によって、多結晶シリコン上でも良好な長期信頼性が得られ、SiO₂ 換算膜厚で 3 nm までの容量絶縁膜が得られる。また、プレート電極として、従来の DRAM と同様に多結晶シリコン電極を用いる SIS 構造では、Ta₂O₅ 膜上に SiO₂、もしくは Si₃N₄ 膜からなる反応防止膜が必要となる。これらの構造のリーク電流、及び、絶縁破壊の長期信頼性評価を比較した。MIM 構造はリーク電流の観点から、SiO₂ 換算膜厚で 2 nm までの薄膜

化が可能であるが、欠陥密度が多く、信頼性に課題がある。一方、SIS構造は膜厚の薄膜化にともなって、絶縁破壊の長期信頼性はMIS構造に劣る上に、 SiO_2 換算膜厚で3 nmの薄膜化は難しい。従って、64メガビットDRAMを実現するためには、立体的な容量構造に加えて、 SiO_2 換算膜厚3 nmまで薄膜化できるMIS構造の $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層構造が最も有望である。またSIS構造を用いて、従来のDRAMプロセスに Ta_2O_5 膜を有する容量絶縁膜を適用した結果、 Ta_2O_5 膜をDRAMプロセスに導入しても、デバイス特性を劣化させることはなく、 Ta_2O_5 膜をDRAMに適用可能であることを示した。

第5章では、積層容量型メモリセルに Ta_2O_5 膜を適用するために、CVD法による Ta_2O_5 膜の検討を行った結果について説明する。CVD法により形成した Ta_2O_5 膜は反応性スパッター法による Ta_2O_5 膜と比較して、リーク電流が大きく、絶縁耐圧が劣る。また、ウィークスポット酸化結晶化熱処理をしても、反応性スパッターによる Ta_2O_5 膜の絶縁耐圧より劣っている。その原因は、CVD法による Ta_2O_5 膜中に酸素欠陥が多いためと考え、CVD法により形成した Ta_2O_5 膜に種々の活性酸素処理を施すことにより、酸素欠陥を低減することを検討した。その結果、UV- O_3 処理等の活性酸素処理を行うことにより、大幅にリーク電流が減少するとともに、ウィークスポット酸化結晶化熱処理を行うことにより、反応性スパッター法による Ta_2O_5 膜と遜色のない絶縁破壊信頼性を有する Ta_2O_5 膜を実現することができた。CVD法による Ta_2O_5 膜とUV- O_3 処理とウィークスポット酸化結晶化熱処理との二段階熱処理により、王冠型容量電極表面に良好な被覆性を確保しながら、所定のリーク電流以下となる、 SiO_2 換算膜厚2.8 nmの容量絶縁膜を実現し、高誘電率容量絶縁膜を有する64メガビットDRAMメモリセルを世界で初めて試作することに成功した。

第6章では反応性スパッター法、および、CVD法による Ta_2O_5 膜の構造について検討した。結晶性、O/Ta組成比、酸素の配位数とTa-Oの結合距離について比較評価を行った。反応性スパッターによる Ta_2O_5 膜はウィークスポット酸化結晶化熱処理の有無によらず、酸素のTa原子への配位数は7であった。CVD法による Ta_2O_5 膜にウィークスポット酸化結晶化熱処理を行っても、リーク電流が多いままであり、Ta-O結合距離の大きく、酸素の配位数は7.6の結晶となった。この結晶は酸素の欠陥が多いと考えられる。CVD法による Ta_2O_5 膜にUV- O_3 処理を行い、更に、ウィークスポット酸化結晶化熱処理を行うことにより、Ta-O結合距離が小さく、Ta原子への酸素配位数が8に増加し、絶縁耐圧も向上することがわかった。活性酸素処理により、膜中の酸素欠陥が修復されたものと考えられる。二段階の熱処理により生成する結晶化したCVD法による Ta_2O_5 膜とウィ

ークスポット酸化結晶化熱処理により生成する結晶化した反応性スパッター法による Ta₂O₅ 膜は異なる Ta への酸素配位数、異なる Ta-O 結合距離を示し、結晶構造が異なることがわかった。

第7章では本論文の内容を総括する。

本論文では高誘電率 Ta₂O₅ 膜のシリコン半導体メモリ素子の容量絶縁膜の適用について報告した。Ta₂O₅ 膜の実用化にあたって、CVD 法による Ta₂O₅ 膜中の酸素欠陥は活性酸素処理で修復される。一方、CVD 法、反応性スパッター法によらず、絶縁耐圧等の膜特性の均一性、絶縁破壊の長期信頼性はウィークスポット酸化結晶化熱処理により顕著に改善される。これら Ta₂O₅ 膜プロセス技術の確立により、16 キロビットバイポーラメモリ素子の製品化を可能とし、更に、二段階熱処理を行った CVD-Ta₂O₅ 膜を適用することにより、64 メガビット DRAM、256 メガビット DRAM 素子の製品化が可能となった。

また、本論文で示す高誘電率容量絶縁膜と王冠型容量構造の組み合わせは、現在の DRAM の基本的構成となり、また、本論文で示す高誘電率膜の製造プロセスは現在のシリコン半導体メモリ素子に適用する高誘電率膜の製造方法の基本的プロセスとなっており、高誘電率膜の実用化の先駆けとなる研究となった。

1.5 参考文献

- [1] R.H.Dennard et al., "Design of ion-implanted MOS-FET's with very small physical dimensions," IEEE J. SSC, vol.9, no.5, p.256, 1974.
- [2] S. Asai, "Trend in megabit DRAMs," in IEDM Tech. Dig., p.368, 1984
- [3] C. Hu, "Thin oxide reliability," in IEDM Tech. Dig., p.368, 1985
- [4] M. Koyanagi, T. Sunami, N. Hashimoto, and M. Ashikawa, "Novel high density stacked capacitor MOSRAM," in IEDM Tech, Dig., p.348, 1978.
- [5] M. Aoki, J. Itoh, S. Kimura, and Y. Kawamoto, "1.5V DRAM for battery-based application," in ISSCC Dig. Papers, p.238 Feb, 1989.
- [6] S. Kimura, Y. Kawamoto, N. Hasegawa, A. Hiraiwa, M. Horiguchi, A. Aoki, T. Kisu, and H. Sunami, "A 5.4 μm² stacked capacitor DRAM cell with 0.6 μm² quadruple-polysilicone-gate technology," in Extended abstract 19th Conf. on Solid State Devices and Materials, 1987.
- [7] T. Kaga, T. Kure, H. Shinriki, Y. Kawamoto, F. Murai, T. Nishida, Y. Nakagome, D. Hisamoto, T. Kisu, E. Takeda, K. Itoh "Crown-shaped stacked-capacitor cell for 1.5-V operation 64-MbDRAMs" IEEE Trans. Electron Devices, vol. 38, p. 255, 1991.

- [8] H. Shinriki and M. Nakata, "UV-O₃ and Dry-O₂: Two-Step Annealed Chemical Vapor-Deposited Ta₂O₅ Films for Storage Dielectrics of 64-Mb DRAM's" IEEE Transactions on Electron Devices Vol.ED-38, No.3, March p.455, 1991.
- [9] H. Watanabe, T. Tatsumi, A. Sakai, N. Aoto, and T. Kajikkawa "An Advanced Technique for Fabricating Hemispherical-grained (HSG) silicon storage electrodes" IEEE Transactions on Electron Devices Vol.ED-42, No.2, February p.295, 1995.
- [10] J. Yugami, T. Mine, S. Iijima, and A. Hiraiwa, "Inter-poly SiO₂/Si₃N₄ capacitor films 5 nm thick for deep submicron LSIs," in Extended abstract 20th Conf. on Solid State Devices and Materials, (Tokyo, 1989) p.173.
- [11] P. J. Harrop and D. S. Campbell "Selection of Thin Film Capacitor Dielectrics " Thin Solid Films, 2. p.273 (1968).
- [12] 神力 博 : 応用物理 第 60 巻、第 11 号 (1991) "高誘電率材料の LSI 容量絶縁膜への応用"
- [13] S. M. Gubanski and D. M. Hughes "Conduction Process in Anodic Ta Oxide Thin Films with Gold Counter electrode" Thin Solid Films, 52 (1978) p.119.
- [14] D. J. Smith and L. Young "Optical and Electrical Properties of Thermal Tantalum Oxide Films on Si" IEEE Transaction on Electron Devices vol.ED-28, No.1 (1981) p.22.
- [15] P. L. Young "DC Electrical Conduction in Thin Ta₂O₅ Films, Bulk Limited Conduction" J. Apply. Phys. Vol.47, No.1, Jan, (1976) p.235.
- [16] E. Kaplan, M. Balog and D. Frohman-Bentchkowsky "Chemical Vapor Deposition of Tantalum Pentoxide Films for Metal-Insulator-Semiconductor Devices" J. Electrochem. Soc. Vol.123, No.10, (1976) p.1570.
- [17] M. Saitoh, T. Mori and H. Tamura "Electrical Properties of thin Ta₂O₅ films grown by Chemical Vapor Deposition" in IEDM Tech. Dig., p.680, 1986.
- [18] K. Yamagishi and Y. Tarui "Photo-CVD of Tantalum Oxide Film from Pentamethoxy Tantalum for VLSI Dynamic Memories" Jpn. J. Appl. Phys. Vol.25 1986, L306.
- [19] M. Matui, S. Oka, K. Yamagishi, K. Kuroiwa and Y. Tarui "Photo-process of tantalum oxide films and their characteristics " Jpn. J. Appl. Phys. 27. P.506, (1988).
- [20] Y. Numasawa, S. Kamiyama, M. Senke and M. Sakamoto "Ta₂O₅ plasma CVD technology for DRAM stacked capacitors" in IEDM Tech Dig., 1989, p.43.

第 2 章 反応性スパッター法による Ta₂O₅ 膜の電気的特性、信頼性 評価とバイポーラメモリ素子用容量絶縁膜への適用

2.1 緒言

Si の半導体素子の高集積化とともに、Si 半導体メモリ素子に適用されてきた SiO₂、Si₃N₄/SiO₂ 積層膜からなる容量絶縁膜はスケーリング則に従って薄膜化すると、漏れ電流が急増してしまう物理的限界に達する [1], [2]。このため、この物理的限界を克服するために、これらの容量絶縁膜を高誘電率誘電体に置き換えることを提案した [3]。とりわけ、最も高集積なメモリ素子である DRAM に高誘電率容量絶縁膜を適用することをめざして、Ta₂O₅ 膜を選択し、DRAM への適用について報告した [4]。極めて高い信頼性を必要とする DRAM に適用するには、下記の課題を解決する必要があった。

第一の課題：Ta₂O₅ 膜は 600 °C 以上の熱処理により、絶縁耐圧が低下することが報告され、通常の DRAM プロセスで必要とされる 800 °C 以上のプロセスへの適用が懸念される。

第二の課題：64 メガビット以降の DRAM では SiO₂ 換算膜厚 3 nm 以下に相当する高い容量を確保するために、Ta₂O₅ 膜の膜厚を 10 nm 以下とする必要があるが、薄膜化による信頼性の低下が懸念される。

本章では、16 キロビットバイポーラメモリ素子用容量絶縁膜への Ta₂O₅ 膜の適用を検討するなかで、800 °C 以上の高温熱処理によっても、Ta₂O₅ 膜の絶縁破壊信頼性を向上させ、欠陥密度を低下させることのできる酸化処理方法について述べる [5-9]。また、このプロセスにより形成した Ta₂O₅ 膜を世界で初めて高集積シリコン半導体素子製品に適用することができ、製品レベルの高い信頼性を実証することができた [9]。

2.2 高速バイポーラメモリ素子用大容量キャパシタ（容量素子）の必要性

2.2.1 ソフトエラー対策の動向

高速バイポーラメモリ素子では、その高集積化、高速化に伴うトランジスタの面積の縮小などによって浮遊容量が著しく減少し、その結果、図 2-1 (a) の回路図に示すような互いに交差接続されたトランジスタよりなるフリップフロップ回路のベース・コレクタ接続領域（点線で囲む領域）に α 線によって発生した負

電荷が流入した場合には、ベース電位が変動してフリップフロップ回路に保持された情報が反転し、意図しない情報の書き換えが起きるという問題があった。1.1 節に示す DRAM におけるソフトエラーと同様に、この α 線による情報の意図しない書き換えもソフトエラーに該当する。この対策として、図 2-1 (a) の中の破線で示すキャパシタを負荷回路に並列に接続し、信号雑音電流を吸収することが考案された。従来の高速バイポーラメモリ (図 2-2 参照 : HM2142, HM2144) では、図 2-1 (b) に示すようなフリップフロップ型メモリセルの情報書き込みを高速化するために、負荷切り替え用の PtSi 接合によるショットキバリアダイオードを用いた。このショットキーバリアダイオードのメモリセルに占める面積の割合は約半分となっており、これに付随した接合容量がソフトエラーを防止する効果を持っていた。ところが、メモリセル面積をさらに縮小し、高速化を図るためにはショットキーバリアダイオードの面積を縮小する必要がある、必然的にソフトエラー防止用の接合容量が不足してくる。そこで、図 2-1 (c) に示すように、Pd₂Si 接合による小面積のショットキーバリアダイオードと小面積で高容量のキャパシタとの組み合わせにより、メモリセル全体の面積を縮小し、4 倍の高集積化を達成しながら、ソフトエラーを防止できるだけの容量を確保することができる。

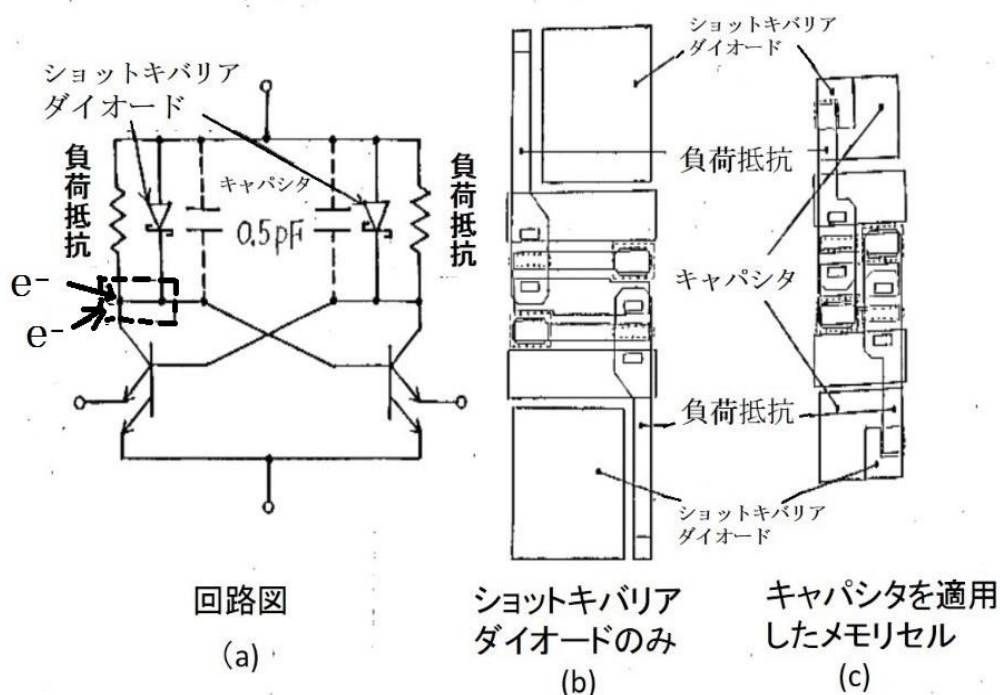


図 2-1 高速バイポーラメモリセルの回路図と面積比較

2.2.2 16 キロビット高速バイポーラメモリ素子用容量絶縁膜への要求仕様

大型計算機用 16 キロビット高速バイポーラメモリ素子に Ta_2O_5 膜を容量絶縁膜として用いたキャパシタ（容量素子）を適用することを検討するにあたり、容量絶縁膜としての Ta_2O_5 膜に要求される特性を示す。

要求性能

- (1) 単位容量： $7.5 \text{ fF}/\mu\text{m}^2$ 以上（ SiO_2 換算膜厚：4.5 nm 以下）、
メモリセル面積が $700 \mu\text{m}^2$ 以下
- (2) 欠陥密度： $<10 \text{ cm}^{-2}$ 以下：16 キロビットメモリセル（32600 個）のキャパシタの歩留まり 99 % 以上
- (3) 高周波特性：300 MHz まで容量一定（アクセス時間 5 nsec 以下）
- (4) リーク電流：動作時（0.5 V） $<0.02 \text{ A}/\text{cm}^2$
- (5) 絶縁耐圧 2 V 以上：動作電圧 0.5 V の 4 倍のマージン

図 2-2 に高速バイポーラメモリセル面積の推移を示す。加工ルールが $1 \mu\text{m}$ となり、セルサイズが $1500 \mu\text{m}^2$ から縮小されるが、PtSi ダイオードのみを用いる場合には、ソフトエラーを防止するのに必要な容量を確保するためには、 $900 \mu\text{m}^2$ のセルサイズが必要となる。小面積の Pd_2Si ダイオードと小面積キャパシタ（単位容量 $7.5 \text{ fF}/\mu\text{m}^2$ 以上）が実現できれば、メモリセル面積を目標の $700 \mu\text{m}^2$ 以下にできる。本研究では、目標の単位容量より大きな単位容量を有するキ

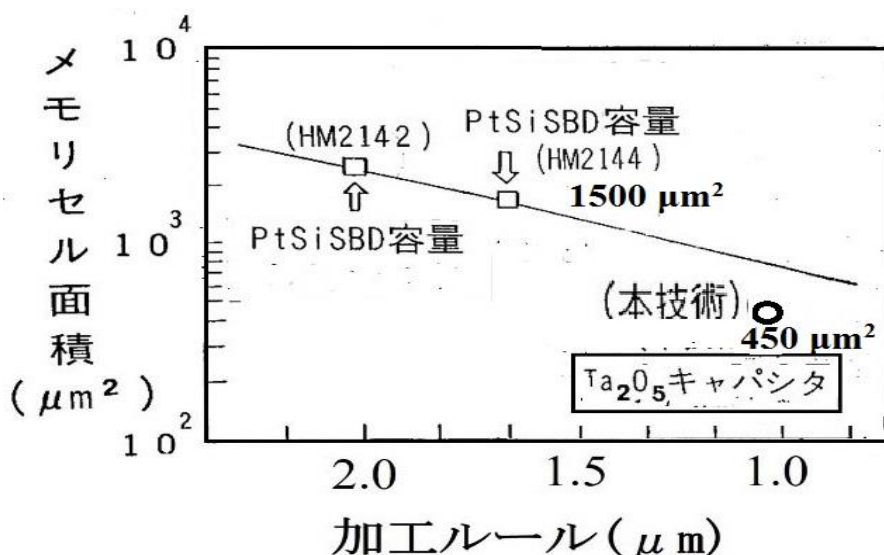


図 2-2 メモリセルサイズの推移

ャパシタの形成により、 $450\ \mu\text{m}^2$ と 3 分の 1 に縮小することができた。

メモリセル面積を縮小するために、より小面積のキャパシタでソフトエラーを防止できる容量を確保する必要がある。当初の目標である SiO_2 換算膜厚 $4.5\ \text{nm}$ から $4.0\ \text{nm}$ 以下まで薄膜化することにより、メモリセル面積を目標より大幅に縮小することが可能となった。一方、単層の SiO_2 膜では、薄膜化にともないリーク電流が増加するだけでなく、欠陥密度も増加するという課題があった。高誘電率容量膜を適用することによりリーク電流の増加を防止しながら SiO_2 換算膜厚で $4\ \text{nm}$ 以下まで薄膜化しても、製品適用可能な高い信頼性を確保できるか、また、 Si 半導体プロセスとの整合性に支障がないか、検証する必要がある。

2.3 形成方法

2.3.1 反応性スパッター法による Ta_2O_5 膜の形成

Ta_2O_5 膜の形成は、金属の Ta ターゲットを用い、アルゴンと酸素の混合雰囲気中で反応性スパッターを行った。図 2-3 は反応性スパッター装置の断面模式図である。Ta ターゲットの純度は 99.9 % であった。スパッター室はクライオポンプ、オイルフリーターボ分子ポンプ、メカニカルブースタポンプにより排気される。シリコン基板を RCA 洗浄した後、シリコン基板をスパッター装置の基板ホルダー上に設置する。基板の加熱、冷却は行わない。 $6.8 \times 10^{-5}\ \text{Pa}$ ($5 \times 10^{-7}\ \text{torr}$) となるまで真空排気を行い、次に、 $\text{Ar} / 10\% \text{O}_2$ 混合ガスを導入し、 $0.68\ \text{Pa}$ ($5 \times 10^{-3}\ \text{torr}$) となるように導入する。次に、高周波電源を印加して、約 1 分間プレ放電を行った後、基板を遮蔽するシャッターを開き、 Ta_2O_5 膜の成膜を行った後、 $6.8 \times 10^{-5}\ \text{Pa}$ ($5 \times 10^{-7}\ \text{torr}$) となるまで真空排気を行い、窒素ガスによりチャ

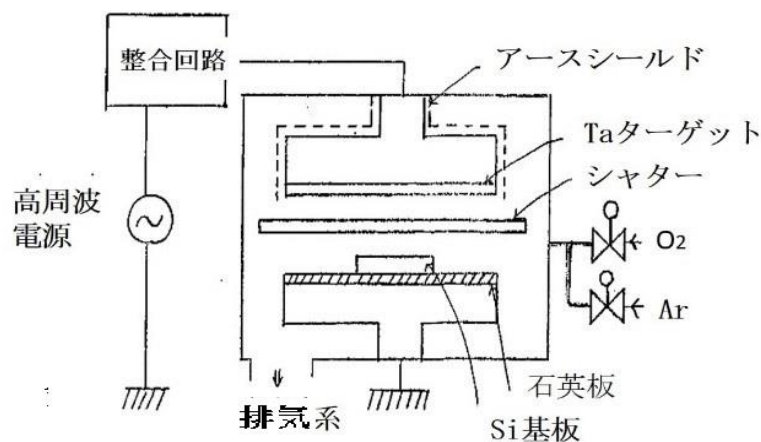


図 2-3 反応性スパッター装置

ンバをリークして基板を取り出した。 Ta_2O_5 膜の成長速度は 6 nm/分 とした。Si 基板の抵抗率は $0.03 \Omega \cdot \text{cm}$ 以下のものを用い、Si 基板をフッ酸洗浄により自然酸化膜を除去した後、 Ta_2O_5 膜を成膜した。図 2-4 はプレ放電の際に形成する SiO_2 膜の膜厚の時間依存性である。プレ放電時間とともに、酸化膜厚は増加する。30 秒から 100 秒に増加すると、酸化膜厚は 15 \AA から 20 \AA と 5 \AA 増加する。本研究ではプレ放電時間は 60 秒と一定とし、界面に形成される SiO_2 膜の膜厚は $18\text{--}19 \text{ \AA}$ 程度となる

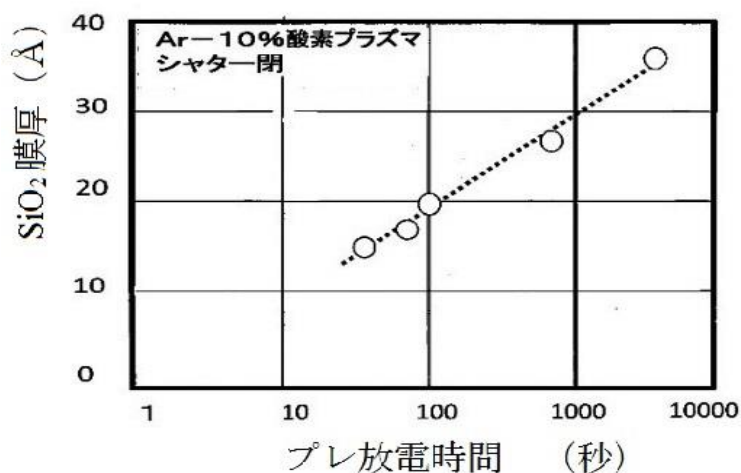


図 2-4 プレ放電による酸化膜の成長

2.3.2 CVD 法による Ta_2O_5 膜の形成

図 2-5 は減圧 CVD 装置の概略を示す。 Ta_2O_5 膜はテルサムコ製減圧 CVD 装

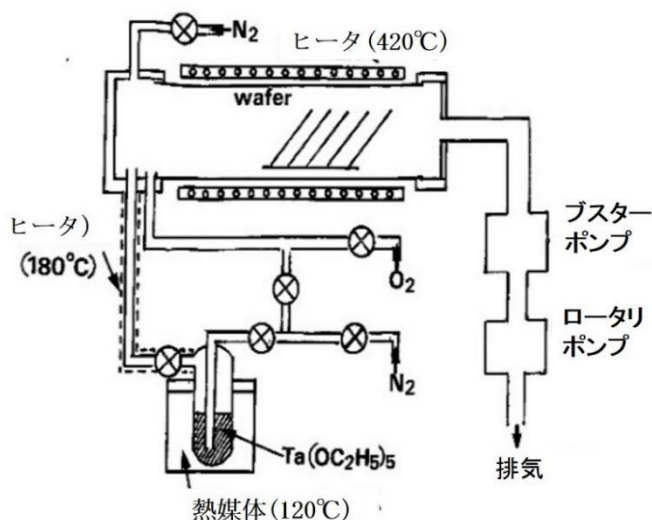


図 2-5 CVD- Ta_2O_5 膜減圧 CVD 装置の断面模式図

置を用いて形成した [10]。均熱炉中の石英管の両端を O リングシールによるフランジにより真空を保持している。真空排気は回転ポンプとルーツポンプにより排気している。圧力はバラトロン圧力センサーからの圧力をモニターし、自動圧力制御バルブを駆動することにより制御している。温度制御は炉体と石英管の間に設置された熱電対を用いて制御した。制御は 3 領域に分割されたヒーターを独立に制御することにより行った。また、成膜前に予め、石英管内に直接熱電対を導入することにより測定した温度を基準としてそれぞれのヒーター出力を決定している。基板はシリコン基板であり、石英治具に斜めに立てて置き、膜を形成する面を下方に向けてあり、真空排気、真空リークの際の微小なパーティクルの付着を防止した。酸化タンタル膜の原料としては、被覆性に優れた酸化タンタル膜が形成できることと、常温、常圧で液体であり、アルコキシドとしては蒸気圧が高く、取り扱いが容易という理由から $\text{Ta}(\text{OC}_2\text{H}_5)_5$ (純度 99.9999 %) (Penta-ethoxy-tantalum) を選択した。図 2-6 は $\text{Ta}(\text{OC}_2\text{H}_5)_5$ の蒸気圧曲線を示す。

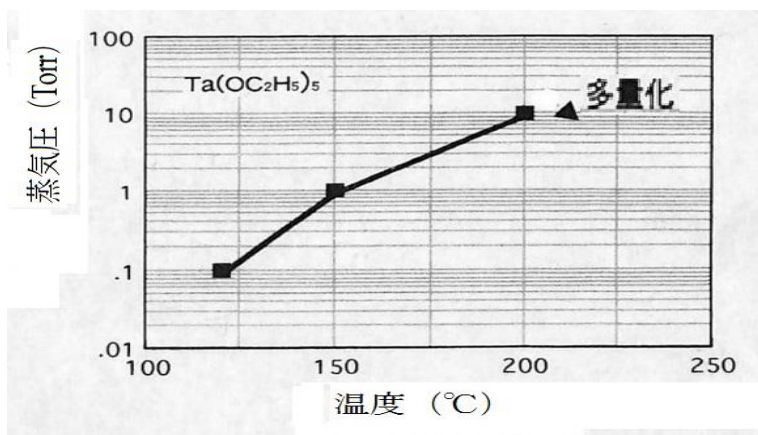


図 2-6 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ の蒸気圧曲線

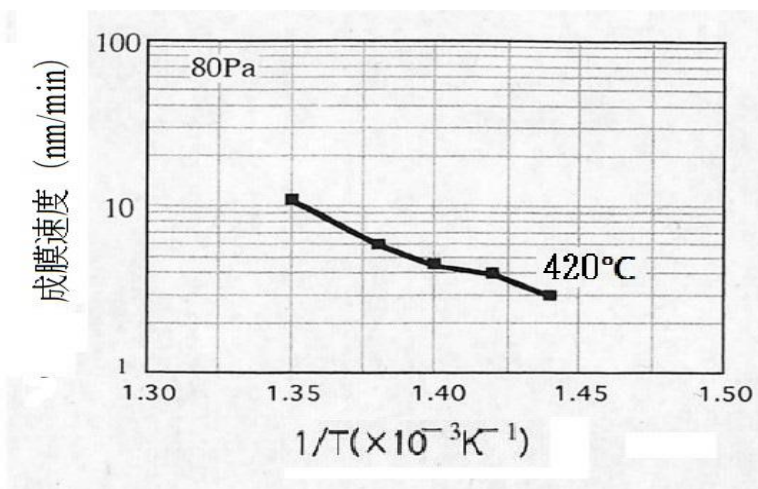


図 2-7 CVD- Ta_2O_5 成膜速度のアウレニウスプロット

蒸気圧は継続的に高温に保持していると、次第に低下する傾向があった。これは原料が単量体から多量体に変化するためとわかり、140 °Cで安定して窒素ガスにより気化供給することにより、安定して供給が可能となった。その後、気化装置を用いることにより、液体原料タンク自体を加熱する必要がなくなり、140 °C以上の気化温度も使用できるようになった。気化ガスは180 °Cに加熱されたガス配管を通じて反応管に供給された。同時に酸素ガスを供給し、熱分解により膜形成を行う。図2-7は成膜速度のアウレニウスプロットを示している（成膜速度の $1/T$ 依存性、 T ：成膜温度(K)）。成膜温度は420 °Cとした。420 °Cは表面反応律速領域であって、良好な被覆性を得るためには有利である。全ガス圧力は80 Paとした。

2.3.3 Ta₂O₅ キャパシタの形成方法

Ta₂O₅ 膜を容量絶縁膜とするキャパシタ（容量素子）を Ta₂O₅ キャパシタと記載する。電気的特性評価に用いた Ta₂O₅ キャパシタの形成行程を図2-8に示す。まず、① 通常 MOS 製造工程により LOCOS 分離絶縁層を形成し、RCA 洗浄を施した後、② 反応性スパッター法、CVD法で Ta₂O₅ 膜を形成し、③ 石英加熱炉により、乾燥酸素雰囲気熱処理する。熱処理温度は400-1000 °Cであった。④ W (100 nm)、Al (0.9 μm)の順でスパッター法により形成し、⑤ ウエットエッチングにより電極加工を行った。

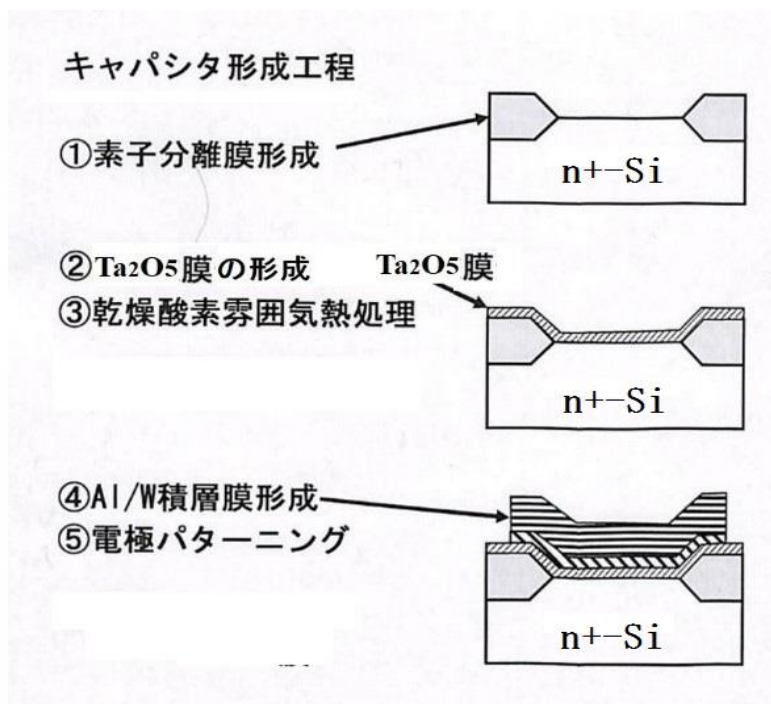


図 2-8 Ta₂O₅ キャパシタ形成工程

2.4 評価方法

2.4.1 Ta₂O₅ 膜の物理分析評価

- ① 透過電子顕微鏡 (TEM : Transmission Electron Microscope) : Ta₂O₅ 膜の断面形状を透過電子顕微鏡により評価した。加速電圧は 100 KV とした。
- ② 微小角入射 X 線回折 (XRD : X-ray Diffraction) : 極薄 Ta₂O₅ 膜結晶性評価
- ③ 光電子分光法 (XPS : X-ray Photoelectron Spectroscopy) による評価 : 熱処理前後の Ta₂O₅ 膜の化学結合について評価した。Ta₂O₅ 膜の熱処理前後の化学量論比の変化は、Ta (4f)、O (1s) のピーク高さの比によって評価し、Ta ピークの化学シフトも評価した。
- ④ 膜厚の評価 : エリプソメトリーにより評価した。
- ⑤ 原子間力顕微鏡 (AFM : Atomic Force Microscope) による評価 : 熱処理前後の Ta₂O₅ 膜の表面凹凸の変化を評価。

2.4.2 Ta₂O₅ キャパシタの電气的特性評価

- ① 容量測定 : 容量は YHP4062 測定システムで測定した。周波数は 1 MHz または 100 KHz で行った。
- ② 容量の高周波特性の測定 : YHP4193 ベクトル・インピーダンスメータにより容量と位相角を測定した。測定周波数範囲 800 KHz から 800 MHz の間であるが、測定精度上の問題から 1) 800 KHz から 100 MHz と 2) 100 MHz から 800 MHz の二つの範囲に分けて測定した。
- ③ 電流-電圧特性 : YHP4062 測定システムで測定した。電圧は Si 基板が n 型であるので、ゲート電極に正電圧を印加し、順方向の電流-電圧特性を測定した。
- ④ 耐圧ヒストグラム : YHP4062 測定システムとオートプローバによって測定した。耐圧の定義は 10^{-8} A/cm² のリーク電流を生ずる電圧とし、耐圧が 1 V 以下のものを欠陥のあるキャパシタとした。電圧の印加速度は 0.1 または 0.3 V/sec であり、変位電流が 10^{-6} A/cm² を超えない範囲とした。
- ⑤ TDDB 特性評価 : オートプローバにより、定電圧ストレスによる経時的絶縁破壊時間、経時的絶縁破壊時間のヒストグラムを測定。

2.5 反応性スパッター Ta₂O₅ 膜の基礎特性

この節では、主に反応性スパッター Ta₂O₅ 膜の基礎特性に関して述べる。

2.5.1 界面酸化膜

Ta₂O₅ 膜は Si 基板上に形成する場合に問題となるのは、Ta₂O₅ と Si の界面に比誘電率の小さい SiO₂ 膜（比誘電率 $\epsilon_s = 3.8$ ）が形成されることである。図 2-9 は、反応性スパッター法によって形成した 6 nm の Ta₂O₅ 膜の断面の透過電子顕微鏡（以下、断面 TEM）写真である。Ta₂O₅ 膜形成後に乾燥酸素雰囲気中で 1000 °C の熱処理をすることにより、Ta₂O₅ 膜と Si 基板の界面に 6 nm の SiO₂ 膜が成長することを示している。図 2-10 は同じ試料を光電子分光（XPS）により測定したスペクトルである。結合エネルギーが 100 eV 近傍において Si_{2p} ピークが観測されている。このピークが Ta₂O₅ 膜の深さ方向のどこに存在するかを調べる目的で、図 2-11 に示すように、光電子アナライザーの角度を変えて Si_{2p} ピークの膜厚方向の分布を観測した。酸素と結合している Si_{2p} ピークと酸素と結合していない Si_{2p} ピークがともに、アナライザーの角表示 θ が小さくなるにつれて増

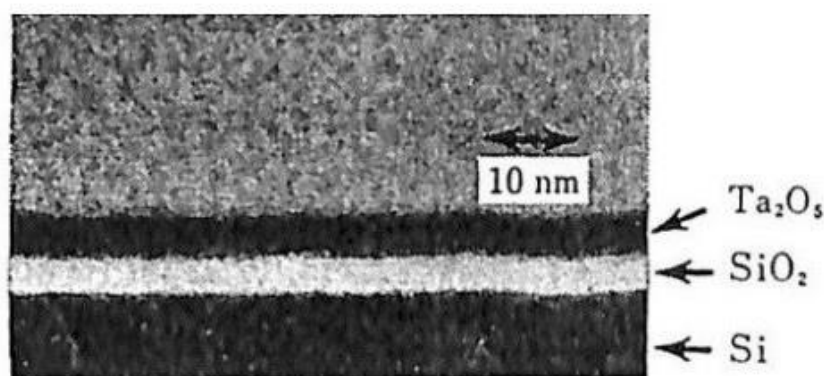


図 2-9 Si 基板上 Ta₂O₅ 膜の断面 TEM 写真

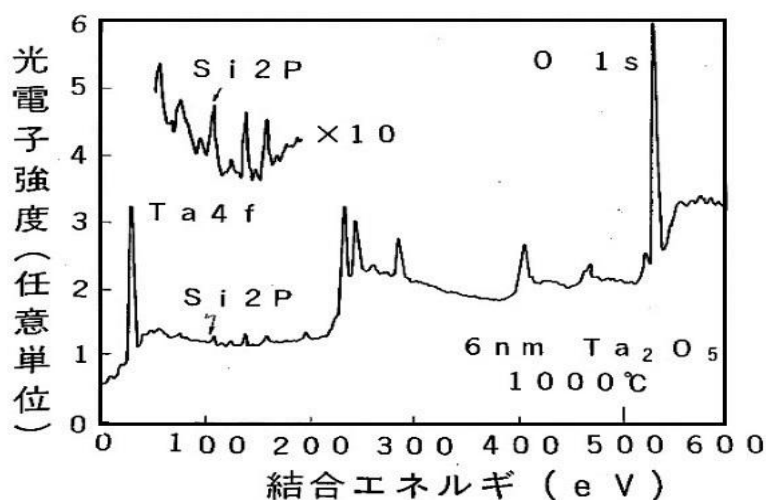


図 2-10 Si 上 Ta₂O₅ 膜の光電子スペクトラム

加している。従って、酸素と結合する Si_{2p} ピークは Ta₂O₅/Si 界面に存在する SiO₂ からの信号であることがわかる。この SiO₂ 膜は Ta₂O₅ 膜の電気的特性に大きな影響を及ぼすことがわかった。図 2-12 は、比誘電率の Ta₂O₅ 膜厚依存性を示す。比誘電率は、膜厚とともに減少してしまう。これは、薄膜領域においては Ta₂O₅ 膜の下地の SiO₂ 膜の影響が現れるためと考えられる。図中の実線は比誘電率が 22 の Ta₂O₅ 膜と比誘電率が 3.8 の SiO₂ 膜とが積層しているとして計算したものである。

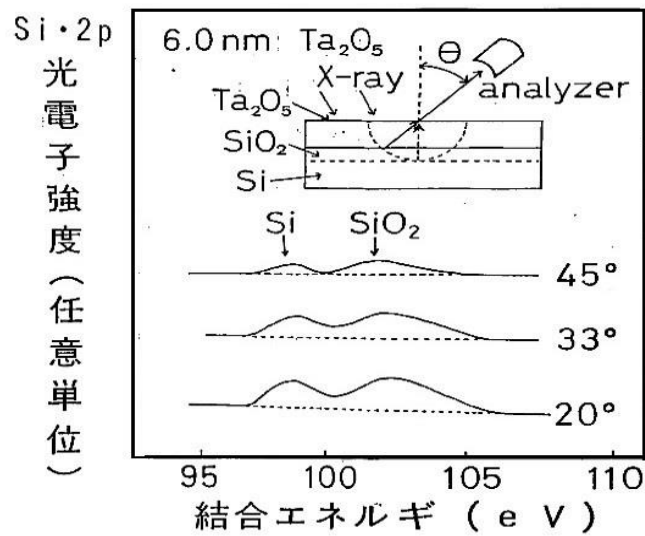


図 2-11 Si_{2p} スペクトラムのアナライザ角度依存性

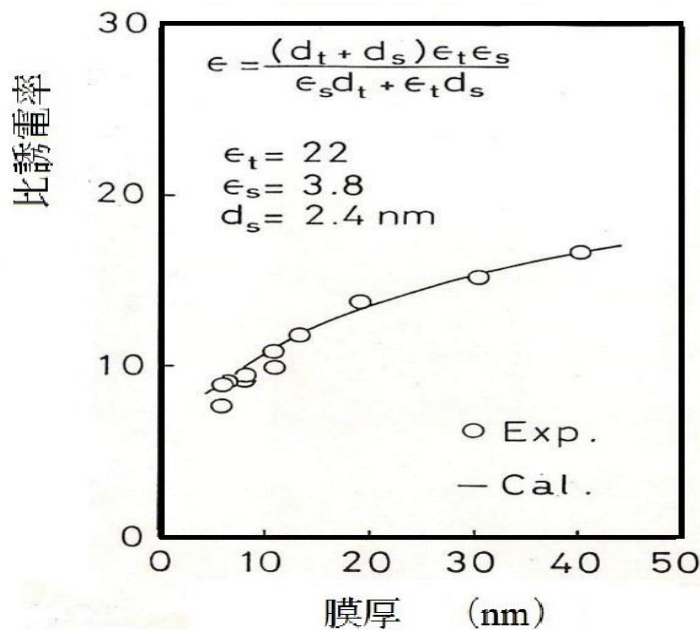


図 2-12 比誘電率の Ta₂O₅ 膜厚依存性

2.5.2 熱的安定性

反応性スパッター法（“SP”で示す）、CVD法（“CVD”で示す）により形成した Ta_2O_5 膜は堆積直後では非晶質構造であるが、約 $700^\circ C$ で結晶化することが報告されている [11]。熱処理温度によって、 SiO_2 換算膜厚での絶縁電界強度 E_{ox} と SiO_2 換算膜厚 T_{ox} がどのように変化するかについて調べた。 SiO_2 換算膜厚での絶縁電界強度 E_{ox} は (1-6) 式に従って、 $10^{-6} A/cm^2$ のリーク電流となる印加電圧と SiO_2 換算膜厚 T_{ox} より算出して求められる。(1-4) 式に示すように、容量は SiO_2 換算膜厚 T_{ox} に反比例するので、容量の大小は T_{ox} の大小で比較できる。図 2-13 は乾燥酸素雰囲気中の熱処理によって生じる E_{ox} と

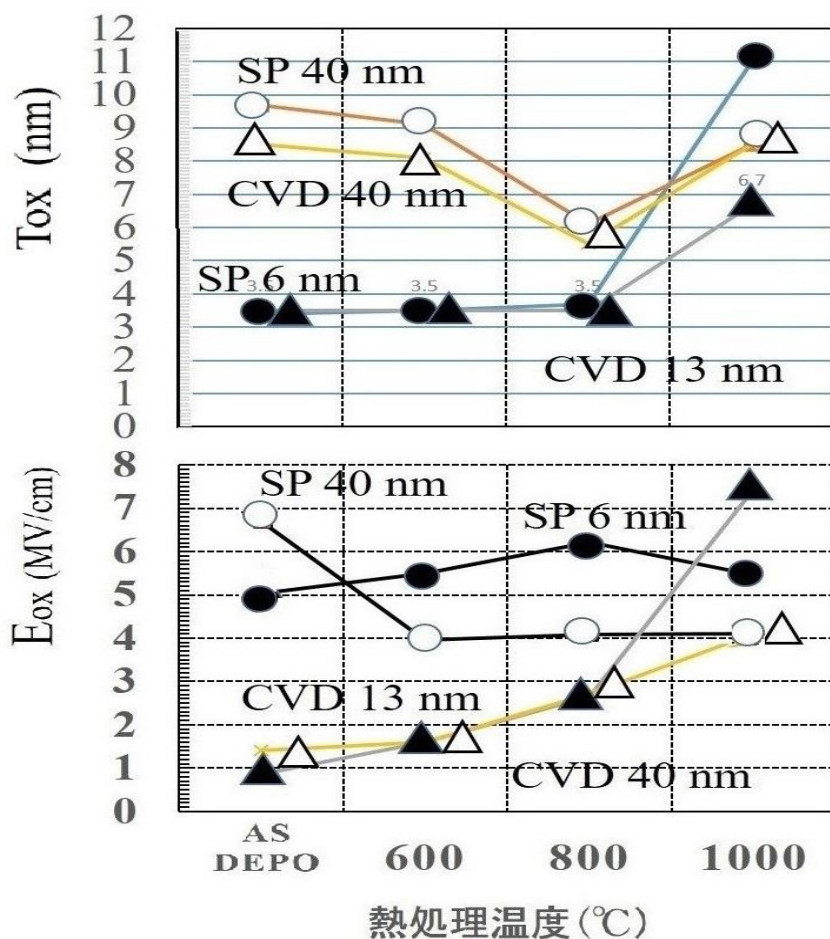


図 2-13 スパッター、CVD- Ta_2O_5 膜の E_{ox} と SiO_2 換算膜厚 T_{ox} の乾燥酸素雰囲気での熱処理温度依存性

SiO₂ 換算膜厚 T_{ox} の熱処理温度依存性を示している。20 nm より薄膜領域において、スパッター膜と CVD 膜の膜厚は、得られる容量 ($T_{ox}=3.5$ nm) が同じとなるように膜厚を選択しており、それぞれ 6 nm、13 nm であった。CVD 膜は堆積時にポーラスな膜であり、堆積時には膜厚が 13 nm と測定されるものの、熱処理により大きく収縮する。一方、スパッター膜の界面 SiO₂ 膜厚が成膜時のプラズマ酸化により CVD 膜の界面 SiO₂ 膜厚より厚くなるために、逆に、スパッターによる Ta₂O₅ 膜の膜厚は CVD 膜より薄膜となる。

しかしながら、スパッター膜、CVD 膜とも同等の容量となるようにしたにもかかわらず、CVD 膜の E_{ox} はスパッター膜の E_{ox} に比べて低い。本章で適用対象とするバイポーラメモリ素子では、図 2-1 に示す様に、高濃度 Si 基板上に平面構造の容量部を用いているので、スパッター法で形成しても、被覆性の問題がないことから、スパッター膜によりシリコン半導体素子製品適用の検討を進めることとした。

2.1 節にて、Ta₂O₅ 膜の第一の課題として示したように、600 °C 以上の熱処理により、 E_{ox} が低下するという問題がある。図 2-13 に示す様に、膜厚が 40 nm の Ta₂O₅ 膜には、その現象が確認できる。40 nm のスパッター膜は 600 °C の熱処理で E_{ox} が低下している。一方、SiO₂ 換算膜厚 T_{ox} は、600 °C では大きな変化はないが、800 °C では SiO₂ 換算膜厚 T_{ox} が薄膜化することから、結晶化による誘電率の増加によるものと考えられる。SiO₂ 換算膜厚 T_{ox} は 8 nm から 6 nm となることから、誘電率は非晶質膜の約 18 から結晶化により 3 分の 4 倍増加し、約 24 となる。つまり、600 °C での耐圧低下は結晶化によるものではない。

6 nm のスパッター膜の SiO₂ 換算膜厚 T_{ox} は熱処理なし、600 °C、800 °C の処理によっても殆ど変化がない。一方、 E_{ox} は 600 °C、800 °C と増加し、800 °C で最大の E_{ox} が得られる。従って、2.1 節で示した耐熱性に対する懸念は、薄膜領域では問題とならず、800 °C の高温プロセスにも適用できることがわかった。薄膜領域では、容量を減少させることなく、 E_{ox} を増加させることができ、容量絶縁膜としての性能を向上できることは、大きな発見であった。

薄膜領域において、容量を減少させることなく、絶縁耐圧が改善される要因について検討するために、薄膜領域における、800 °C の乾燥酸素熱処理後の結晶化の有無について評価した。微小角入射 X 線回折によって、800 °C の乾燥酸素雰囲気での熱処理を行った反応性スパッター法による 20 nm の Ta₂O₅ 膜を評価した。図 2-14 に示すように、800 °C の乾燥酸素雰囲気での熱処理により、熱処理なしの場合には観察されない回折スペクトルが測定され、結晶化することが確認できた。 α -Ta₂O₅ 構造と β -Ta₂O₅ 構造の主な回折線は 28.3、36.7、50° の近傍にあり、 α -Ta₂O₅ 構造の六方晶の回折線に対して、 β -Ta₂O₅ 構造の斜方晶の回折線は、それぞれの位置に複数の回折を含むという違いがあるものの、この測定から、

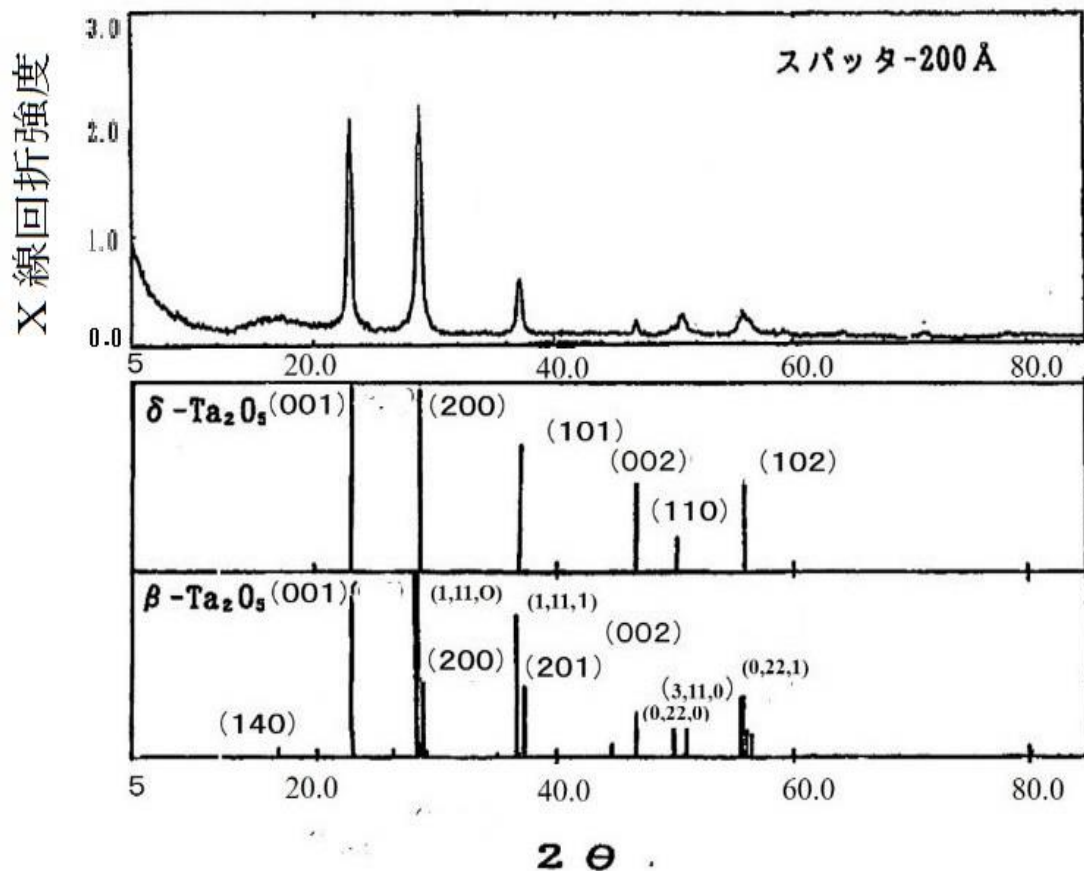


図 2-14 乾燥酸素熱処理後の Ta₂O₅ 膜の X 線回折スペクトル

800 °C の乾燥酸素雰囲気での熱処理を行った薄膜領域の Ta₂O₅ 膜は α-Ta₂O₅ 構造か β-Ta₂O₅ 構造のいずれかの結晶構造と考えられる。

図 2-15 は膜厚 4、10、20、70 nm の Ta₂O₅ 膜について、熱処理前後による表面の平均凹凸深さ (nm) の変化を AFM により評価した結果である。800 °C の乾燥酸素熱処理により、膜厚 70 nm では凹凸深さが急激に大きくなり、クラックの発生に対応する。一方、20 nm では、熱処理後も凹凸深さの変化はみられず、クラックの発生はないと判断できる。一方、膜厚 4 nm、10 nm の領域では、熱処理により平均凹凸深さが増加することが観察された。10 nm 以下の薄膜領域において、800 °C の乾燥酸素熱処理に伴う、凹凸の生成があると考えられる。

図 2-16 は Ta₂O₅ と Si 界面の SiO₂ 膜に起因する Si_{2p} ピークを、乾燥酸素熱処理温度を変えて測定した結果である。熱処理温度が高くなるとともに、界面 SiO₂ のピークは大きくなり、逆に基板からの Si のピークは小さくなる。従って、Ta₂O₅ と Si 界面の SiO₂ 膜が成長することがわかる。図 2-17 に、乾燥酸素中で熱処理

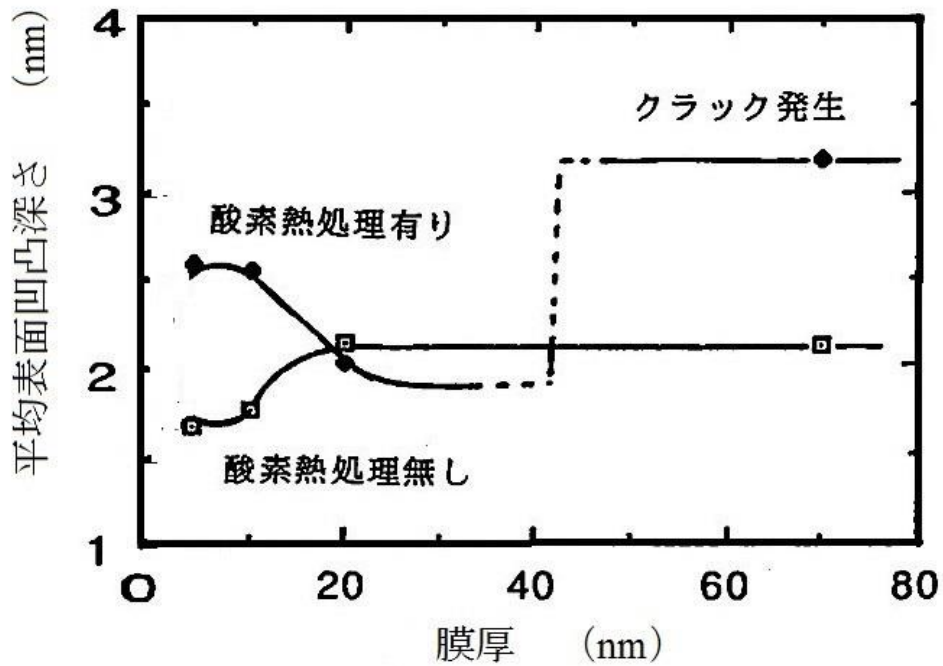


図 2-15 AFM 乾燥により酸素熱処理前後の表面凹凸深さ変化

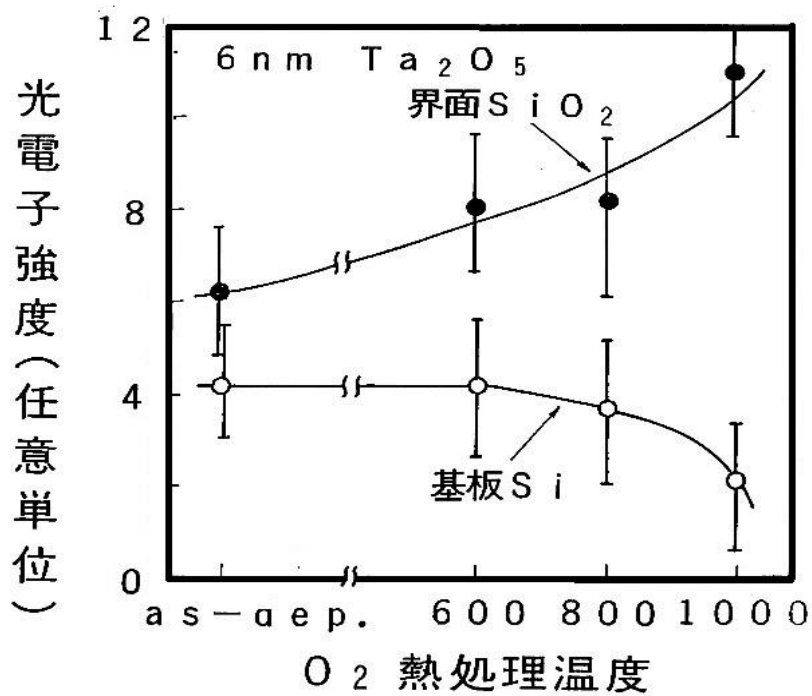


図 2-16 XPS による Ta₂O₅/Si 界面の SiO₂ 膜成長の分析

を行った際の容量値の変化から、Ta₂O₅ 膜の下地に成長する SiO₂ の膜厚の Ta₂O₅ 膜厚、乾燥酸素熱処理温度の依存性を求めた結果を示している。Ta₂O₅ 膜厚が 10

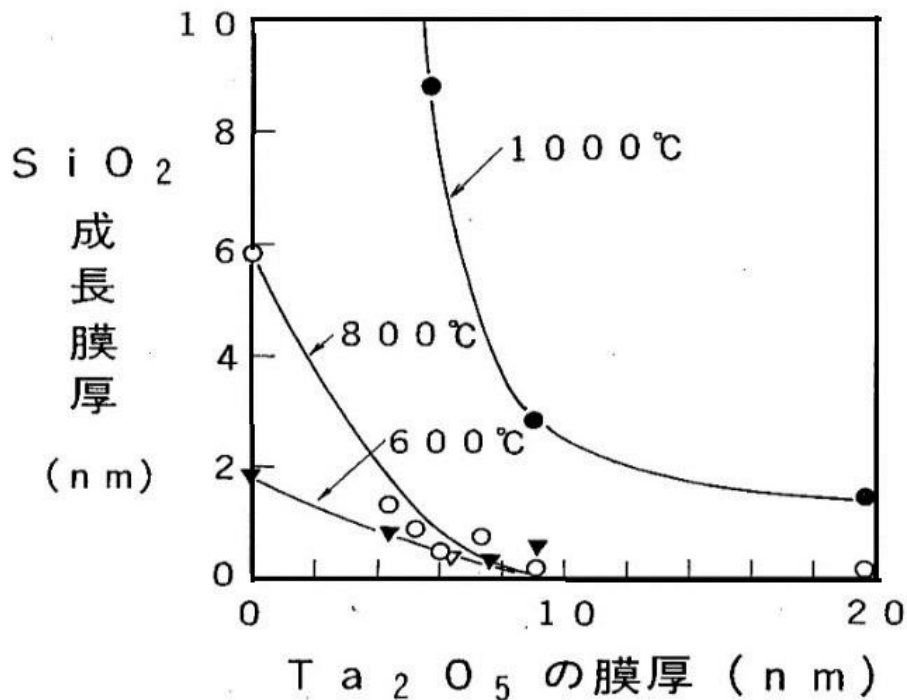


図 2-17 乾燥酸素熱処理による Ta₂O₅/Si 界面の SiO₂ の成長の Ta₂O₅ 膜厚依存性

nm 以下の領域では、800 °C の熱処理により界面に SiO₂ 膜が成長する。一方、10 nm 以上の膜厚の Ta₂O₅ 膜と Si 基板界面では、殆ど SiO₂ 膜の成長はおきない。AFM により 10 nm 以下の膜厚領域で観察される凹凸の生成は界面における SiO₂ 膜の成長によるものと考えられる。

以上のように、10 nm 以下の Ta₂O₅ 膜が 800 °C の高温熱処理によっても、絶縁耐圧の低下がないことは、10 nm 以下の Ta₂O₅ 膜を容量絶縁膜形成後に高温プロセスを必要とする DRAM に適用できることを確信させる結果となった。

2.5.3 ウィークスポット酸化結晶化モデル

図 2-17 に示したように、10 nm 以下の Ta₂O₅ 膜においては、800 °C の乾燥酸素中の熱処理によって、Ta₂O₅ 膜の膜厚が薄い場所ほど界面により厚い SiO₂ 膜が成長することがわかった。例えば、Ta₂O₅ 膜厚が局所的に薄くなるような欠陥部の下地の Si が選択的に酸化されることが推定できる。しかしながら、図 2-15 に示す AFM の結果は、Ta₂O₅ 膜表面の凹凸の変化が、広い範囲で均一に起きる現象であることから、結晶化の際に生成する微小なピンホールや結晶粒界を介して界面が酸化され、SiO₂ 膜が形成されたと考えられる。従って、図 2-18 に示すような欠陥部分の修復モデルを考えている。つまり、図 2-18 (a) に示す様な、

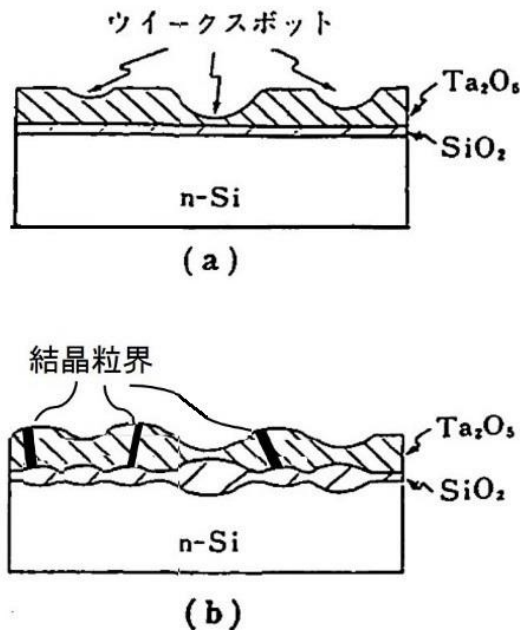


図 2-18 ウィークスポット酸化結晶化モデル

絶縁耐圧が低くなりやすい局所的に膜厚が薄い部分が存在し、乾燥酸素雰囲気での熱処理により、界面に SiO_2 膜が形成される。一方、乾燥酸素雰囲気での熱処理により、結晶化と同時にピンホールや結晶粒界が生成し、その下地界面に SiO_2 膜が形成されることも推測できる。AFM の結果は、凹凸が広い範囲で均一に生成されることを示唆している。従って、図 2-18 (b) に示す様に、局所的に膜厚が薄い部分に加えて、結晶化の際にピンホールや結晶粒界が生成される部分でも界面酸化が進むものとする。この処理方法をウィークスポット酸化結晶化処理と呼ぶこととする。

図 2-19 は Ta_2O_5 膜厚 7.5 nm のキャパシタ（面積 8 mm²、個数 100 ヶ）におけるリーク電流が 10⁻⁶ A/cm² となる初期耐圧ヒストグラムを示している。800 °C の乾燥酸素熱処理であるウィークスポット酸化結晶化熱処理を行うことにより、大面積でも良好な電流-電圧特性が得られ、欠陥数は 0 となった。ウィークスポット酸化結晶化熱処理により、初期欠陥密度は 0.12 /cm² 以下に下がることが確認できた。ウィークスポットは、膜厚のばらつき、異物起因の局所的な薄膜化した部分については、界面酸化により絶縁性が回復する。また、結晶化により、膜質が飛躍的に均一化し、欠陥密度も減少する。結晶化により生成する結晶粒界、ピンホールが新たなウィークスポットになると考えられるが、同時に進む界面酸化により耐圧の低下に至らなかったと考えられる。結晶化による膜質

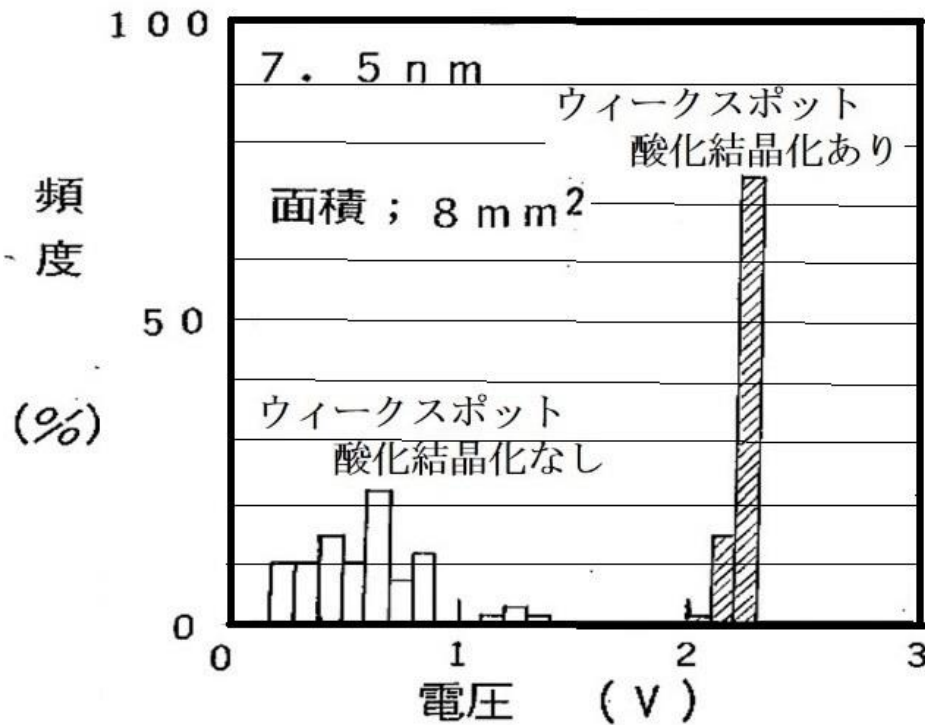


図 2-19 Ta₂O₅ キャパシタの初期耐圧分布

の均一化は製品への適用において極めて重要な特性といえる。

従って、ウィークスポット酸化結晶化熱処理は Ta₂O₅ 膜の信頼性を大きく向上させることができ、製品適用に必須の工程である。

2.5.4 電気伝導特性

図 2-20 に、SiO₂ 換算膜厚で 3, 4, 5 nm の Ta₂O₅ 膜と熱酸化 SiO₂ 膜との電流-電圧特性の比較を示している。ここで、E_{ox} は SiO₂ 膜に換算して求めた電界強度であり、SiO₂ 単層膜からできていると仮定して計算したものである。プロットは Fowler-Nordheim 伝導式 (2-1) 式に従って、プロットした。

$$J = AE^2 \exp(-B/E) \quad (2-1)$$

A, B は定数であり、E は電界強度であり、ここでは E_{ox} で置き換えられる。J/E_{ox}² vs 1/E_{ox} が直線にプロットできる場合には、Fowler-Nordheim 伝導と

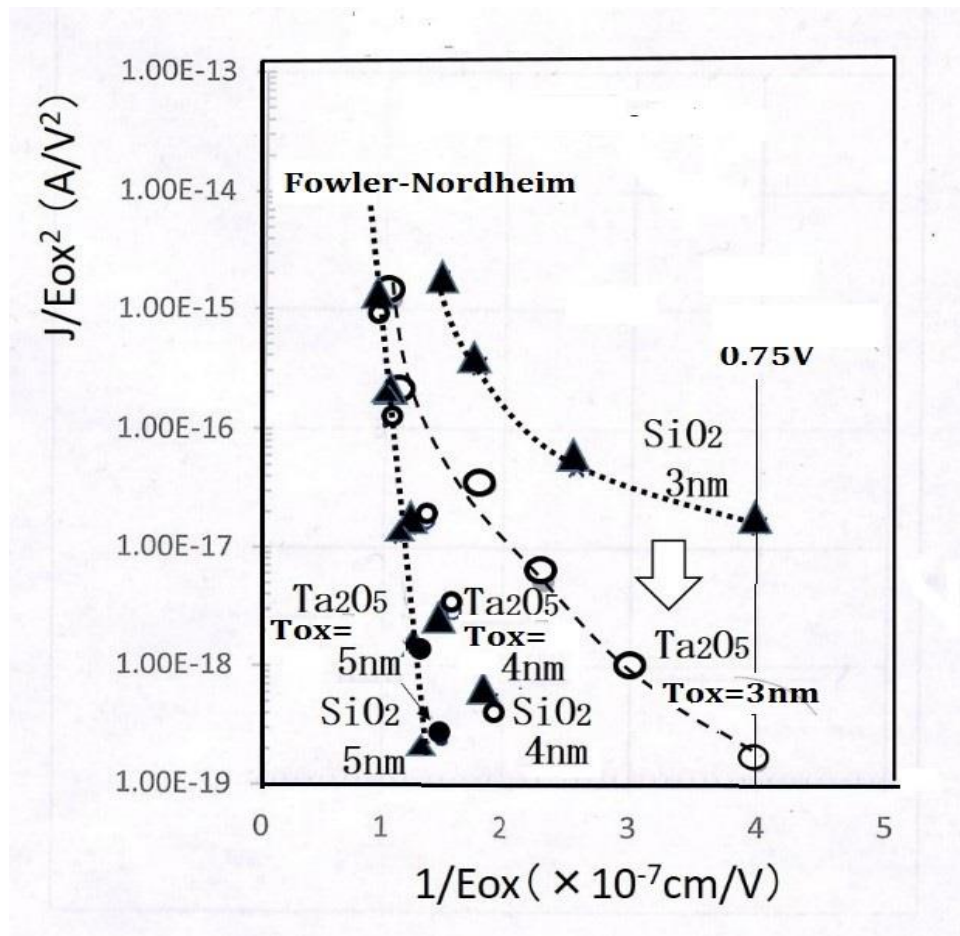


図 2-20 SiO₂ 換算膜厚 3, 4, 5 nm の Ta₂O₅ と SiO₂ 膜の伝導機の比較、
Ta₂O₅ 膜は○、SiO₂ 膜は▲

判断できる。SiO₂ 膜は高電界を印加する場合には Fowler-Nordheim 伝導に従う。図 2-20 に示すように、SiO₂ 膜が 5 nm ではプロットは直線に従い、Fowler-Nordheim 伝導に従う。一方、SiO₂ 膜が 4 nm、3 nm と薄膜化すると、直接トンネリング電流が増加し、3 nm ではリーク電流が大幅に増加し、直線近似とならない。一方、SiO₂ 換算膜厚で 4, 5 nm の Ta₂O₅ 膜では、SiO₂ 膜と同等な伝導特性を示すが、SiO₂ 換算膜厚で 3 nm に薄膜化した Ta₂O₅ 膜では、SiO₂ 膜に比較してリーク電流は約 2 桁小さくなることがわかった（印加電圧は DRAM 動作電圧 0.75 V）。

図 2-21 に Ta₂O₅/SiO₂ 積層膜のバンド構造模式図を示す。高電圧では Fowler-Nordheim 伝導に従うが、低電圧では Ta₂O₅/SiO₂ 積層膜の直接トンネリングとなると考えられる。SiO₂ 換算膜厚が 3 nm で比較すると、低電圧では Ta₂O₅/SiO₂ 積層膜のリーク電流が単層の SiO₂ 膜のリーク電流より少ない。この理由は、高誘電率膜を用いることで、相対的に膜厚が厚くなり、直接トンネル電流が抑制され

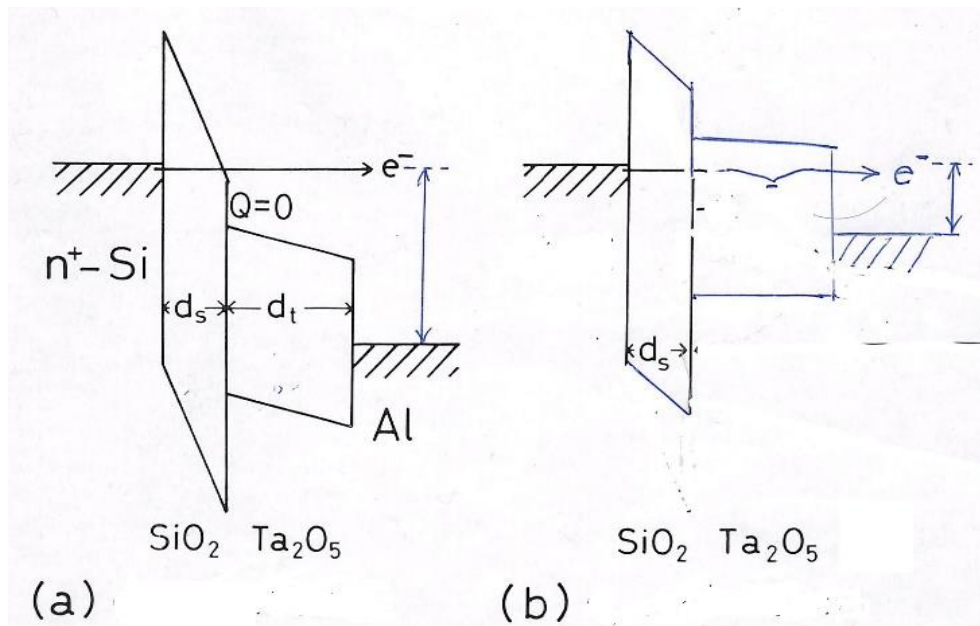
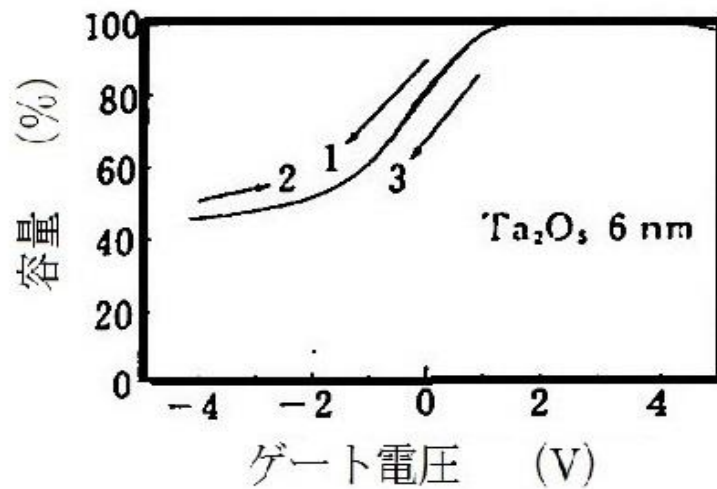


図 2-21 Ta₂O₅/SiO₂ 積層膜のバンド構造模式図
(a) 高電圧 (b) 低電圧

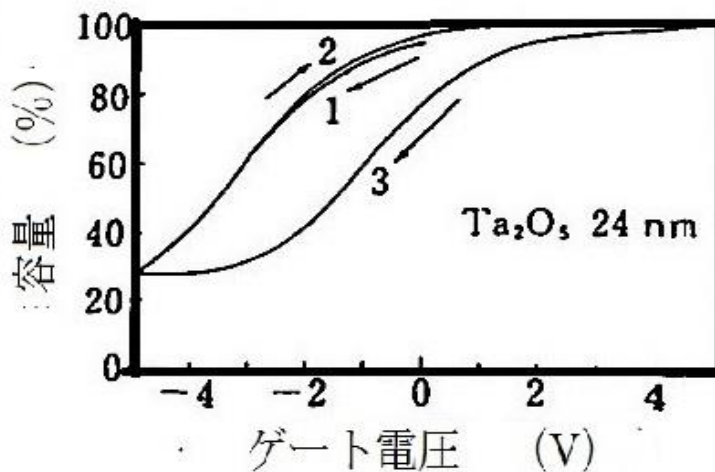
るためと考えられる。バイポーラメモリ素子の動作電圧は 0.5 V であるので、低電圧の伝導機構では Ta₂O₅/SiO₂ 積層膜を介した直接トンネリングが主体となり、Ta₂O₅/SiO₂ 積層膜が SiO₂ 単層膜よりリーク電流が少ない状態で動作させることとなる。また、64 メガビット DRAM 以降の素子でも、動作電圧は 0.75 V（電源電圧の半分：1/2V_{cc}）以下となるので、同様に直接トンネリングを抑制できる領域で使用することになる。バイポーラメモリ素子では、DRAM と比較してリーク電流の制約は厳しくなく、SiO₂ 換算膜厚 3 nm においても、動作電圧 0.5 V における目標とする 0.01 A/cm² 以下のリーク電流は達成可能である。従って、2.1 節で示したように、第二の課題である、電気的特性の安定性、欠陥密度、絶縁破壊信頼性などの製品レベルでの高信頼性がより重要な課題となった。

2.5.5 界面安定性

シリコン基板表面にスパッター法により Ta₂O₅/SiO₂ 膜を形成した場合には、界面に SiO₂ が存在するために、Ta₂O₅/SiO₂ の界面不安定性が懸念される。図 2-22 (a)、(b) にそれぞれ、膜形成後に高温熱処理しない 6 nm と 24 nm の Ta₂O₅ キャパシタの容量-電圧 (C-V) 特性をそれぞれ示す。(b) の Ta₂O₅ 膜が厚い場合には、ゲート電圧を掃引するたびに C-V 特性の変動を生じる。一方、(a) のように、Ta₂O₅ 膜厚が薄くなるにつれ、界面の不安定性が解消していきることがわかる。



(a)



(b)

図 2.22 Ta₂O₅ キャパシタの C-V 特性のヒステリシス評価

一方、図 2-23 は乾燥酸素雰囲気中で 800 °C、30 分の乾燥酸素熱処理を行った SiO₂ 単層膜と Ta₂O₅ キャパシタの C-V 特性によるヒステリシスを観察したものである。SiO₂ 単層膜の膜厚は 20 nm、Ta₂O₅ 膜の膜厚は 7.5, 15, 20, 30, 40 nm について測定しているが、30, 40 nm ではヒステリシスが観測できるが、20 nm 以下の薄膜ではヒステリシスは測定できなかった。ウィークスポット酸化結晶化熱処理 (800 °C、30 分の乾燥酸素熱処理) による結晶化により、膜中の電荷のトラップは大幅に減少することを示唆している。

従って、膜厚が 20 nm 以下の反応性スパッター法による Ta₂O₅ 膜にウィーク

スポット酸化結晶化熱処理 (800 °C、30 分の乾燥酸素熱処理) を行うことにより、形成される Ta₂O₅/SiO₂ 積層膜の C-V 特性にヒステリシスは観察されず、安定していることがわかった。

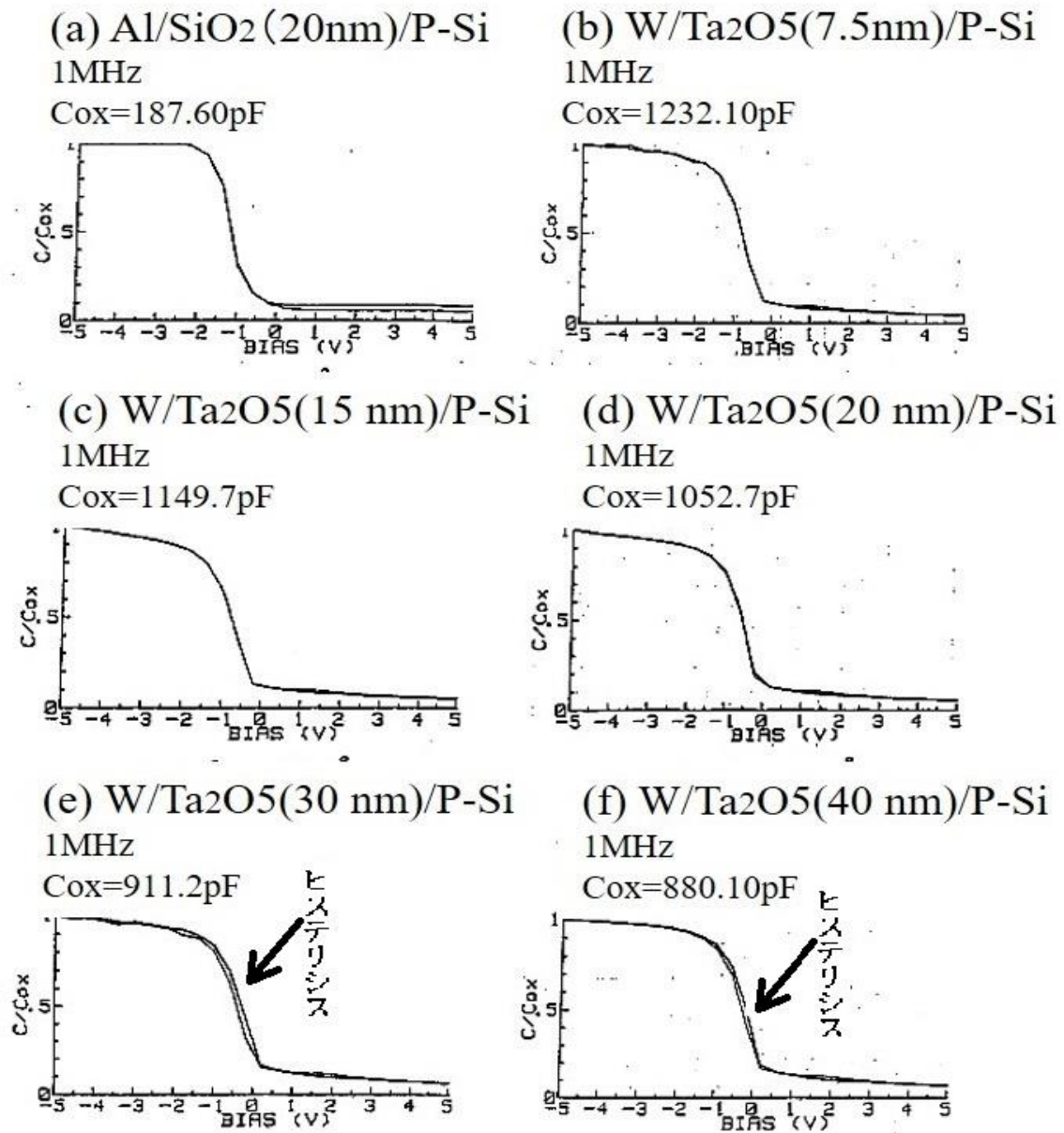


図 2-23 乾燥酸素雰囲気での熱処理後の Ta₂O₅ 膜の C-V 特性ヒステリシス評価

2.5.6 経時的絶縁破壊信頼性評価 (TDDB 特性評価)

絶縁膜の欠陥としては、初期的欠陥以外に潜在的欠陥があると考えられる。潜在的欠陥は、初期的には欠陥ではないが、ストレス電圧の印加とともに、劣化が始まり絶縁耐圧の低下、もしくは、絶縁破壊に至る欠陥と定義できる。図 2-24 はウィークスポット酸化結晶化前後の経時的絶縁破壊特性 (以下、TDDB 特性: Time Dependent Dielectric Breakdown) の比較を示している。Ta₂O₅ 膜厚 7.5 nm にストレス電圧 6.5 V を印加して、累積不良率の時間依存性を評価している。ウィークスポット酸化結晶化熱処理を行わない場合には、短いストレス時間の間に不良となる潜在欠陥が多くみられるが、ウィークスポット酸化結晶化熱処理により、潜在欠陥がなくなることがわかる。この結果は、ウィークスポット酸化結晶化工程により、潜在欠陥も修復されることを示している。

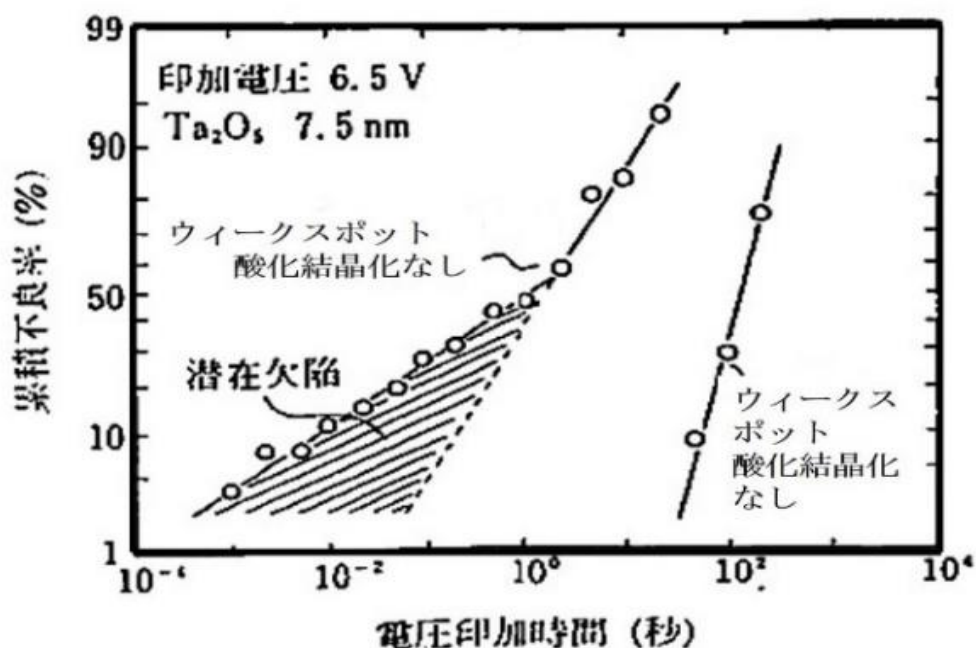


図 2-24 ウィークスポット酸化結晶化による TDDB 特性の向上

さらに、TDDB 特性の評価により、長期的絶縁破壊信頼性について、単結晶シリコン上の熱酸化 SiO₂ との比較が可能となる。図 2-25 は累積不良率が 50 % に至るストレス時間の SiO₂ 換算膜厚での電界強度 E_{ox} のストレス依存性を示している。リーク電流が同等な SiO₂ 換算膜厚 4 nm の膜 (Ta₂O₅ 膜厚 10 nm) を適用する場合であっても、4 nm の単層の熱酸化 SiO₂ 膜よりも同一のストレス電界強度において、約 5 桁も絶縁破壊寿命が長く、優れた長期信頼性を示す。

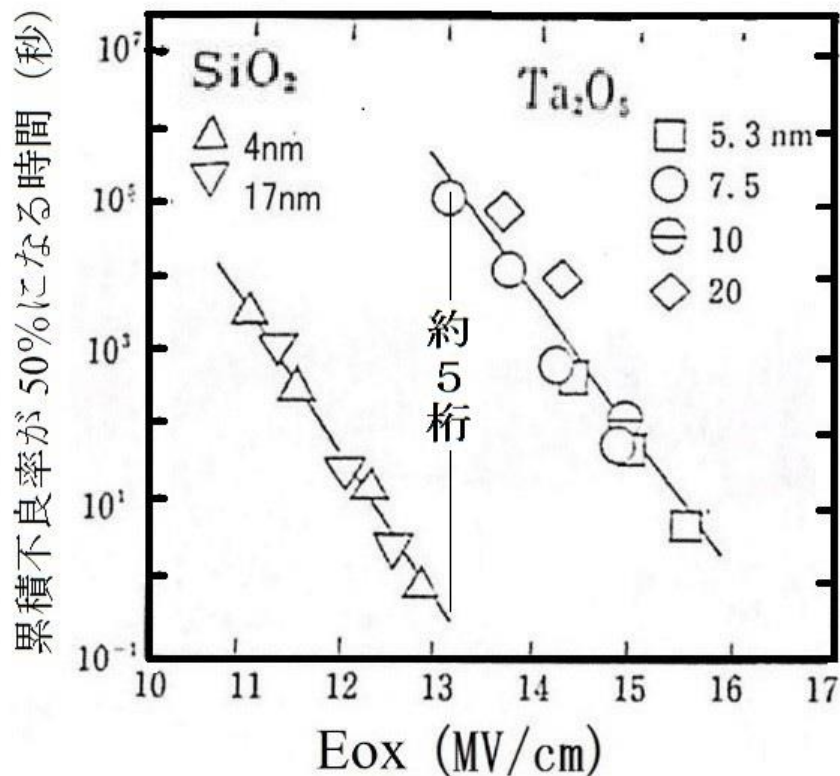


図 2-25 50%累積不良率に至る絶縁破壊時間のストレス電界強度依存性

以上のように、 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層構造は、ウィークスポット酸化結晶化工程により、初期欠陥、潜在欠陥を低減できるうえに、長期的絶縁破壊信頼性において、熱酸化 SiO_2 膜よりも大幅に優れていることがわかった。 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜をバイポーラメモリ素子に適用することで、製品の信頼性を飛躍的に高めることができる。また、DRAM 等への適用にあたっては、優れた長期信頼性を確保することから、 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜は極めて有望なメモリ用容量絶縁膜であることがわかった。

2.5.7 静電容量

図 2-26 に 800°C 、30 分の乾燥酸素熱処理であるウィークスポット酸化結晶化熱処理を行った Ta_2O_5 キャパシタについて膜厚と容量の関係を示す。 Ta_2O_5 膜厚が 20 nm で容量は SiO_2 の約 4 倍、10 nm 以下で約 2 倍の容量を有している。これは、 Ta_2O_5 の薄膜化に対して相対的に Ta_2O_5 と Si の界面に誘電率の小さい SiO_2 層が増加するためである。また、 Ta_2O_5 の薄膜化を 4 nm まで行くと、 SiO_2 換算膜厚で 3 nm まで薄膜化できることがわかった。従って、目標である $7.5 \text{ fF}/\mu\text{m}^2$ から最大 $11 \text{ fF}/\mu\text{m}^2$ までの容量増加が可能となった。

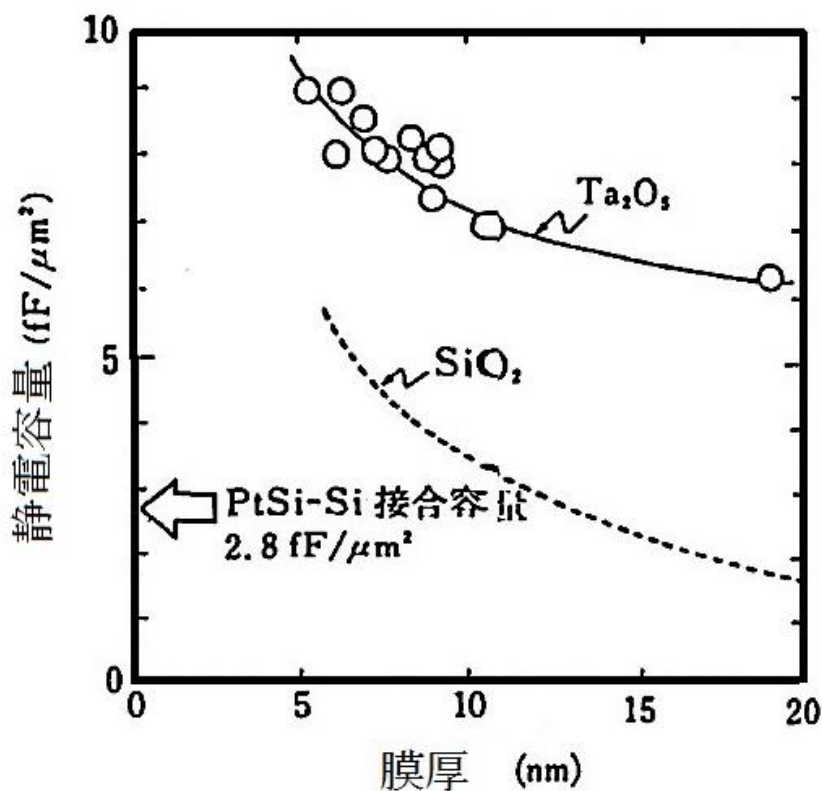


図 2-26 Ta₂O₅ キャパシタ容量の膜厚依存性

2.5.8 高周波特性

Ta₂O₅ 膜を高速バイポーラメモリ素子に適用する場合に、300 MHz 程度までは容量の低下がないことが望ましい。図 2-27、図 2-28 は膜厚 6 nm の Ta₂O₅ キャパシタの静電容量、位相角の周波数依存性を示す。図 2-27 は 80 KHz から 100 MHz まで、図 2-28 は 100 MHz から 800 MHz までの容量範囲の実験結果をそれぞれ示している。800 KHz から 300 MHz までは容量は $90 \pm 0.4 \text{ fF}/\mu\text{m}^2$ の範囲にある。従って、Si 半導体素子への適用において必要とされる、高周波特性を満足する。周波数が 400 MHz 以上では測定点のバラツキが大きくなるが、これは主に、試料を納めるパッケージのインダクタンス L および直列抵抗 R による共振が起こり、その補正誤差によるものである。従って、容量の周波数変動がバイポーラメモリの動作に悪影響を与えることはない。

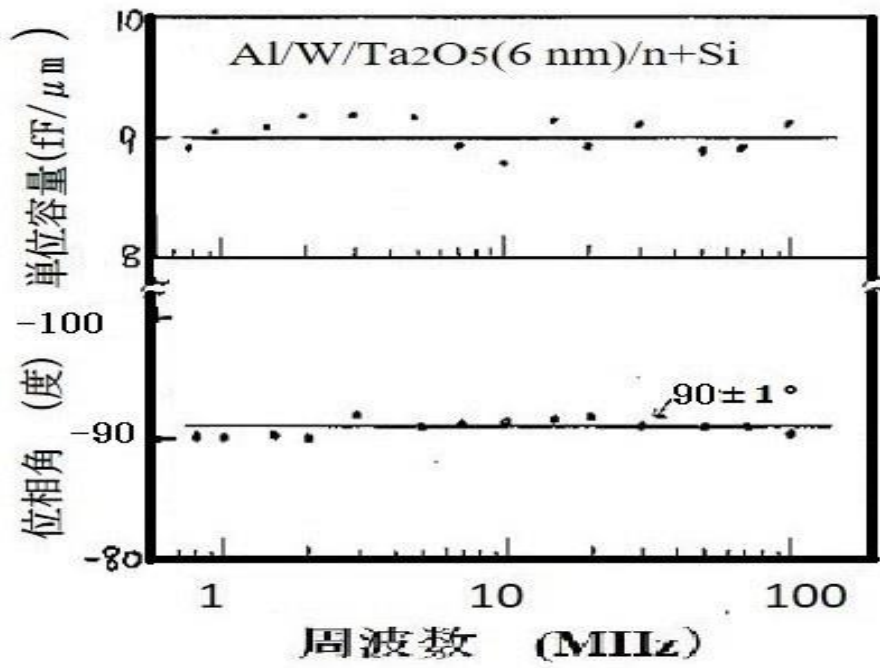


図 2-27 Ta₂O₅ キャパシタの周波数特性 80 KHz-100 MHz

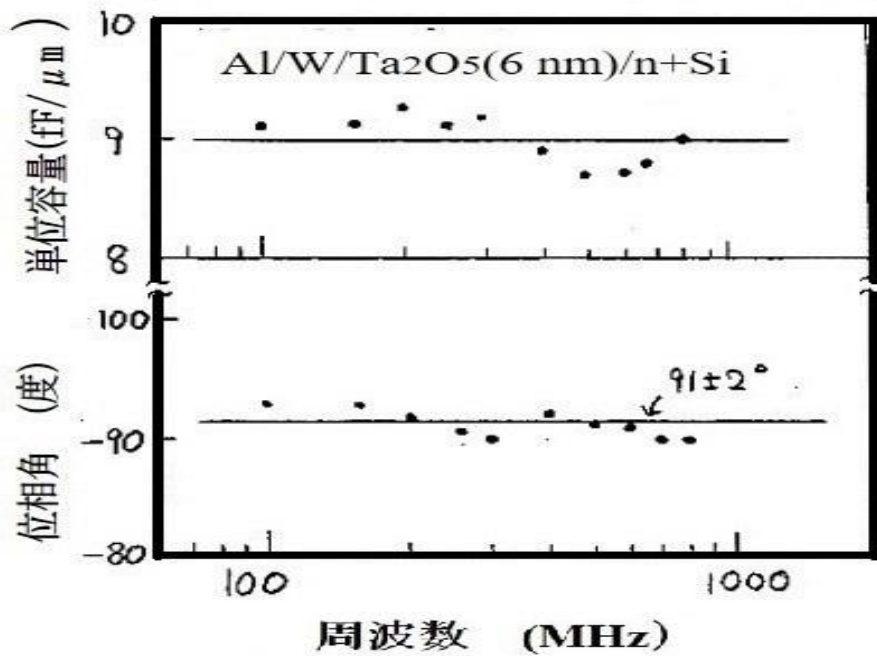


図 2-28 Ta₂O₅ キャパシタの周波数特性 60 MHz-800 MHz

2.6 反応性スパッターTa₂O₅膜のバイポーラメモリ素子用容量絶縁膜への適用

Ta₂O₅ キャパシタを用いた高速バイポーラメモリにより、16 キロビットバイポーラメモリ容量として必要な性能を達成することができた。主な要求仕様と得られた実績を示す。

- (1) 単位容量の目標：7.5 fF/μm² 以上
→ 8.5 fF/μm² 以上最大 11 fF/μm² (目標より 30%以上の容量増加)
- (2) 欠陥密度の目標：<1.0/cm²
→ ウィークスポット酸化結晶化熱処理により<1.0/cm²を達成。
- (3) 高周波特性の目標：300 MHz まで一定の容量
→ ウィークスポット酸化結晶化熱処理により 300 MHz まで一定。
- (4) リーク電流の目標：動作時 0.5 V で<0.01 A/cm²
→ 0.5 V で<10⁻⁷ A/cm²以下 (0.75 V で<10⁻⁶ A/cm²以下：図 2-20)
- (5) 絶縁耐圧の目標：2 V 以上
→ 4-5 V (1000 秒の絶縁破壊寿命)：図 2-25

図 2-29 は本開発により製造された、Ta₂O₅ キャパシタを用いた 16 キロビット高

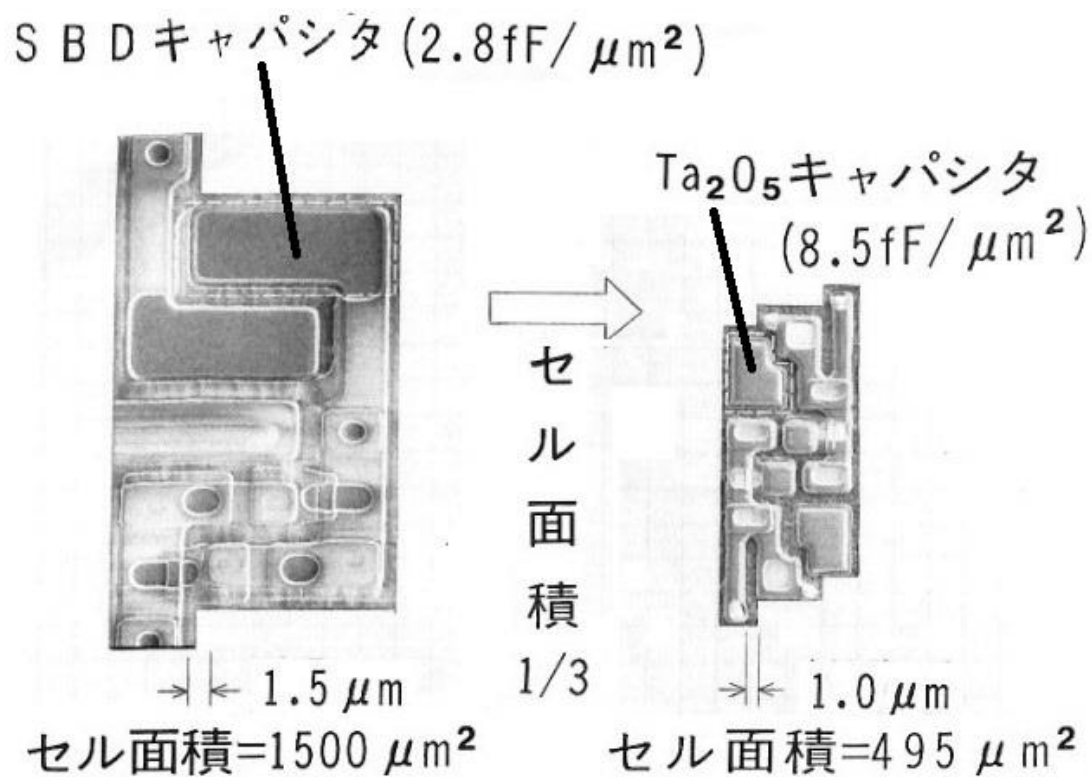


図 2-29 高速バイポーラメモリセルの縮小

速バイポーラメモリと従来の PtSi-SBD 容量を用いた 4 キロビットメモリセルの比較を示している。Ta₂O₅ 膜の膜厚は 7.5 nm (Tox=4 nm、8.5 fF/μm²) であり、メモリセル面積を 1/3 に縮小することができた。開発時は 16 キロビット高速バイポーラメモリとしては世界最速のアクセス時間 4 ns を達成することができた。

2.7 まとめ

Si 半導体メモリに初めて高誘電率誘電体を適用することに成功した。この最も大きな成功の要因はウィークスポット酸化結晶化工程にある。本研究以前においては、Ta₂O₅ 膜は 600 °C の熱処理により絶縁耐圧が低下し、700 °C 以上の熱処理により結晶化し、クラックが生成するものと考えられていた。しかしながら、10 nm 以下まで薄膜化する場合には、異なる現象が起きることがわかった。つまり、ウィークスポット酸化結晶化工程により 10 nm 以下の Ta₂O₅ 膜を熱処理する場合には、Ta₂O₅ 膜中を乾燥酸素が拡散律速により Si 基板表面に達するようになり、界面酸化が起きる。更に、局所的に乾燥酸素が拡散しやすい場所を選択的に酸化が進むと考えられる。ウィークスポット酸化結晶化工程により、絶縁膜中の欠陥が修復され、信頼性が大幅に改善されたことから、局所的な薄膜領域や結晶化の際に生成する微小なピンホールなどのウィークスポットにおいて、結晶化と同時に Si の界面酸化により選択的に酸化による欠陥修復がなされ、良好な絶縁性が維持されたものと推定している。これをウィークスポット酸化結晶化モデルと命名した。また、Ta₂O₅ 膜の結晶化は C-V 特性の不安定性の原因となるトラップをなくすとともに、結晶化により比誘電率を非晶質より 30 % 増加させるうえに、絶縁膜特性が飛躍的に均一化するなどの特性改善をもたらす。また、ウィークスポット酸化結晶化工程は欠陥密度を低減するだけでなく、経時的絶縁破壊特性の改善をもたらした。Ta₂O₅/SiO₂ 積層膜の絶縁破壊寿命は、同じ SiO₂ 換算膜厚の単結晶シリコン上 SiO₂ 膜と比較して、約 5 桁長いことがわかった。これらの結果は、従来の容量絶縁膜を積極的に Ta₂O₅/SiO₂ 積層膜に置き換えることにより、高い信頼性が得られることを示唆するものであった。

誘電体は非晶質であるべきと思っていたが、Ta₂O₅ 膜を結晶化することによって、極薄膜でありながら極めて信頼性の高い誘電体膜が得られたことは驚きである。結晶化と界面酸化の微妙な調和こそがこの技術の本質である。

2.8 参考文献

- [1] S. Asai, "Trend in megabit DRAMs," in IEDM Tech. Dig., p.368, 1984
- [2] J. Yugami, T. Mine, Iijima, and A. Hiraiwa, "Inter-poly SiO₂/Si₃N₄ capacitor films 5 nm thick for deep submicron LSIs," in Extended abstract 20th Conf. on

- Solid State Devices and Materials, (Tokyo, 1989) p.173.
- [3] H. Shinriki, Y. Nishioka, Y. Ohji and K. Mukai, "Oxidized Ta₂O₅/Si₃N₄ Dielectric Films on Poly-Crystalline for dRAM's" IEEE Transactions on Electron Devices Vol.ED-36, No.2, February p.328, 1989
 - [4] H. Shinriki, T. Kisu, S. Kimura, Y. Nishioka, Y. Kawamoto and K. Mukai, "Promising Storage Capacitor Structures with Thin Ta₂O₅ Film for Low-Power High-Density DRAM's" IEEE Transactions on Electron Devices Vol.ED-37, No.9, September p.1939, 1990.
 - [5] Y. Nishioka, H. Shinriki and K. Mukai "Influence of SiO₂ at the Ta₂O₅/Si interface on dielectric characteristics of Ta₂O₅ capacitors" J. Applied Physics Vol. 61, Number 6, pp.2335-2338, 1987.
 - [6] Y. Nishioka, H. Shinriki and K. Mukai "Time Dependent Dielectric Breakdown Characteristics of Ta₂O₅/ SiO₂ Double Films" J. Electrochem. Soc. 136, No.3, pp.872-873, 1989.
 - [7] 西岡 泰城、神力 博：応用物理 第58巻、第11号（1989）“高誘電率絶縁膜 Ta₂O₅ の VLSI への応用”
 - [8] Y. Nishioka, S. Kimura, H. Shinriki and K. Mukai "Dielectric Characteristics of Double Layer Structure of Extremely Thin Ta₂O₅/ SiO₂ on Si" J. Electrochem. Soc. 134, pp.410-415, 1987.
 - [9] Y. Nishioka, N. Honmma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta and K. Ogiue "Ultra-Thin Ta₂O₅ Dielectric Film for High-Speed Bipolar Memories" IEEE Transactions on Electron Devices Vol.34, No.9, September p.1957, 1987.
 - [10] H. Shinriki and M. Nakata, "UV-O₃ and Dry-O₂: Two-Step Annealed Chemical Vapor-Deposited Ta₂O₅ Films for Storage Dielectrics of 64-Mb DRAM's" IEEE Transactions on Electron Devices Vol.ED-38, No.3, March p.455, 1991.
 - [11] J. Harvey and H. Wilman "The Crystallization of Thin Amorphous Tantalum Oxide Films Heated in Air or Vacuo, and the structure of the Crystalline Oxide" Acta

第3章 多結晶シリコン上 Ta_2O_5 膜を有するキャパシタの基礎検討

3.1 緒言

第2章では、世界に先駆けてシリコン半導体素子製品に高誘電率誘電体を適用できたことを報告した。高誘電率膜としては Ta_2O_5 膜を選択し、高誘電率 Ta_2O_5 膜を用いた容量を搭載することで、16 キロビットバイポーラメモリ素子の集積度を4倍としながら、メモリセル面積を3分の1に縮小することが可能となった。Si 半導体素子に使われている単結晶シリコン上の熱酸化 SiO_2 膜を高誘電率 Ta_2O_5 膜に置き換える利点は、リーク電流の低減に加えて、信頼性の大幅な向上にあることを第2章にて報告した。この高信頼性が実現できたのは、反応性スパッター法により Si 基板上に形成した 10 nm 以下の Ta_2O_5 膜を、800 °C、30 分の乾燥酸素熱処理（ウィークスポット酸化結晶化工程）によって、初期欠陥、潜在欠陥が低減し、シリコン単結晶上の SiO_2 膜よりも、絶縁破壊寿命が5桁も優れた絶縁破壊信頼性を実現できたことによる。2.5.3 節に示すウィークスポット酸化結晶化モデルに示すように、 Ta_2O_5 膜は結晶化することで、比誘電率が高くなり、トラップが減少して C-V 特性が安定するとともに、膜厚が 10 nm 以下の領域では、結晶化に伴うピンホール、粒界の発生による絶縁耐圧の低下は、乾燥酸素の拡散による界面酸化により修復されると推定している。

バイポーラメモリ素子の容量は単結晶シリコン上に形成されているが、DRAM 素子の容量電極としては多結晶シリコン膜が使用され、容量絶縁膜も多結晶シリコン膜上に形成する必要がある。 Ta_2O_5 膜を 64 メガビット DRAM 用積層容量型メモリセル(STC CELL : Stacked Capacitor Cell)の容量絶縁膜として検討する場合、以下の課題があると考えられる。

- (1) 多結晶シリコン電極上における SiO_2 換算膜厚 3 nm 相当の低欠陥、高信頼の Ta_2O_5 膜を有するキャパシタの形成
- (2) 積層容量型メモリセル (STC CELL) などの立体化された容量部を有する DRAM への Ta_2O_5 膜を有するキャパシタの適用
- (3) Ta_2O_5 膜を有するキャパシタの 16 メガビット DRAM プロセスで使用される高温プロセスへの適合性。

本章では、まず (1) に掲げた課題を、明らかとすることを目的とし、(2)、(3) の課題については、4章にて報告する。

一般に多結晶シリコンの熱酸化膜は、酸化時に形成される多結晶シリコン表面の微細な凹凸のために単結晶 Si 基板上の熱酸化膜と比較してリーク電流が大きく、このため長期信頼性も劣るといった問題があった [1]。 Ta_2O_5 キャパシタ

の形成に際しても、多結晶シリコン電極の影響が懸念される。特に、2章に報告したように、ウィークスポット酸化結晶化工程により Si 基板上的 Ta_2O_5 キャパシタの欠陥密度の低減、絶縁破壊信頼性の向上は界面 SiO_2 層の生成によるところが大きいと考えられる。ウィークスポット酸化結晶化工程により多結晶シリコン電極上でも Si 基板上と同様に優れた界面 SiO_2 層を形成でき、信頼性の改善ができるか懸念された。

3.2 節では、多結晶シリコン電極上に形成した Ta_2O_5 膜の電気的特性、信頼性について評価した結果を報告する [2]。また、16 メガビット DRAM では多結晶シリコン電極上の容量絶縁膜として SiO_2/Si_3N_4 積層膜が容量絶縁膜として提案された [3]。そこで、3.3 節では、比誘電率が 22~28 の Ta_2O_5 膜と Ta_2O_5/Si 界面に Si_3N_4 膜を形成し、ウィークスポット酸化結晶化工程を Si_3N_4 膜上に形成した Ta_2O_5 膜にも適用することを検討した。 Si_3N_4 膜は多結晶シリコンよりも酸化されにくいので、ウィークスポット酸化結晶化熱処理により容量の減少を抑制することも期待できる [4]。

3.2 多結晶シリコン上 Ta_2O_5 キャパシタの検討 [2]

3.2.1 多結晶シリコン上 Ta_2O_5 キャパシタの形成方法 [2,5,6]

図 3-1 に示す工程により試料を作成した。Si 基板上に減圧 CVD 法により多結晶シリコン膜を 300 nm 形成し、875 °C、30 分のリン拡散を行った。その後、

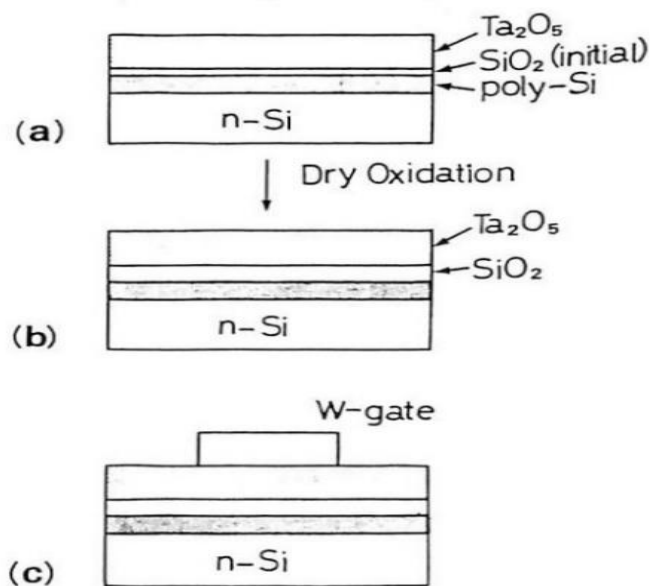


図 3-1 Ta_2O_5 キャパシタ製造方法

Ta₂O₅ 膜形成前の洗浄として、AP 洗浄（アンモニア：過酸化水素＝

2:1、温度 90 °C、10 分）、及び、弗酸水溶液（弗酸：水＝1:99、常温、10 秒）により、多結晶シリコン表面を水切れするまでエッチングを行った。次に、高誘電率絶縁膜 Ta₂O₅ を ULVAC 社のスパッター装置（ME58-0144）により、アルゴンと酸素の混合雰囲気中で高周波による反応性スパッター法で形成した。この装置はロードロック（準備室）とスパッター室とに分かれており、スパッター室は常時クライオポンプにより高真空（10⁻⁹ Pa）に保たれている。Ta₂O₅ 膜形成の為、ターゲットは純度 99.99 % の Ta ターゲットを使用し、10 % の酸素入りアルゴンガス 0.67 Pa、RF パワー 300 W の条件においてスパッターを行った。Ta₂O₅ 膜形成速度は、約 1 nm/分である。ここで、Ta₂O₅ 膜の膜厚測定は、エリプソメトリーを用い、Ta₂O₅ 膜の屈折率を 2.0 と仮定し、膜厚を求めた。エリプソメトリーによる Ta₂O₅ 膜厚の誤差は、断面 TEM 写真から判定して ± 10 % の範囲内であることを確認した。Ta₂O₅ 膜の形成初期では、多結晶シリコン表面が Ar/O₂ プラズマに曝されて、極薄の SiO₂ 膜が生成される [5]。その後、Ta₂O₅ 膜を連続して堆積する。Ta₂O₅ 膜形成後に乾燥酸素熱処理を行った。熱処理温度は 800、850、900、950、1000 °C で実施した。2 章では 800 °C、30 分の乾燥酸素熱処理をウィークスポット酸化結晶化熱処理として報告した。800 °C 以上の乾燥酸素熱処理は、Ta₂O₅ 膜を結晶化させるだけでなく、Ta₂O₅ 膜と多結晶シリコンの界面に SiO₂ 膜を成長させる。熱処理後に上部電極としてタングステン電極を形成した。

3.2.2 Ta₂O₅ 膜と多結晶シリコン界面の SiO₂ 膜の成長

図 3-2 (a), (b) に示す様に、Ta₂O₅ (7.5 nm) / SiO₂ 積層構造と Ta₂O₅ (3.0 nm) / SiO₂ 積層構造の断面を透過電子顕微鏡（断面 TEM）により測定した断面写真を示している。これらの試料は Ta₂O₅ 膜形成後に 850 °C の乾燥酸化性雰囲気での熱処理を行った。界面の SiO₂ の膜厚は Ta₂O₅ 膜が 7.5 nm の下層には 2.5 nm であり、Ta₂O₅ 膜が 3 nm の下層には 4.0 nm 形成されていることがわかる。界面に形成される SiO₂ 膜の膜厚は単結晶シリコン基板上と同様に多結晶シリコン上においても、Ta₂O₅ 膜厚に依存している [6]。

図 3-3 は乾燥酸素雰囲気での熱処理温度をパラメータとして、多結晶シリコン上と単結晶シリコン上について界面 SiO₂ 膜厚の Ta₂O₅ 膜厚依存性を示している。界面 SiO₂ 膜厚は熱処理前後での容量の変化から成長した界面 SiO₂ 膜厚を求めた。界面 SiO₂ 膜の成長は Ta₂O₅ 膜厚が厚いほど抑制され、単結晶シリコン上でも多結晶シリコン上でも界面の SiO₂ 膜の成長はほぼ同じであったことから、酸化種である酸素分子の Ta₂O₅ 膜中の拡散が律速となる酸化と考えられる [2, 7]。

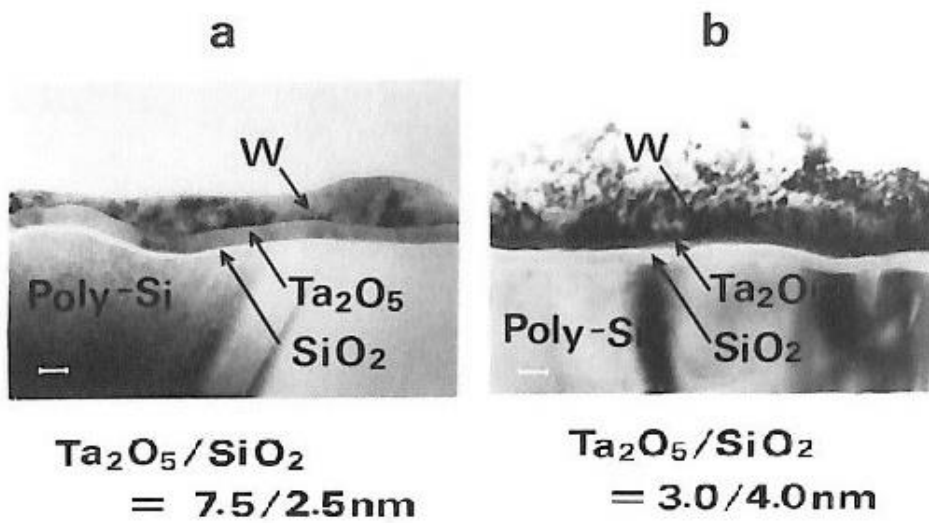


図 3-2 多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜の断面 TEM 写真

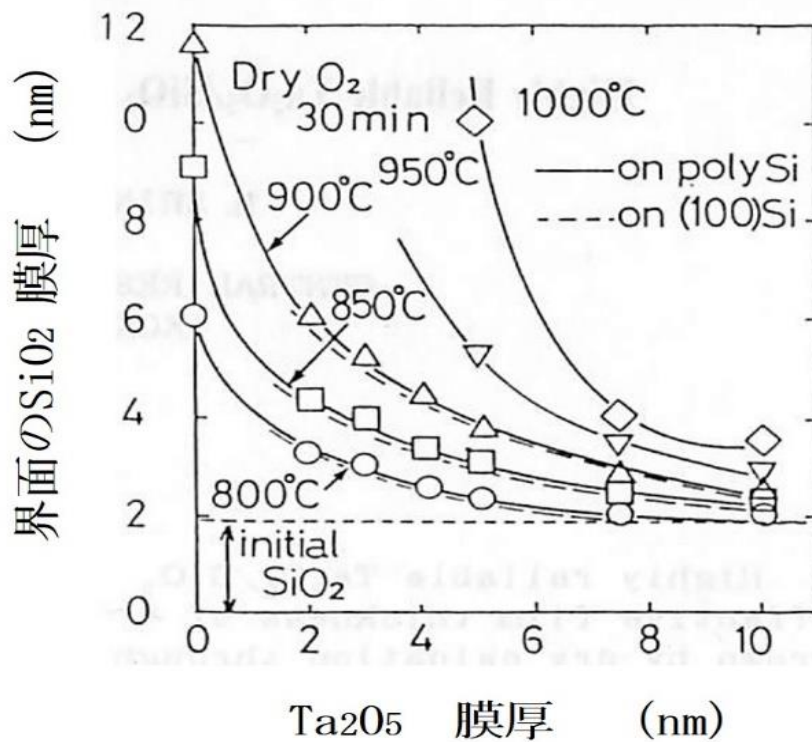


図 3-3 多結晶シリコン/ Ta_2O_5 膜界面の乾燥酸素熱処理による酸化層形成

図 3-4 は多結晶シリコン上の $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜を用いたキャパシタの欠陥密度と多結晶シリコン、単結晶シリコン上の熱酸化による SiO_2 キャパシタの欠陥密度を比較したものである。本章では、多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜

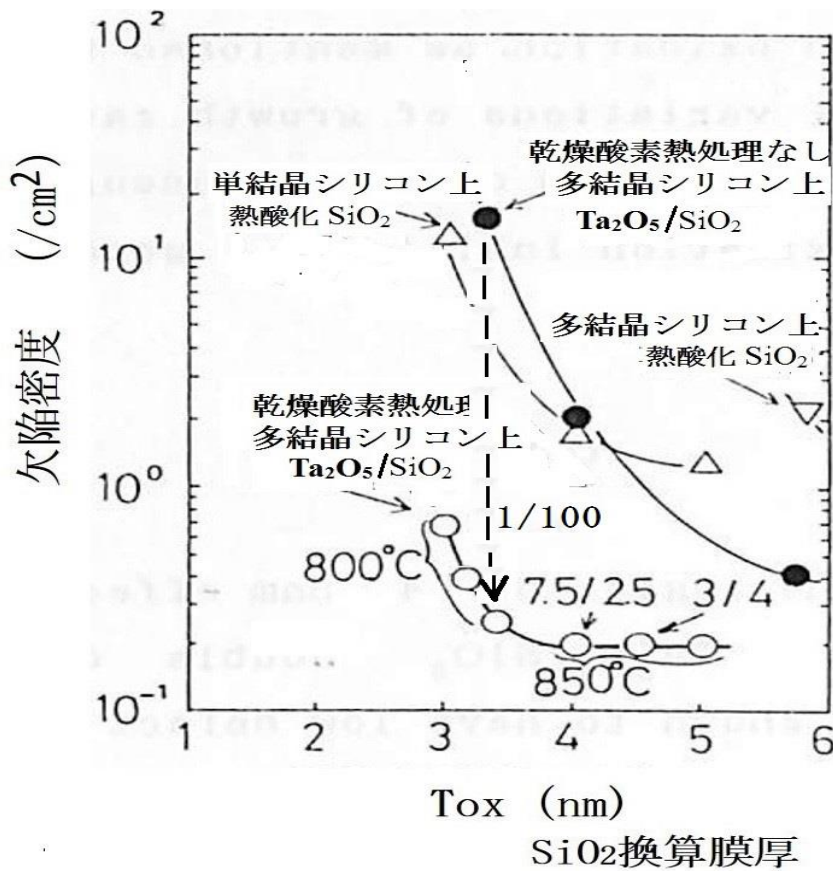


図 3-4 多結晶シリコン上の Ta₂O₅ キャパシタの欠陥密度

を用いたキャパシタを Ta₂O₅/SiO₂ キャパシタと記載する。多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの欠陥密度は乾燥酸素熱処理により、大幅に低減することがわかる。SiO₂ 換算膜厚で 3 nm において、単結晶シリコン上の熱酸化による SiO₂ 膜の欠陥密度と Ta₂O₅ 膜成膜後に熱処理を行わない多結晶シリコン上 Ta₂O₅/SiO₂ 膜の欠陥密度はほぼ同等であるが、800 °C の乾燥酸素熱処理により、欠陥密度が約 100 分 1 に減少する。一方、多結晶シリコン上の熱酸化による SiO₂ 膜は 6 nm と厚くすることで、単結晶シリコン上の 4 nm の熱酸化による SiO₂ 膜の欠陥密度と同等となるものの、更に薄膜化すると急激に欠陥密度が増加する。

従って、DRAM 積層型容量部の形成において、Ta₂O₅/SiO₂ 積層構造は多結晶シリコン蓄積電極上でも、欠陥密度の低い容量絶縁膜を形成できることを示している。第 2 章でウィークスポット酸化結晶化モデルに示したように、乾燥酸素雰囲気での熱処理により多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの欠陥密度が低減し、Ta₂O₅ 膜の結晶化とともに生成するピンホール等も、界面の SiO₂ 膜の成長により修復されるものと考えられる。

3.2.3 多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの TDDB 特性評価

図 3-5 は多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの経時的絶縁破壊特性 (TDDB 特性: Time Dependent Dielectric Breakdown) であり、累積不良率が 50% に至る寿命の SiO₂ 換算膜厚での電界強度 E_{ox} 依存性を示している。ここでは、Ta₂O₅ 膜厚を 7.5 nm と一定として、界面の SiO₂ 膜厚をパラメータとして評価している。比較として、単結晶シリコン上の 4 nm の SiO₂ 膜、及び、多結晶シリコン上の 6 nm の熱酸化による SiO₂ 膜を容量絶縁膜とするキャパシタの TDDB 特性と比較している。多結晶シリコン上の熱酸化による SiO₂ 膜は 10 MV/cm 以下のストレス電界強度でも、短時間で絶縁破壊する。一方、多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの TDDB 特性は、単結晶シリコン上の熱酸化膜の TDDB 特性よりすぐれた特性を得ることができた。2.3 節に示した様に、反応性スパッターによる Ta₂O₅ 膜の成膜の際には、1.8-1.9 nm の界面の SiO₂ 膜が成長し、乾燥酸素熱処理により、更に増膜する。この過程により形成される多結晶シリコン上の Ta₂O₅/SiO₂ 積層膜により、優れた長期的信頼性を有する容量絶縁膜を実現することができた。界面の SiO₂ 膜の膜厚を 2.8 nm として、Ta₂O₅ 膜厚を 7.5 nm

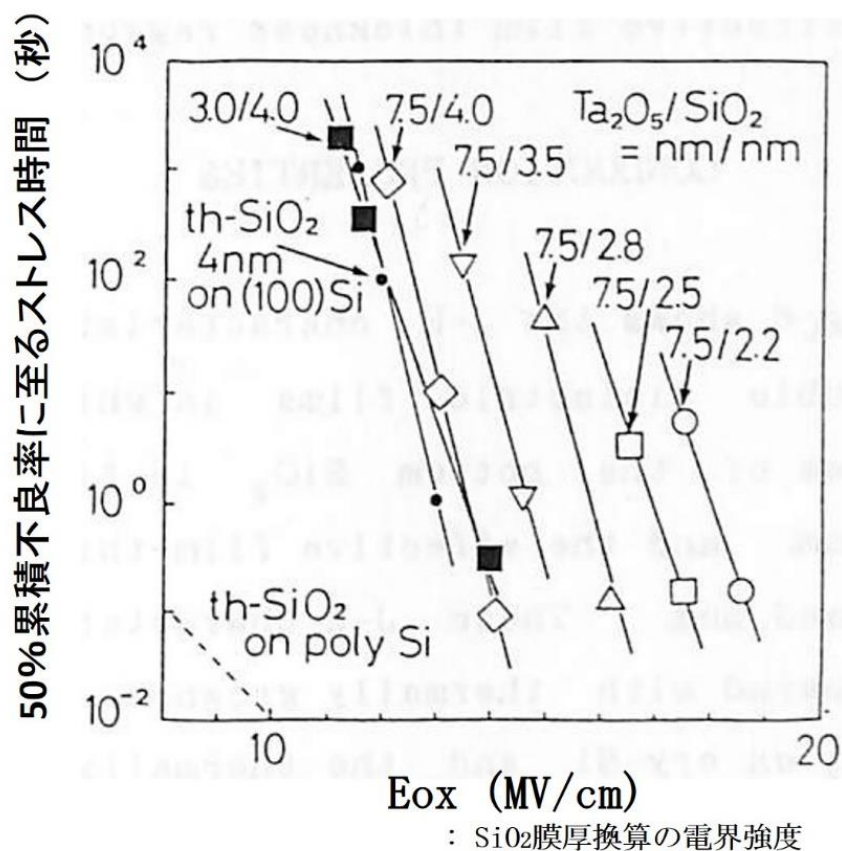


図 3-5 多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの TDDB 特性

とし、 SiO_2 換算膜厚で 4 nm に相当する多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ キャパシタの絶縁破壊寿命は、同一ストレス電界 E_{ox} （例えば 14 MV/cm）における単結晶シリコン上の 4 nm の熱酸化による SiO_2 膜を用いたキャパシタの絶縁破壊寿命に比較して、約 5 桁以上長いことが推定できる。これは、図 2-25 に示す単結晶シリコン電極上の $\text{Ta}_2\text{O}_5/\text{SiO}_2$ キャパシタの TDDB 特性と遜色ない。多結晶シリコン上の容量絶縁膜として SiO_2 換算膜厚 T_{ox} が 4 nm の容量絶縁膜として、 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜が初めて、実用レベルの絶縁破壊信頼性を達成できたことは、当初の懸念を打ち消すものであり、ウィークスポット酸化結晶化処理の効果が多結晶シリコン上でも有効であることを示すものであった。

界面の SiO_2 膜の膜厚が薄膜化する程、同一のストレス電界強度 E_{ox} での絶縁破壊寿命は増加し、界面の SiO_2 膜厚が 4 nm では、単結晶シリコン上の 4 nm の熱酸化による SiO_2 膜と同等の TDDB 特性を示す。また、 Ta_2O_5 膜厚を 3 nm としても、界面の SiO_2 膜が 4 nm では、同等の TDDB 特性を示した。従って、 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜の絶縁破壊寿命の E_{ox} 依存性は界面の SiO_2 膜の絶縁破壊特性に依存していると推測できる。熱酸化による SiO_2 膜の単層膜の TDDB 特性の膜厚依存性によれば、5 nm 以下の膜厚領域において、 SiO_2 膜厚が薄膜化するほど、一定のストレス電界強度による絶縁破壊寿命は急激に長くなることが報告されている [8]。直接トンネリング電流が増加することにより、 SiO_2 膜がダメージを受けにくくなるためと考えられる。絶縁破壊寿命が界面の SiO_2 膜厚に依存することから、 Ta_2O_5 膜は絶縁破壊しにくい材料であり、 SiO_2 膜が最初に絶縁破壊したと同時に、すべてのストレス電圧が Ta_2O_5 膜に印加されて、積層膜の絶縁破壊に至ると解釈できる。図 2-35 の TDDB 特性は、 Ta_2O_5 膜厚によらず、界面 SiO_2 膜厚が一定なために、ほぼ同等の TDDB 特性が得られている。従って、 $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜の絶縁破壊寿命は、界面の SiO_2 膜を薄膜化するほど、同一電界強度 E_{ox} に対して、より絶縁破壊しにくくなる。界面酸化膜の膜厚を 2.2 nm とし、 Ta_2O_5 膜厚を 7.5 nm とし、 SiO_2 換算膜厚で 3.5 nm に相当する多結晶シリコン上に形成した $\text{Ta}_2\text{O}_5/\text{SiO}_2$ キャパシタの絶縁破壊寿命は、更に、長くなる。64 メガビット DRAM に必要とされる SiO_2 換算膜厚 T_{ox} が 3 nm の容量絶縁膜の構成としては、 Ta_2O_5 膜厚 4-5 nm であり、界面の SiO_2 膜が 2.2 nm 以下に制御されることが想定できる。この $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜の構成としては、界面 SiO_2 膜をより薄膜化して、絶縁破壊信頼性を向上することが望ましい。

以上の検討から、64 メガビット DRAM 以降の積層型 DRAM の高集積化を進めるためには、多結晶シリコン電極表面上に形成した $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜を容量絶縁膜とするのが有力な選択肢であることがわかった。

3.2.4 多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの電流－電圧特性

図 3-6 は多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタのリーク電流の SiO₂ 換算膜厚での電界強度 E_{OX} 依存性を示している。界面の SiO₂ 膜の膜厚を約 2 nm とし、SiO₂ 換算膜厚で 3, 4, 5 nm の Ta₂O₅/SiO₂ キャパシタについて比較した。また、単結晶シリコン上に熱酸化による 3, 4, 5 nm の SiO₂ 膜を形成したキャパシタと多結晶シリコン上に 6 nm の SiO₂ 膜を形成したキャパシタについて比較した。図 3-6 の結果から、16 メガビット DRAM での電源電圧 3.3 V (V_{CC}) で容量部への印加電圧が 1.65 V (1/2V_{CC}) を想定すると、リーク電流が 10⁻⁸ A/cm² 以下となる容量絶縁膜は Ta₂O₅ (10 nm) / SiO₂ (2 nm) で実現でき、SiO₂ 換算膜厚 4 nm となる。64 メガビット DRAM での電源電圧 1.5 V (V_{CC}) で容量部への印加電圧が 0.75 V (1/2V_{CC}) を想定すると、リーク電流が 10⁻⁸ A/cm² 以下となる容量絶縁膜は Ta₂O₅ (4 nm) / SiO₂ (2.2 nm) で実現でき、SiO₂ 換算膜厚 3 nm となる。3.2.3 節で想定した SiO₂ 換算膜厚 3 nm の膜の構成と一致しており、良好な TDDDB 特性が得られると推測できる。従って、多結晶シリコン上の Ta₂O₅/SiO₂ 積層構造により、64 メガビット DRAM に必要とされる SiO₂ 換算膜厚 3 nm の容量絶縁膜が実現可能であるという確信を得ることができた。

多結晶シリコン上の Ta₂O₅/SiO₂ 積層膜のリーク電流の SiO₂ 換算膜厚での電界強度 E_{OX} 依存性は第 2 章で示した単結晶シリコン上の Ta₂O₅/SiO₂ 積層膜のリーク電流の電界強度 E_{OX} 依存性を示している。

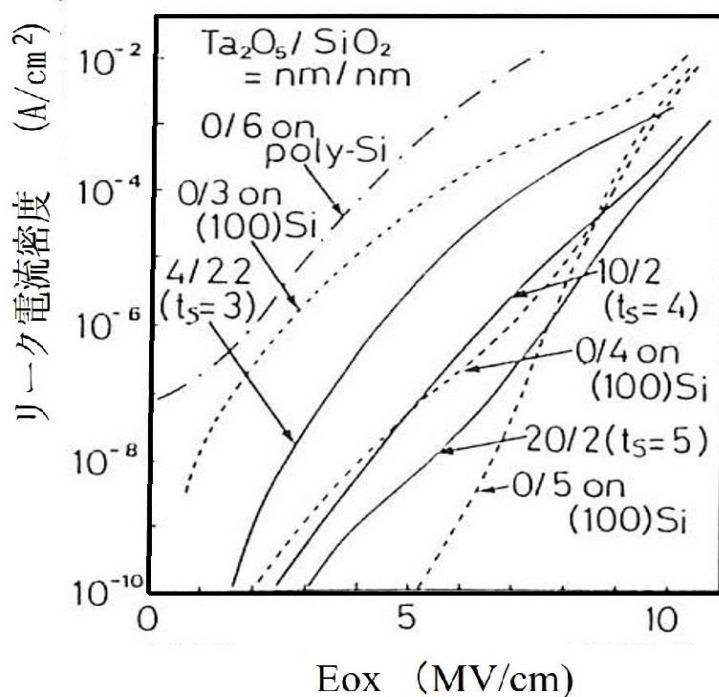


図 3-6 多結晶シリコン上 Ta₂O₅/SiO₂ キャパシタの電流－電圧特性

ーク電流の SiO_2 換算膜厚での電界強度 E_{ox} の依存性と遜色ないことがわかった。従来、多結晶シリコンを熱酸化する場合には、形成された熱酸化膜の膜厚は、多結晶表面の結晶方位による酸化速度の違いにより変動し、酸化中に表面に凹凸が生成することなどにより、初期欠陥密度の増加、リーク電流の増加、絶縁破壊信頼性の低下の原因となる。図 3-6 に示すように、多結晶シリコン上の 6 nm の SiO_2 膜のリーク電流は単結晶シリコン上と比較して 5 桁以上のリーク電流の増加が認められ、容量絶縁膜としての適用することはできない。しかしながら、多結晶シリコン上の $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜については、研究着手時の多結晶シリコン上の界面 SiO_2 膜の信頼性への懸念に反し、多結晶シリコン上でも単結晶シリコン上における $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜の電流-電圧特性と遜色ない容量絶縁膜が形成できたことは驚きであった。これは、ウィークスポット酸化結晶化工程において、乾燥酸素の Ta_2O_5 膜中の拡散が遅いために、 Ta_2O_5 膜の結晶化により生成する微細なピンホールや結晶粒界の下層の多結晶シリコン界面が選択的に酸化され、局所的な絶縁耐压の低下が防止できたことによると考える。また、乾燥酸素の供給が Ta_2O_5 膜中の拡散律速となることにより、多結晶シリコン上の結晶面の違いによる酸化膜厚の違いが抑制され、多結晶シリコン上の酸化膜においても高い信頼性が確保できたと推定している。

3.3 多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ キャパシタの検討 [4]

多結晶シリコン上の Ta_2O_5 界面に形成される SiO_2 膜の影響を除き、より良好な容量膜を形成する目的で、多結晶シリコン表面に Si_3N_4 膜を形成した後、 Ta_2O_5 膜を形成し、ウィークスポット酸化結晶化熱処理をすることを検討した。

3.3.1 多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ キャパシタの形成方法

図 3-7 は $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ 積層膜を有するキャパシタの形成方法を示している。単結晶シリコン基板上に多結晶シリコンを形成した後、高濃度のリンをドーブした。多結晶シリコン表面を弗酸により洗浄した後、減圧 CVD 法によって Si_3N_4 膜 (6 nm) を形成した。99.99 %純度の Ta ターゲットを用いて、 Ta_2O_5 膜 (7.5 nm) を反応性スパッターにより Si_3N_4 膜上に形成した。Ta ターゲットの純度は 99.99 %であった [3,4]。その後、900、950、1000 °Cにおいて、乾燥酸素雰囲気において、30 分の熱処理を行った。 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ 界面において、 Si_3N_4 膜が酸化される。界面に酸化膜が形成されるのか、酸化膜が形成するのは明確ではない。その後、上部電極としてタングステンをスパッター法により、200 nm 形成した。

$\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ 積層膜と比較するために、 Ta_2O_5 (28 nm) / SiO_2 (1.5 nm) 積層構

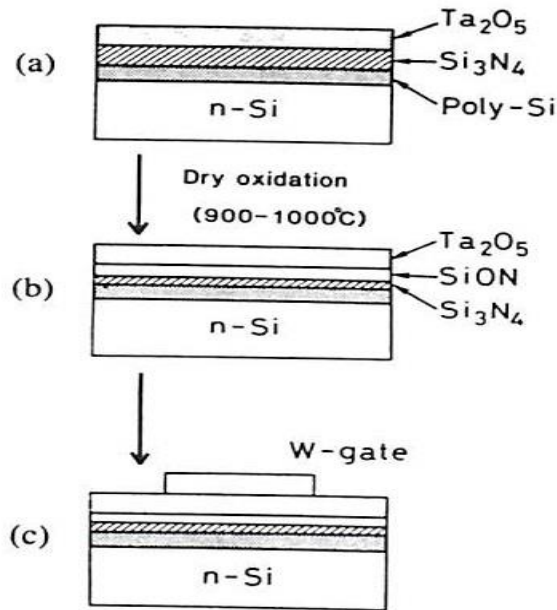


図 3-7 多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ キャパシタの製造方法

このキャパシタを形成した。 Ta_2O_5 膜を形成した後、乾燥酸素雰囲気において、 $900\text{ }^\circ\text{C}$ 、30 分の熱処理をおこなった。タングステンを上部電極としてスパッタ一法により形成した。また、多結晶シリコン上に、 $1000\text{ }^\circ\text{C}$ の乾燥酸化性雰囲気での熱酸化により 10 nm の酸化シリコン膜を形成した。 SiO_2 膜上にリンドーブの多結晶シリコン膜を上部電極として形成した。それぞれの膜厚はエリプソメトリーにより評価し、断面 TEM 写真により補正することで、算出した。

3.3.2 多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ キャパシタの熱処理温度依存性

図 3-8 は $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ キャパシタの容量の熱処理温度依存性を示している。

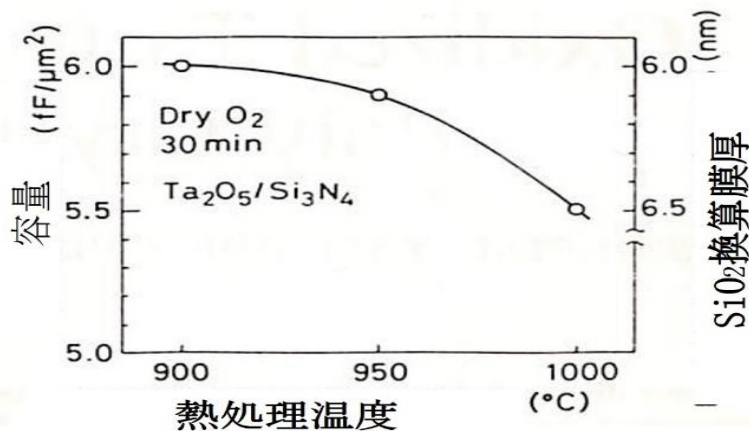


図 3-8 多結晶シリコン上 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ キャパシタの乾燥酸素熱処理による容量変化

乾燥酸化性雰囲気での熱処理温度が 900 °C から 1000 °C に成長するとともに、Ta₂O₅/Si₃N₄ キャパシタの容量は 6.0 fF/μm² から 5.5 fF/μm² に減少する。従って、熱処理により Si₃N₄ 膜の酸化が進んだと判断できる。対応する SiO₂ 換算膜厚は 6 nm から 6.5 nm に変化したことに相当する。

図 3-9 に示す断面 TEM 観察は単結晶シリコン上に形成した、1000 °C、30 分間の乾燥酸化性雰囲気での熱処理を行った Ta₂O₅ (7.5 nm) / Si₃N₄ (6 nm) の断面 TEM 写真である。Ta₂O₅ 膜、界面の SiO₂、Si₃N₄ 膜、自然酸化膜、シリコン基板のそれぞれの境界が断面 TEM 写真に示されており、混合層の形成は 1000 °C の熱処理によっても、観察されなかった。界面 SiO₂ 膜は熱処理後に形成され、自然酸化膜は Si₃N₄ 膜の形成前に形成されていた。

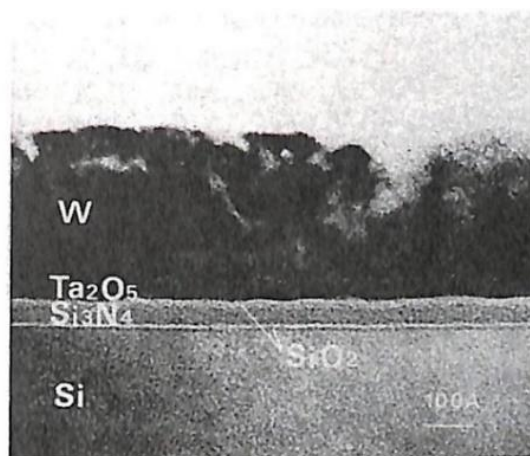


図 3-9 Ta₂O₅/Si₃N₄ 積層構造の断面 TEM 写真

3-3-3 多結晶シリコン上 Ta₂O₅/Si₃N₄ キャパシタの電流－電圧特性

図 3-10 は、熱処理温度をパラメータとして、形成した Ta₂O₅/Si₃N₄ 積層膜を用いたキャパシタのリーク電流密度の SiO₂ 換算膜厚での電界強度 E_{OX} 依存性を示している。熱処理温度が高いほど、リーク電流密度が減少する。Ta₂O₅ (28 nm) / SiO₂ (1.5 nm) 積層構造のキャパシタのリーク電流密度は Ta₂O₅/Si₃N₄ 積層膜よりも大きい。Ta₂O₅ (28 nm) / SiO₂ (1.5 nm) 積層構造のキャパシタの容量が 7.2 fF/μm² と 10-20 % 大きいことを考慮する必要がある。SiO₂ 換算膜厚 6-6.5 nm の領域では、Ta₂O₅/Si₃N₄ 積層膜は十分に低いリーク電流密度が得られるものの、SiO₂ 換算膜厚で 3-4 nm となる領域においても同じリーク電流密度の電界強度 E_{OX} 依存性を示すかどうかは不明である。CVD 法による Si₃N₄ 膜を制御性よく薄膜化できるかも課題である。

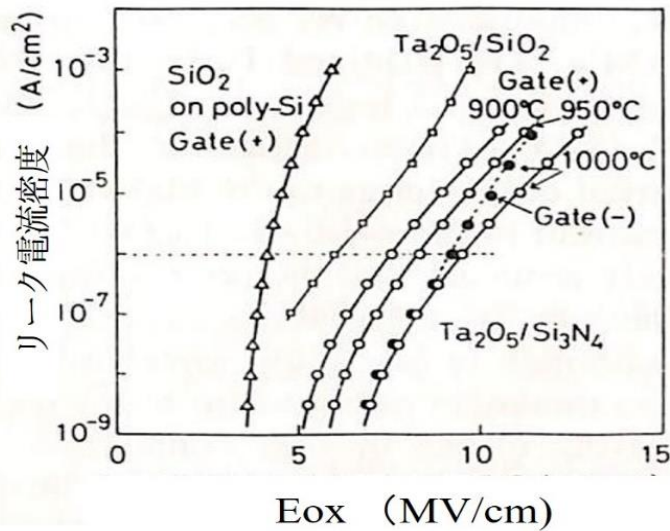


図 3-10 多結晶シリコン上の Ta₂O₅/Si₃N₄ キャパシタの電流－電圧特性特性

3.3.4 多結晶シリコン上 Ta₂O₅/Si₃N₄ キャパシタの TDDB 特性

Ta₂O₅/Si₃N₄ キャパシタの信頼性を TDDB により評価した。図 3-11 は Ta₂O₅/Si₃N₄ キャパシタに +8 V ストレス電圧印加と -8 V ストレス電圧印加により測定した TDDB 特性を示している。Ta₂O₅/Si₃N₄ 積層膜は 1000 °C、30 分の乾燥酸素熱処理を行った。キャパシタ面積は 8 mm²、それぞれ 30 ケのキャパシタを測定した。累積不良率のストレス時間依存性は直線近似でき、直線を外れて短時間で絶縁破壊する潜在欠陥は顕在化していない。

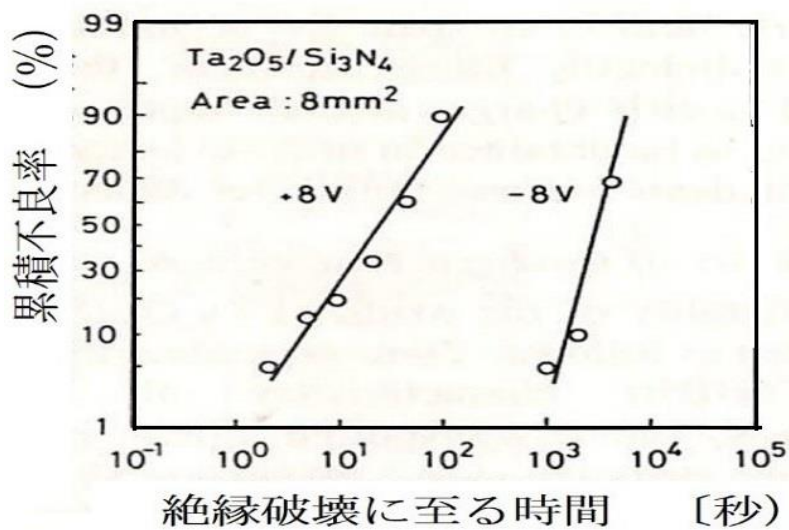


図 3-11 多結晶シリコン電極上 Ta₂O₅/Si₃N₄ キャパシタの累積不良率のストレス時間依存性

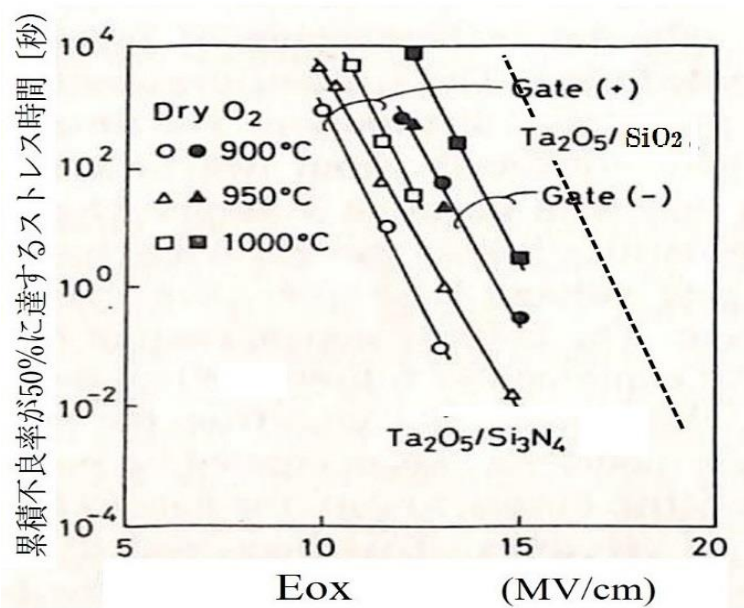


図 3-12 多結晶シリコン上の Ta₂O₅/Si₃N₄ 積層膜の TDDB 特性

一方、図 3-12 は 50 % 累積不良率のストレス時間依存性を示している。Ta₂O₅/Si₃N₄ 積層膜では、乾燥酸素熱処理温度が高いほど、TDDB 特性が改善されることを示しているが、高温の熱処理を行うと容量が低下してしまう。しかも、図 3-5 に示す Ta₂O₅/SiO₂ 積層膜の TDDB 特性を点線で示しているが、Ta₂O₅/Si₃N₄ 積層膜に比較すると、絶縁破壊寿命は約 4 桁以上絶縁破壊寿命が長いことがわかる。Si₃N₄ 膜を導入することにより、絶縁破壊の対する長期的信頼性は低下することは、Si₃N₄ 膜との積層化の課題といえる。

図 3-13 は楕円構造の多結晶シリコン電極に 1000 °C の乾燥酸素熱処理を行

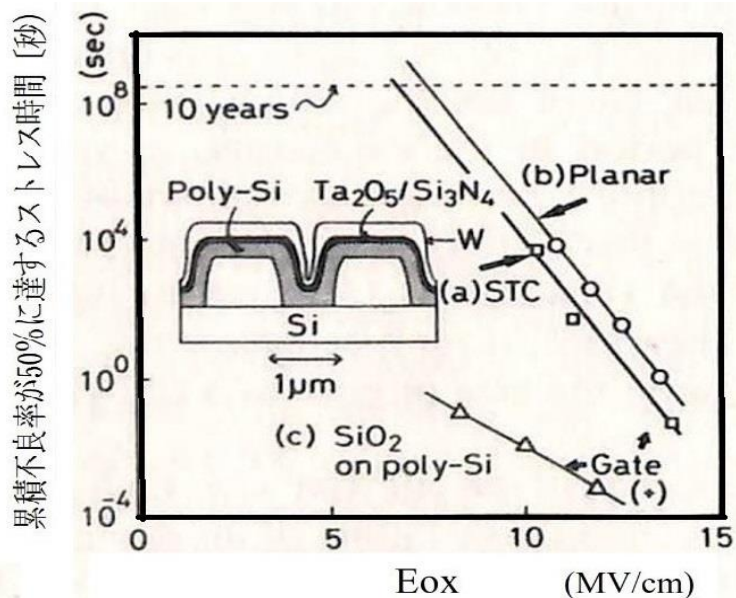


図 3-13 多結晶シリコン楕円パターン上 Ta₂O₅/Si₃N₄ 積層膜の TDDB 特

った Ta₂O₅/Si₃N₄ キャパシタの TDDB 特性を示している。楕円構造は幅、深さが 0.3 μm、0.8 μm であった。絶縁破壊寿命は平面型キャパシタ構造よりも一桁短くなることがわかった。従って、反応性スパッターによる Ta₂O₅ 膜によっても、アスペクト比が 3 以下のパターンであれば、積層型容量部に試験的に導入することは可能であることがわかった。4 章では、DRAM プロセスに反応性スパッター法による Ta₂O₅ 膜を導入して DRAM プロセスへの Ta₂O₅ 膜導入の影響について検討した結果を示す。

以上のように、Ta₂O₅/Si₃N₄ キャパシタにより、SiO₂ 換算膜厚 6-6.5 nm の領域において、良好なリーク電流、低欠陥、長期的絶縁破壊信頼性を得ることができた。ただし、以下の課題が挙げられる。

- ① 64 メガビット DRAM 用容量絶縁膜としては、SiO₂ 換算膜厚 3 nm の薄膜化が必要であり、CVD 法による Si₃N₄ の薄膜化が課題となる。
- ② TDDB 特性は乾燥酸素熱処理温度が高い程改善されるが、容量は逆に減少するトレードオフの関係にあり、高容量化 (Tox の薄膜化) と高信頼化がトレードオフの関係となってしまう、両立が難しい。
- ③ 多結晶シリコン上の Ta₂O₅/Si₃N₄ キャパシタは Ta₂O₅/SiO₂ キャパシタの TDDB 特性に比較して、絶縁破壊寿命は 4 桁以上低く、Si₃N₄ 膜を導入することで、絶縁破壊信頼性を低下させる。

3.4 まとめ

多結晶シリコン電極上の Ta₂O₅ 膜を用いた DRAM 用容量について検討した。64 メガビット DRAM 以降に必要とされる SiO₂ 換算膜厚 3 nm の容量絶縁膜として、多結晶シリコン上においても、動作電圧において目標のリーク電流以下を達成しながら、SiO₂ 換算膜厚 3 nm までの薄膜化が可能な Ta₂O₅/SiO₂ 積層膜の検討を進めることが望ましい。Ta₂O₅/Si₃N₄ 積層膜構造により得られた SiO₂ 換算膜厚は 6 nm であり、SiO₂ 換算膜厚 3 nm までの薄膜化には、Si₃N₄ の薄膜化に課題がある。また、Ta₂O₅/SiO₂ 積層膜の TDDB 特性は Ta₂O₅/Si₃N₄ 積層膜の TDDB 特性より優れていることがわかった。これは、積層膜の絶縁破壊を決定づけると思われる界面層を Si₃N₄ 膜とするよりも SiO₂ 膜とすることにより、より高い信頼性が得られることを示している。

多結晶シリコン上の熱酸化膜はリーク電流が増大し、信頼性が低下すると考えられていたが、高誘電体 Ta₂O₅ 膜とシリコン界面に成長する SiO₂ 膜は、下地が多結晶シリコン電極であっても、ウィークスポット酸化結晶化処理により、欠陥が修復され、また、Ta₂O₅ 膜中の拡散律速による酸化により、多結晶シリコ

ン表面の結晶面依存性が緩和され、界面に良好な SiO₂ 膜を生成できたものと考えられる。4 章以降では、Ta₂O₅/SiO₂ 積層膜を 64 メガビット DRAM 用の容量絶縁膜として選定して、実用化を進めた結果について報告する。

3.5 参考文献

- [1] P A Heimann, S P Muraruka, and T T Sheng, "Electrical conduction and breakdown in oxides of polycrystalline silicon and their correlation with interface texture," J. Appl. Phys. 53, pp.6240-6245, 1982.
- [2] H. Shinriki, Y. Nishioka and K. Mukai, "Highly Reliable Ta₂O₅/SiO₂ Double Dielectric Films on Poly Crystalline Silicon" Extended Abstracts of the 19th Conference on Solid State Devices and Materials, Tokyo, 1987, pp.215-218.
- [3] Y. Ohji, T. Kusaka, I. Hiraiwa, K. Yagi, K. Mukai and O. Kasahara "Reliability of nano-meter thick multi-layer dielectric films on polycrystalline silicon," in 25th Annual Proc. Reliability Phys. Conf., 1987, p.55A.
- [4] H. Shinriki, Y. Nishioka, Y. Ohji, and K. Mukai, "Oxidized Ta₂O₅/Si₃N₄ Dielectric Films on Poly-Crystalline silicon for dRAM's," IEEE Trans. Electron Devices, vol.ED-36, pp.328-332, 1989.
- [5] S. Kimura, Y. Nishioka, A. Shintani, and K. Mukai, "Leakage current increase in amorphous Ta₂O₅ films due to pinhole growth during annealing below 600°C," J. Electrochem. Soc., vol.130, p.2414, 1983.
- [6] Y. Nishioka, S. Kimura, H. Shinriki and K. Mukai, "Dielectric Characteristics of double layer structure of extremely thin Ta₂O₅/SiO₂ on Si," J. Electrochem. Soc., vol.134, p.410, 1987.
- [7] Y. Nishioka, N. Honmma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta and K. Ogiue "Ultra-Thin Ta₂O₅ Dielectric Film for High-Speed Bipolar Memories" IEEE Transactions on Electron Devices Vol.34, No.9, September p.1957, 1987.
- [8] Lee, J.C., Chen Ih-Chin, and Hu. Chnming, "Modeling and Characterization of Gate Oxide Reliability," IEEE Trans. Electron Devices, vol. 35, no. 12, pp. 2268-2278, Dec. 1988.

第4章 積層容量型 DRAM 用容量絶縁膜への Ta₂O₅ 膜の適用

4.1 緒言

多結晶シリコン上 Ta₂O₅/SiO₂ 膜を、64 メガビット DRAM 用積層容量型メモリセル(STC CELL)の容量絶縁膜として検討する場合、以下の課題が挙げられる。

- (1) 多結晶シリコン電極上における SiO₂ 換算膜厚が 3 nm 相当の低欠陥、高信頼の Ta₂O₅ 膜を有するキャパシタの形成
- (2) 積層容量型メモリセル (STC CELL) などの立体化された容量部を有する DRAM への Ta₂O₅ 膜を有するキャパシタの適用
- (3) Ta₂O₅ 膜を有するキャパシタの 16 メガビット DRAM プロセスで使用される高温プロセスへの適合性。

3 章では、課題 (1) について報告した。64 メガビット DRAM 以降の素子に必要な SiO₂ 換算膜厚 3 nm の容量絶縁膜としては、多結晶シリコン表面においても単結晶シリコン表面と遜色のないリーク電流、信頼性を示す Ta₂O₅/SiO₂ 積層構造を選択することが望ましいことがわかった。Ta₂O₅ 膜の膜厚を 4-5 nm、SiO₂ 膜の膜厚を 2 nm 前後に制御することで、SiO₂ 換算膜厚 3 nm の容量絶縁膜を実現し、目標とする絶縁性と高信頼性を得られるという確信が得られた。

本章では、課題 (2)、(3) について報告する。Ta₂O₅ 膜を、既に安定したプロセスが確立されている 16 メガビット DRAM プロセスに適用することで、DRAM プロセスへの適合性を評価するとともに、この DRAM プロセスで使用される高温プロセスへの適合性も明らかにする。

4.2 既存 DRAM プロセスへの適合性評価方法

DRAM プロセスに Ta₂O₅ 膜を用いた容量絶縁膜を適用するにあたり、64 メガビット DRAM 以降のメモリセルの蓄積容量の設計仕様については、既に 1.1 節において示した。図 1-4 に示すように、4 メガビット DRAM 以降では、積層容量型メモリセル (STC CELL) が実用化され、4 メガビット以降の高集積化に伴い、容量絶縁膜のスケーリング則に従う薄膜化が進められてきた。3 章にて示したように、64 メガビット DRAM 以降の低消費電力高集積 DRAM を実現するために、多結晶シリコン容量電極上 Ta₂O₅/SiO₂ 積層膜により、SiO₂ 換算膜厚 3 nm の容量絶縁膜を形成し、64 メガビット DRAM に必要とされる容量特性、信頼性を実現できることを示している [1]。

Ta₂O₅ 膜を 64 メガビット DRAM 用の蓄積容量に適用する場合に、16 メガビット DRAM プロセス工程をそのまま使い、4 メガビット DRAM、16 メガビ

ット DRAM 用容量絶縁膜に適用した $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を $\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜に置き換えることが望ましい。この検討により、課題(2)、(3)を明らかにする。

課題(2)については、プレート電極を多結晶シリコン電極とし、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を容量絶縁膜として、既にプロセスが確立されている 16 メガビット DRAM 用 4 層多結晶シリコンゲート積層容量型メモリセルを有する DRAM プロセスに SiO_2 換算膜厚で 5 nm の Ta_2O_5 を含む容量絶縁膜を適用し、DRAM 素子と同時に形成された MOSFET, pn 接合の特性を評価して、 Ta_2O_5 膜を導入することによる影響の有無を評価した [2]。また、4 メガビット DRAM、16 メガビット DRAM の蓄積容量絶縁膜として製品に適用されている $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を用いた DRAM 素子の特性、歩留まりと 16 メガビット DRAM 用 4 層多結晶シリコンゲート型積層容量型メモリセルを有する DRAM プロセスに Ta_2O_5 膜を含む容量絶縁膜を適用した DRAM 素子の特性、歩留まりの比較を行った。課題(3)については、 Ta_2O_5 膜を用いたキャパシタの耐熱性評価により、DRAM に必要とされる高温プロセスへの適合性を明らかとした [2]。また、DRAM プロセス工程での Ta_2O_5 起因の汚染の影響の有無 (デバイスへの汚染)についても、課題(3)の一部として検討した。

4.3 評価方法

4.3.1 評価用キャパシタ形成方法

Ta_2O_5 膜は ULVAC 社製 ME58-0144 スパッター装置にて Ta ターゲット (純度 99.99 %) を Ar / O_2 (10 %) 混合ガスによる反応性スパッター法により形成した。Ar / O_2 混合ガスの全圧は 0.67 Pa (5×10^{-3} torr)、RF パワーは 300 W で行った。成長速度は 1.0 nm / 分であった。図 4-1 記載のように、以下の 4 種のプレーナ構造(a)~(d)のキャパシタを $0.03 \Omega\text{cm}$ 以下のシリコン基板上に形成した。上部電極としてはリンドープ多結晶シリコン、もしくは、タングステンが用いられた。

キャパシタ構造 (a) : シリコンと Ta_2O_5 の耐熱評価用

多結晶シリコン/ Ta_2O_5 / SiO_2 /多結晶シリコン

キャパシタ構造 (b) : SIS 構造

多結晶シリコン/ SiO_2 / Ta_2O_5 / SiO_2 /多結晶シリコン

多結晶シリコン/ Si_3N_4 / Ta_2O_5 / SiO_2 /多結晶シリコン

キャパシタ構造 (c) : MIS 構造

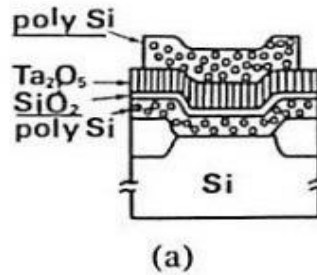
タングステン/ Ta_2O_5 / SiO_2 /多結晶シリコン

キャパシタ構造 (d) : MIM 構造

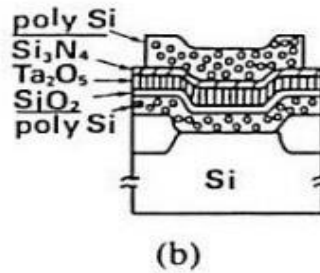
タングステン/ Ta_2O_5 /タングステン

Ta_2O_5 膜の下層の SiO_2 膜は Ta_2O_5 膜のスputターによる成長前に多結晶シリコンが Ar/O_2 プラズマに晒されて成長する [1]、[3]。 SiO_2 膜の膜厚は約 2 nm と見積もれる。構造(a)、(b)、(c)において、多結晶シリコン下層電極上に Ta_2O_5 膜を形成した後に、2, 3 章で述べたウィークスポット酸化結晶化工程（乾燥酸素熱処理、800 °C、30 分間）を行った [3]。このウィークスポット酸化結晶化工程の後、構造(a)では、上部電極となる多結晶シリコンを 625 °C で成膜した。成膜中にリンをドーピングすることにより、抵抗率は 0,1 Ω 以下となる。構造(a)の

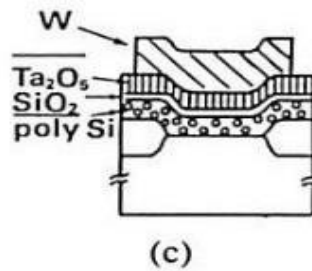
**耐熱
評価用**



SIS構造



MIS構造



MIM構造

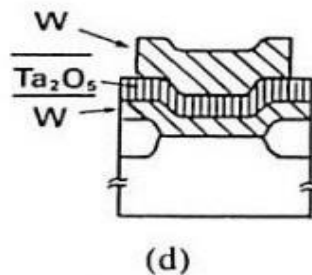


図 4-1 評価に用いたキャパシタの断面構造模式図

キャパシタを 625 °C以上の耐熱性評価に用いた。構造(b)では、Ta₂O₅膜上に 3 nm の Si₃N₄膜、あるいは、4 nm の SiO₂膜を形成した後、多結晶シリコン上部電極を形成した。多結晶シリコンは SiH₄を用いた減圧 CVD 法により 625 °Cで形成した後、875 °Cでリン拡散を行った。従来の DRAM プロセスで使用されている標準的工程を用いた。構造(c)では、多結晶シリコン下部電極上に Ta₂O₅を形成した後、タングステン電極をスパッター法により形成した。それぞれの下部電極となる多結晶シリコンは、成膜後に高濃度の燐がドーピングされている。構造(d)では、タングステン電極上に Ta₂O₅膜を形成した後、上部電極となるタングステンをスパッターにより形成した。

4.3.2 熱的安定性、信頼性、膜厚評価方法

1) 熱安定性評価

それぞれのキャパシタ構造を作成した後、窒素雰囲気において 30 分間の熱処理を 600, 800, 1000 °Cで行った後、絶縁耐圧を評価することで、Ta₂O₅膜と電極との熱安定性を評価した。Ta₂O₅膜と電極の反応を最も容易に評価する方法は、熱処理後のキャパシタのリーク電流の増加を評価することである。また、化学反応の有無は光電子分光法によって解析できる。リーク電流の測定は真空中で測定可能なプローバにより、0.1 V/秒のランプ速度によるランプ測定方法により行った。容量は 100 KHz の容量メータにより蓄積領域において測定した。

2) 信頼性評価

TDDB 測定は構造(b)、構造(c)については楕形多結晶シリコン下部電極上のキャパシタについて行った。また、構造(d)では、平面型キャパシタについて行った。TDDB 測定では、一定電圧を印加し、リーク電流が閾値を超えて増大した時点を絶縁破壊と判定し、絶縁破壊寿命としている。

3) 膜厚評価

本研究では、極薄の Ta₂O₅、Si₃N₄、SiO₂が研究対象であり、それぞれの膜厚を正確に測定することは難しいが、それぞれの成膜プロセスにダミーウエハを用いて、エリプソメトリーにより、相対的な膜厚を評価するとともに、絶対膜厚を断面 TEM により評価した。

4.4 低消費電力高集積 DRAM に適用可能な Ta₂O₅ 膜を有するキャパシタの最大蓄積容量のキャパシタ構造依存性の検討

図 4-2 は作成したキャパシタ構造について、それぞれのキャパシタのリーク電流が 10^{-8} A/cm² となる電界強度とキャパシタ容量をプロットしている。動作電圧として、1.65 V (16 メガビット DRAM)、0.75 V (64 メガビット DRAM) が記載されており、そのそれぞれの動作電圧に適用可能な SiO₂ 換算膜厚 T_{ox} を示している。

1) 1.65 V 動作電圧

- 5 nm (SIS 構造 : Si₃N₄ (3 nm) / Ta₂O₅ (7 nm) / SiO₂ (2 nm))
- 4 nm (MIS 構造 : Ta₂O₅ (10 nm) / SiO₂ (2 nm)),
- 2 nm (MIM 構造 : Ta₂O₅ (10 nm))

が、 10^{-8} A/cm² 以下のリーク電流を達成しながら、16 メガビット DRAM 用蓄積容量に必要な容量を実現できる。

2) 0.75 V 動作電圧

- 3 nm (MIS 構造 : Ta₂O₅ (5 nm) / SiO₂ (2 nm)),
- 2 nm 以下 (MIM 構造 : Ta₂O₅ (<10 nm))

が、 10^{-8} A/cm² 以下のリーク電流を達成しながら、64 メガビット DRAM 用蓄積容量に必要な容量を実現できる。

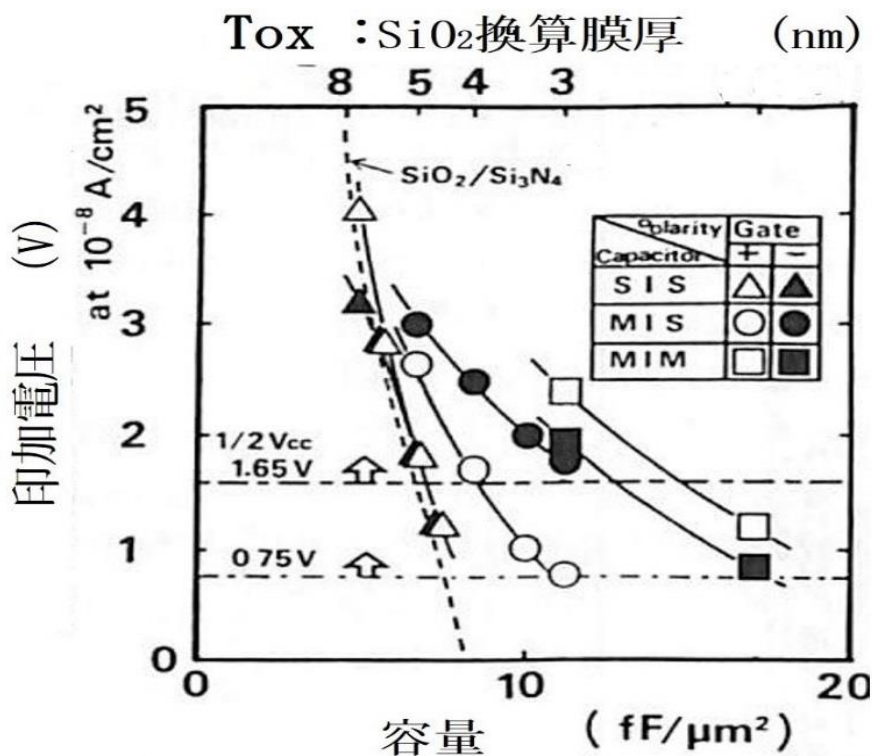


図 4-2 絶縁耐圧 v s 容量値

従って、64 メガビット DRAM 用の容量絶縁膜では SiO₂ 換算膜厚 3 nm が必要となるので、MIS もしくは MIM 構造の容量絶縁膜が必須となる。16 メガビット DRAM に適用された Si₃N₄/SiO₂ 積層膜では、図 4-2 に示すように、SiO₂ 換算膜厚が 5 nm 以下となると急激にリーク電流が増加し、絶縁耐圧が急減するために、64 メガビット DRAM 用容量絶縁膜に適用することは難しい [4]。

3.2 節に報告したように、多結晶シリコン上 Ta₂O₅/SiO₂ 積層膜は、64 メガビット DRAM に必要とされる SiO₂ 換算膜厚 3 nm の蓄積容量絶縁膜として適用可能な電流-電圧特性を有する [1]。動作電圧における伝導機構が直接トンネリング伝導である場合には、漏れ電流はバリア障壁高さを実際の誘電体膜の膜厚に依存する。Ta₂O₅/SiO₂ 積層構造と Si₃N₄/SiO₂ 積層構造のリーク電流特性の比較から、SiO₂ 換算膜厚 5 nm 以下の領域では、比誘電率の高い Ta₂O₅ 膜 ($\epsilon_r = 22-25$) の膜厚が Si₃N₄ ($\epsilon_r = 8$) の膜厚よりも約 3 倍厚くでき、直接トンネリング電流の抑制に有利と考えられる。Si₃N₄ 膜は膜中にトラップを生成しやすく、薄膜化するとトラップを介して電流が流れやすいことも不利な要因と考えられる。

4.5 Ta₂O₅ 膜を有するキャパシタの高温プロセス互換性の検討

Ta₂O₅ キャパシタを DRAM 蓄積容量として適用する場合には、Ta₂O₅ キャパシタ形成後も従来の Si₃N₄/SiO₂ 積層膜を容量絶縁膜として用いた DRAM に使用される高温プロセスが適用できることが望ましい。高温プロセスとしては、三次元構造のメモリセルの表面の凹凸を平坦化するための酸化膜リフロー工程がその例である。そこで、Ta₂O₅ キャパシタの耐熱安定性について、高温熱処理をした後の絶縁耐圧の変化により評価した。

図 4-3 は Ta₂O₅ キャパシタのリーク電流が 10⁻⁶ A/cm² となる SiO₂ 換算膜厚での電界強度 E_{OX} の窒素雰囲気における熱処理温度依存性を示している。構造 (a) のキャパシタでは、Ta₂O₅、SiO₂ の膜厚はそれぞれ、10 nm、2 nm である。構造 (b) のキャパシタでは、Ta₂O₅、CVD-SiO₂、CVD-Si₃N₄ と下層の SiO₂ 層はそれぞれ 7、4、3、2 nm である。構造 (c) のキャパシタでは、Ta₂O₅ の膜厚は 10 nm であり、下層の SiO₂ 膜は 2 nm である。

ここで、SiO₂ 換算膜厚での電界強度 E_{OX} は既に (1-4) ~ (1-6) で定義されているが、再度 (4-1) 式に示す。

$$E_{OX} = \frac{C_{OX}}{\epsilon_s \times \epsilon_0} \times V = \frac{V}{T_{OX}} \quad (4-1)$$

ϵ_s : SiO₂ の比誘電率 3.82、 ϵ_0 : 真空の誘電率、C_{OX} : 面積当たりの容量 (fF/cm²)
V : 印加電圧であり、容量測定から比誘電率を 3.82 と仮定することで、SiO₂ 換算膜厚 T_{OX} をもとめ、印加電圧 V と SiO₂ 換算膜厚 T_{OX} から電界強度 E_{OX} が算出で

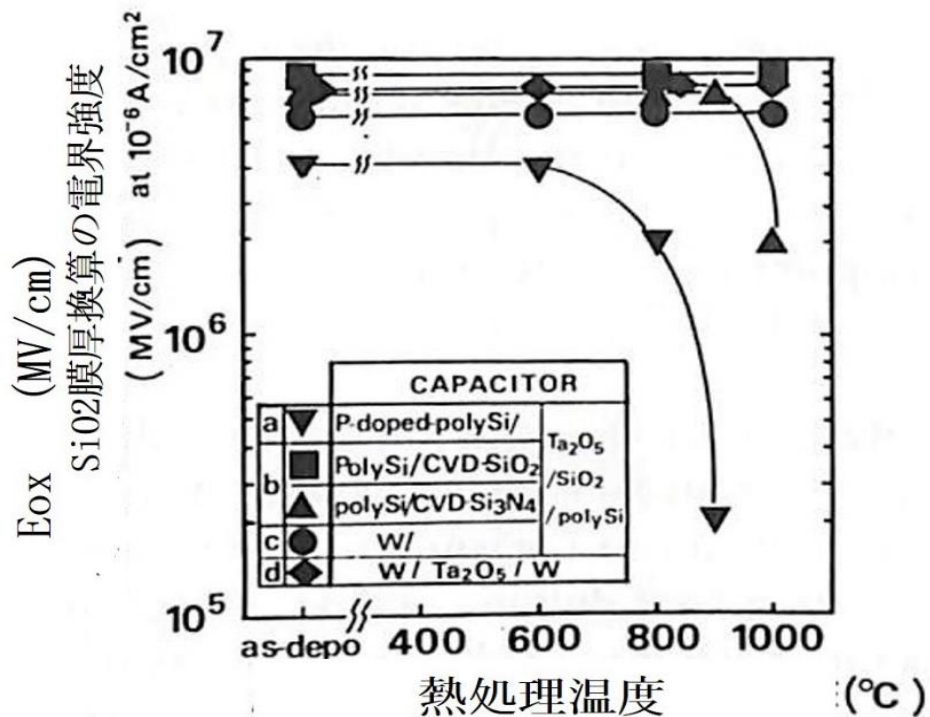


図 4-3 絶縁耐圧の乾燥酸素熱処理温度依存性

きる。構造(c)、(d)のW電極を有するTa₂O₅キャパシタのE_{OX}は熱処理温度が1000℃に至るまで高い電界強度を維持している。構造(c)の場合には、図2-13に示した様に、10nmのTa₂O₅膜を有する場合には、625℃以上の熱処理によっても、リーク電流は増加しない[2]。

一方、Ta₂O₅膜の膜厚が20nmより厚くなる場合には、600℃以上の熱処理によりリーク電流の増加を引き起こす[5]。構造(d)では高温熱処理によって、結晶化する場合には、Si基板上とは異なり、ウィークスポット酸化結晶化熱処理による欠陥修復はできないので、欠陥密度が大きくなってしまう。十分小面積の容量では絶縁耐圧が低下しないことから、Ta₂O₅膜自体は結晶化によって絶縁性が低下するわけではないと考えられる。構造(b)、(c)、(d)のキャパシタでは電極とTa₂O₅との化学反応は抑制されている。構造(a)のキャパシタでは、熱処理温度が625℃以上となると、E_{OX}は減少する。この低下はTa₂O₅と多結晶シリコンが熱処理により反応するためである。熱処理後に、上部電極を除去して、Ta₂O₅表面をXPSにより評価した結果を図4-4に示す。Ta-O結合とSi-O結合起因の酸素(O_{1s})が観察される。Si-O結合エネルギーはTa-O結合エネルギーより大きく、熱処理温度が高くなるにつれて、Si-O結合からの信号強度が大きくなる。Ta₂O₅膜が多結晶シリコンにより還元されたことによる。従って、Ta₂O₅膜上に

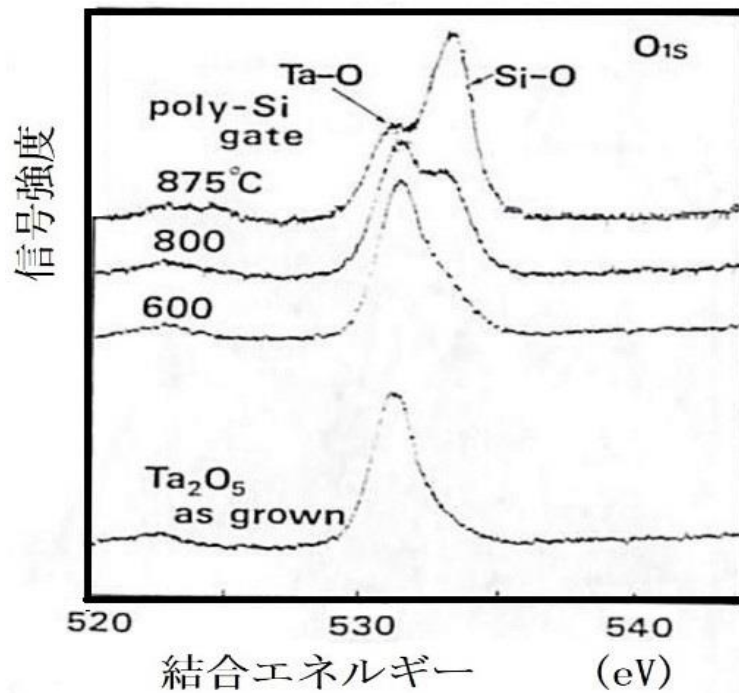


図 4-4 光電子分光法による分析多結晶シリコン/Ta₂O₅ の反応性評価

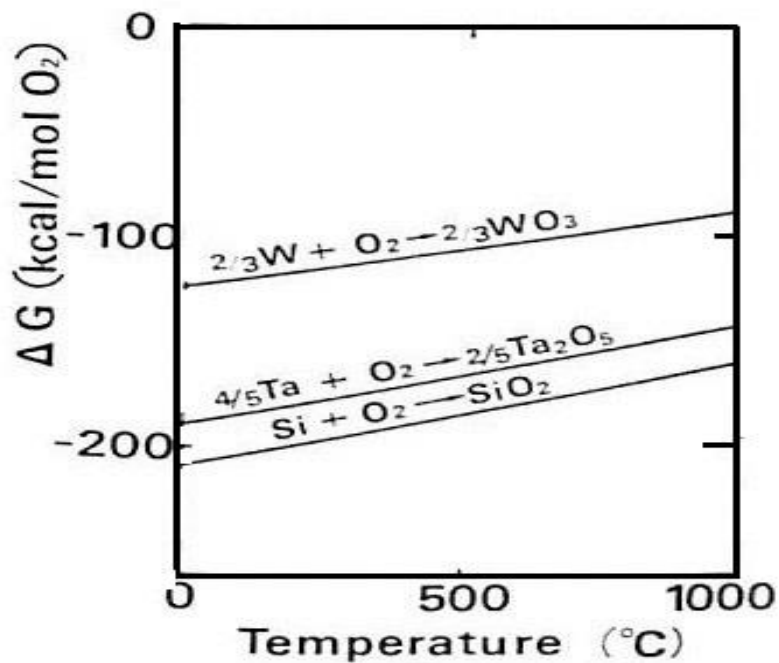


図 4-5 Ta₂O₅、SiO₂、WO₃ の生成の自由エネルギー

標準的な多結晶シリコンゲートプロセスに適用することはできない。しかしながら、構造(c)のキャパシタのように、下部電極である多結晶シリコンと Ta₂O₅

膜との間での化学反応は 1000 °C の熱処理によっても観察されなかった。図 3-2 の断面 TEM 写真に示すように、多結晶シリコンと Ta₂O₅ の界面には薄い SiO₂ 膜が Ta₂O₅ 膜の生成前に形成されている。この膜厚は約 2 nm であるが、Ta₂O₅ 膜と多結晶シリコンの反応を抑制していると考えられる。図 4-5 に示すように、Ta₂O₅、SiO₂、酸化タングステンの生成自由エネルギーが示されている [6]。SiO₂ は一番大きな自由エネルギーであり、酸化タングステンは最も小さい自由エネルギーである。Ta₂O₅ は Si に還元され、W には還元されない、従って、図 4-3 に示す様に、構造(a)のキャパシタの E_{OX} (SiO₂ 換算膜厚での電界強度) は、高温熱処理によって、上部電極である多結晶シリコンとの還元反応により低下する。一方、構造(c)のキャパシタでは、熱処理によってもタングステンと Ta₂O₅ 膜とは熱的に安定である。また、SiO₂ は Ta₂O₅ よりも自由エネルギーが大きいので、Ta₂O₅ 膜と電極である多結晶シリコンとの反応防止膜として効果があると思われる。一方、Ta₂O₅ 膜と多結晶シリコン上部電極間に CVD 法により形成した 3 nm の Si₃N₄ からなる反応防止膜を介在させた場合には、950 °C 以上の熱処理で E_{OX} は 7 MV/cm 以下に低下する。1000 °C の熱処理での E_{OX} の低下は Si₃N₄ 膜と Ta₂O₅ 膜の熱反応が原因と思われる。この低下はキャパシタ面積に依存しないことから、Si₃N₄ 膜のピンホールによるものでなく、Ta₂N 生成の自由エネルギーが Si₃N₄ 生成の自由エネルギーより大きいので、Ta₂N が形成されたことによると思われる [6]。金属性の Ta₂N の形成により、リーク電流が増加したものと判断できる。

上記の結果は、従来の高温プロセスを有する DRAM プロセスに適合する Ta₂O₅ キャパシタの構造として、二つの可能性が考案できる。第一の案は Ta₂O₅ 膜と上部多結晶シリコン電極間に極薄の反応防止膜を形成する。第二の案は Ta₂O₅ 膜と反応性の低いタングステンのような上部電極を適用する。図 4-3 記載のように、Ta₂O₅ 膜と多結晶シリコン上部電極間に CVD 法により形成した 4 nm の SiO₂ からなる反応防止膜を介在させた場合には、1000 °C の熱処理でも 8 MV/cm の E_{OX} がえられた。

注目すべき結果は、構造(d)の MIM 構造のキャパシタが MIS 構造のキャパシタと同様に 1000 °C の熱処理によっても、高い耐熱性を示したことである。MIM 構造のキャパシタの電気的特性は他機関よりも報告されている [7]、[8]。他機関からの報告でも、高い絶縁破壊強度が示されている。しかしながら、ウィークスポット酸化結晶化熱処理のような、欠陥を低減する工夫がないと、欠陥密度を低減することができず、Si 半導体素子に適用できるレベルの信頼性を実現するのは難しく、欠陥の低減が今後の課題である。また、Ta₂O₅ 膜を有するキャパシタを立体構造のメモリセルに適用をするには、CVD 法により金属電極、および、容量絶縁膜を形成する新しい技術が必要となる。

以上の結果は構造(b)、(c)、(d)の Ta₂O₅ キャパシタが DRAM の標準的な高温プロセスに適合できることがわかった。しかしながら、64 メガビット DRAM に向けた蓄積容量としては、構造(b)のように、反応防止膜を介在させる場合には、薄膜化が難しくなり、目標の容量が確保できない。従って、64 メガビット DRAM 以降では、構造(c)のタングステン電極等の金属電極をプレート電極とする Ta₂O₅ 膜を用いた蓄積容量構造と(d)のプレート電極、容量電極をいずれもタングステン等の金属電極とする構造の検討が必要になる。

4.6 Ta₂O₅ 膜を有するキャパシタの TDDB 特性評価

図 4-6 は TDDB 寿命の SiO₂ 換算膜厚での電界強度 E_{ox} によるストレス依存性について、SIS、MIS、MIM 構造について評価した結果である。SIS { CVD-Si₃N₄ (3 nm) / Ta₂O₅ (7 nm) / SiO₂ (2 nm) } 構造と MIS { Ta₂O₅ (10 nm) / SiO₂ (2 nm) } 構造のキャパシタは図 4-6 に示す様な楕円形構造の多結晶シリコン電極パターン上に形成されている。ライン幅とスペース幅それぞれ 1.5 μm と 1.0 μm である。下部電極である多結晶シリコンの膜厚は 0.3 μm であった。キャパシタ面積は 0.4 cm² であった。MIM 構造のキャパシタ { W / Ta₂O₅ (10 nm) / W } につ

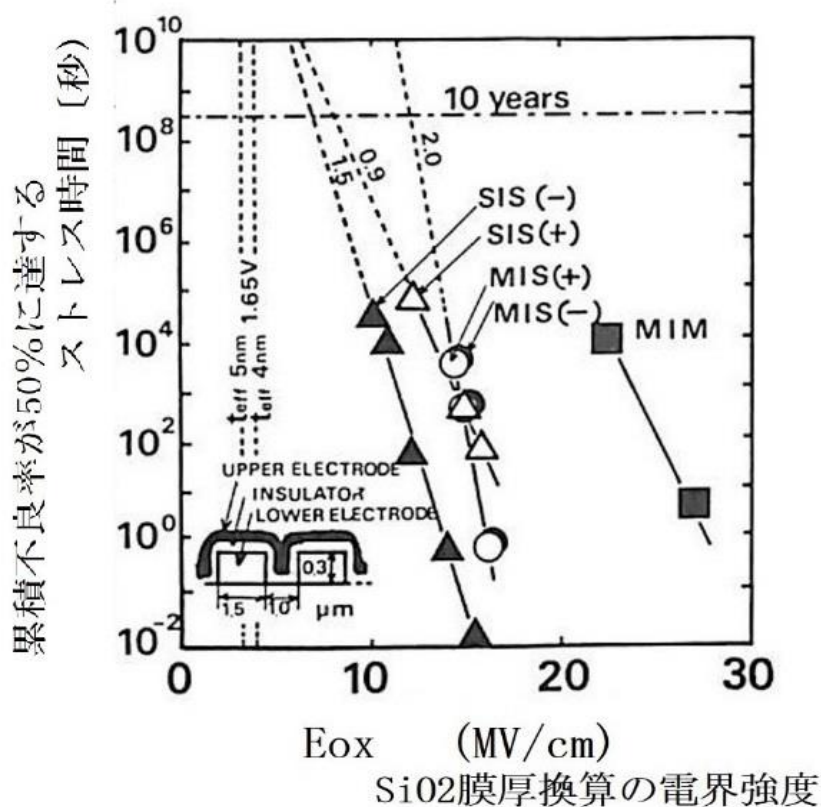


図 4-6 SIS, MIS, MIM 構造容量の TDDB 特性

いては、面積が 10^4 cm^2 であるプレーナ構造のキャパシタを用いた。MIM 構造のキャパシタの欠陥密度は $1000 / \text{cm}^2$ 以上であり、大面積のキャパシタ構造で TDDB の評価をすることはできなかった。TDDB 評価にはそれぞれのストレス条件当たり、20 ヶのキャパシタが用いられた。実際のデバイスの絶縁破壊寿命は絶縁破壊寿命のストレス電界強度依存の傾きより外挿して評価した。この傾斜は電界強度加速係数とする。SIS 構造（楕形パターン）のキャパシタの電界強度加速係数は負極性では、1.5 桁 cm/MV であり、正極性では 0.9 桁 cm/MV であった。一方、MIS 構造（楕形パターン）のキャパシタの電界強度加速係数は両極性ともに 2.0 桁 cm/MV であった。図 4-6 記載のように、SIS 構造のキャパシタの 1.65 V における絶縁破壊寿命は 10^{12} 秒（32000 年）と推定され、DRAM への適用には十分な信頼性があると判断できる。これらの結果は 16 メガビット DRAM, 64 メガビット DRAM などの三次元構造の DRAM への SIS, MIS 構造の適用可能性を保証するものである。MIM 構造のキャパシタは小面積で評価する場合には、高い絶縁破壊耐性を示している。これは Ta_2O_5 自身の真性の絶縁破壊特性を反映するものと判断できる。MIM 構造のキャパシタの欠陥密度を低減することができれば、大面積のキャパシタでも同様に良好な結果が得られることが期待できる。

4.7 SIS 構造キャパシタの積層容量型 DRAM への適用検討

図 4-7 は多結晶シリコンパターン上に形成された SIS 構造（多結晶シリコン

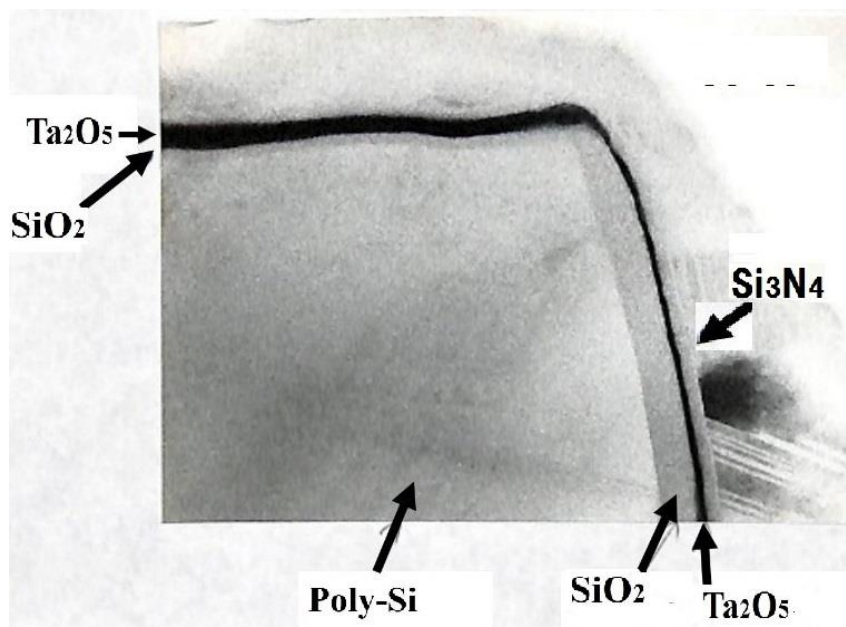


図 4-7 段差部における SIS 容量部の断面 TEM 写真

/Si₃N₄/Ta₂O₅/SiO₂/多結晶シリコン) のキャパシタの断面 TEM 写真である。Ta₂O₅ 膜の膜厚は平面部よりも側面部では薄い。対照的に Ta₂O₅ 膜の下層の SiO₂ 膜は平面部よりも側面部で厚くなっている。Ta₂O₅ 膜厚が減少するにつれて、乾燥酸素雰囲気での熱処理（ウィークスポット酸化結晶化工程）により、下層の SiO₂ 膜の膜厚は急速に増加する。この楕形パターンでのリーク電流は平面型キャパシタのリーク電流より多くなることはなかった。界面の SiO₂ 膜厚の増加により、キャパシタの下部電極側面に起因するリーク電流の増加は抑制されるためである。しかしながら、楕形構造の側面部に形成されるキャパシタにおいて、平面部と同等の容量を得ることは難しく、得られる容量は低下する。スパッター法による Ta₂O₅ 膜の段差被覆性が不十分なことによる。図 4-8 は多結晶シリコン楕形電極上に Ta₂O₅ 膜を形成した後、乾燥酸素雰囲気での熱処理を行った結果である。楕形電極の上部と側面では Ta₂O₅/SiO₂ の膜厚比が大きく異なることを示している。上面部では Ta₂O₅/SiO₂ (6 nm / 2 nm) であるが、側面部では Ta₂O₅/SiO₂ (1-2 nm / 10 nm) となっており、SiO₂ 膜厚換算 T_{ox} は 3.5 nm と 10 nm 相当になり、側面部の容量は 1/3 に減少してしまう。

したがって、今後の容量部の立体化係数を増加させる必要性を考慮すれば、反応性スパッターによる Ta₂O₅ 膜により容量を確保することは難しく、被覆性の良好な CVD 法が必須となる [9~11]。

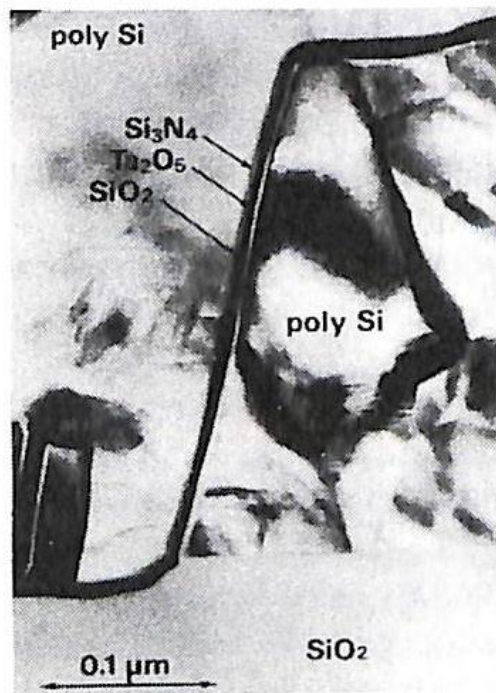


図 4-8 段差部におけるスパッター Ta₂O₅ 膜の被覆性断面 TEM 写真

64メガビットDRAMに向けた容量としては構造(c)の容量が有望であることがわかったが、従来の積層容量型DRAMへの Ta_2O_5 膜の適合性を評価するために、構造(b)の容量を用いて、従来の4層多結晶シリコンゲート積層型蓄積容量を有するDRAM製造プロセスへの適合性を評価することとした。図4-9は面積が $1.5\mu m \times 3.6\mu m$ のDRAMメモリセルの断面TEM写真である。このセルに容量絶縁膜として Si_3N_4/SiO_2 積層膜を用いた結果については、報告されている[12]。多結晶シリコン層はワード線、パッド、蓄積ノード、プレート電極に適用されている。この4層多結晶シリコンゲート積層容量型DRAMにおいて、パッドと蓄積容量部は酸化シリコンにより分離されており、ビット線に対してプレート電極とパッド間の寸法マージンを確保する必要はない。従って、ワード線のピッチを容易に縮小することができる[12]。SIS構造のキャパシタを適用する場合には、蓄積電極パターン上に Ta_2O_5 膜、CVD- Si_3N_4 膜を形成した後、多結晶シリコンからなるプレート電極を形成する。その後、パターニングして蓄積容量部が形成される。この際のエッチングにより、容量部以外の領域では Ta_2O_5 膜は完全に除去される。いくつかの遷移金属不純物がシリコン基板中に深いトラ

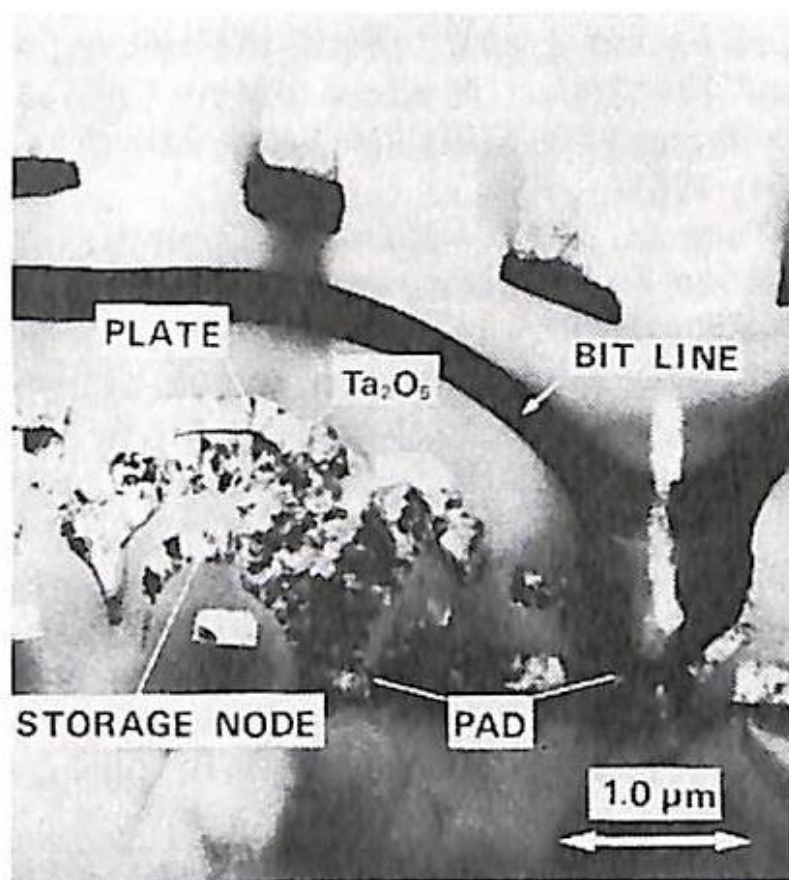


図4-9 Ta_2O_5 膜を蓄積容量部に用いたDRAMセルの断面TEM写真

ップ準位を形成することが報告されている [13]。特に、DRAM では十分なリテンション時間を確保するために、低い接合リーク電流が必要である。図 4-10 は容量絶縁膜として従来の $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を用いた STC CELL を有する DRAM 素子と $\text{Si}_3\text{N}_4/\text{Ta}_2\text{O}_5/\text{SiO}_2$ 積層膜を容量絶縁膜に用いた STC CELL を有する DRAM の n^+/p ウェルの拡散層の逆方向接合リーク電流-電圧特性を示している。いずれも約 14 V の耐圧が得られている。また、低電界でのリーク電流も同程度である。 p^+/n ウェル接合でも、良好な結果が得られた。

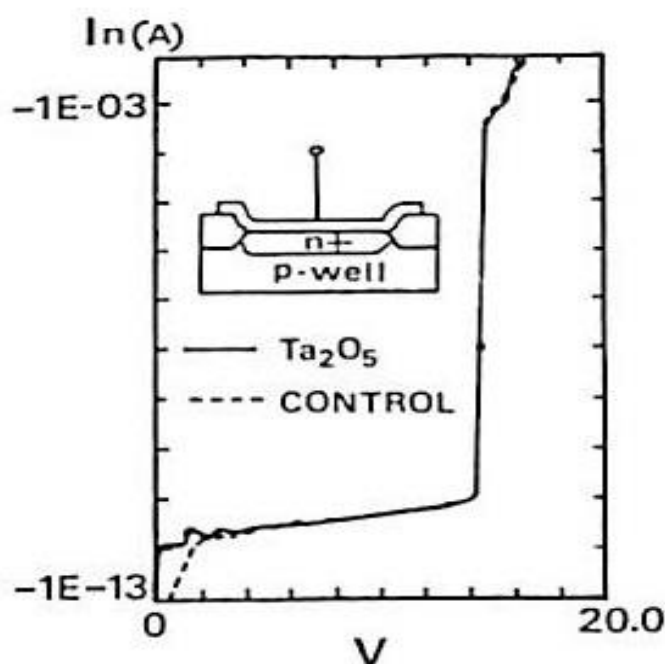


図 4-10 N+P ウェル接合の逆バイアス I-V 特性

図 4-11 は n -チャネルアクティブトランジスタの静特性およびサブスレッシュホールド特性を示す。チャネル長は $1.2\ \mu\text{m}$ 、チャネル幅 $10\ \mu\text{m}$ であった。なお、 n -チャネルアクティブトランジスタでは基板電圧 (V_{bb}) は -3V にしている。 n -チャネルアクティブトランジスタの静特性、しきい値電圧 (V_{th}) は良好な結果が得られており、 Ta_2O_5 膜を導入しても、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を用いた場合と遜色はない。

従って、 Ta_2O_5 膜を DRAM プロセスに導入しても、 Ta の汚染による接合特性、MOSFET 特性への影響がないことが検証できた。また、メモリ特性としては 270 チップ中 32 チップで全ビット動作を確認した。これは、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層膜を用いた場合に、90 チップ中 12 チップで全ビット動作を確認しており有意差はなく、 Ta_2O_5 を導入することによるメモリ特性への悪影響はないと判断した。

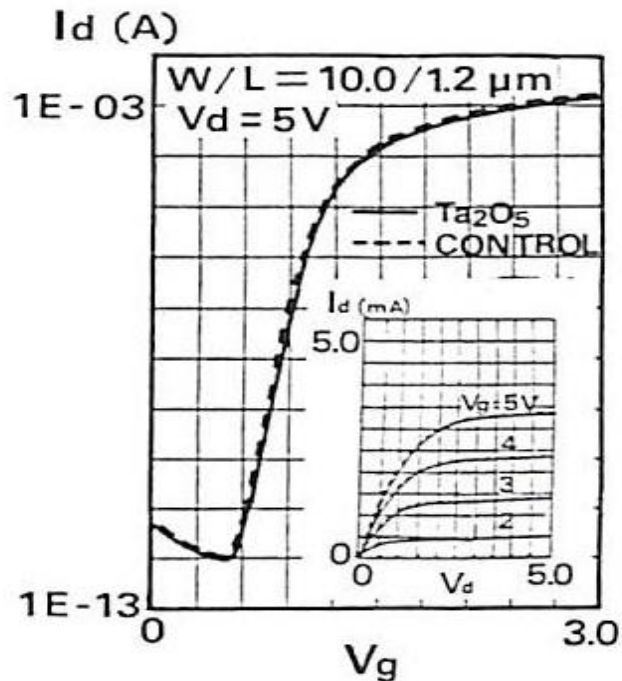


図 4-11 NMOSFET のサブスレッシュホールド特性

4.8 光誘起ライフタイム測定による Ta 汚染評価

Ta₂O₅ 膜を従来の DRAM プロセスに適用するにあたり、Ta₂O₅ 起因の汚染が懸念された。このため、光誘起ライフタイム測定により汚染評価を行った。シリコン基板に光照射によりキャリアを誘起し、シリコン基板中のキャリアの寿命をマイクロ波を用いて測定した。キャリアの寿命が長いほど汚染が少ないと判定できる。測定用試料は以下の二種類のものについて行った。

- ① Ta₂O₅ 膜の投入されていない炉体中に AP 洗浄を行った Si ウエハーを投入して 1000 °C、60 分の乾燥酸素雰囲気中で熱処理を行った。
- ② Ta₂O₅ 膜が形成されているウエハーとともに、AP 洗浄を行った Si ウエハーを投入して 1000 °C、60 分ドライ酸化を行った。

以上の二種の試料について得られた結果を表 4-1 に示す。2 種の試料についてはライフタイムの有意差はないことがわかった。W のような場合には、この

表 4-1 Ta₂O₅ による汚染評価

作製条件	ライフタイム (300K)	ライフタイム (500K)
Ta ₂ O ₅ 膜投入前 熱酸化 (55nm)	66.05 μs	80.65 μs
Ta ₂ O ₅ 膜投入後 熱酸化 (60nm)	50.53 μs	90.44 μs

ような評価方法によってもライフタイムが著しく短時間となることがわかっている。この結果は熱力学データからも支持される。1000 °Cでの蒸気圧はSiO₂が10⁻²⁷気圧であるのに対して、Ta₂O₅は10⁻²³、WO₃は10⁻¹³である。従って、高温酸化プロセスにおいても、Ta₂O₅の蒸気圧が低いことにより、Ta₂O₅が蒸発して、シリコン基板を汚染し、ライフタイムが短時間化させられることは無いと予測できる。

4.9 まとめ

64メガビットDRAMを実現するために、Ta₂O₅を有する蓄積容量部の構造として、以下の構造について検討した。

- (I) 多結晶シリコン/SiO₂/Ta₂O₅/SiO₂/多結晶シリコン (SIS)
多結晶シリコン/Si₃N₄/Ta₂O₅/SiO₂/多結晶シリコン (SIS)
- (II) タングステン/Ta₂O₅/SiO₂/多結晶シリコン (MIS)
- (III) タングステン/Ta₂O₅/タングステン (MIM)

64メガビットDRAMではメモリセルの縮小に加えて、電源電圧を低減することから、より大きな立体化係数 α が必要となる。1.1節に示す様に、容量絶縁膜がスケーリング則に従って、電源電圧の低減(3.3V:16メガビットDRAM, 1.5V:64メガビットDRAM)に比例して薄膜化できたとしても、立体化係数 α は3倍にする必要があり、より立体化された積層容量型メモリセルが必要となる。良好なリテンション特性に必要な低いリーク電流を確保できる条件では、1.5V電源電圧の64メガビットDRAMについては、SiO₂換算膜厚3nmのMIS構造、SiO₂換算膜厚2.0nmのMIM構造が適用できる可能性を示した。64メガビットDRAMでは、スケーリング則に従って、容量絶縁膜を薄膜化する場合にはSiO₂換算膜厚3nmの容量絶縁膜が必要となる。従って、MIS構造によれば、通常のスケーリング則に従う薄膜化が可能であり、MIM構造であれば、それ以上の薄膜化ができるので、立体化係数を小さくすることができる。また、これらのキャパシタ構造は1000°C、30分の耐熱性があり、これらのキャパシタ構造を用いても、従来のDRAM製造に使われている高温プロセスを用いて、64メガビットDRAM以降のDRAMの製造に適用できる。従来のDRAMプロセスへのTa₂O₅膜を用いた蓄積容量の互換性を、16メガビットDRAM用の4層多結晶シリコンゲート積層容量型DRAMプロセスへSIS構造の蓄積容量構造を適用することにより確認することができた。Ta₂O₅膜を有するキャパシタを蓄積容量に用いたDRAMにおけるMOSFET、p-n接合特性はSi₃N₄/SiO₂膜を容量絶縁膜とし

て用いた DRAM の MOSFET、p-n 接合特性より劣ることはなかった。 Ta_2O_5 膜を導入しても、 Ta_2O_5 起因の汚染によりデバイス特性が影響を受けることがないことを示すものである。

従って、MIS 構造のキャパシタが 64 メガビット積層容量型メモリセルの容量として最も有力と考える。しかしながら、反応性スパッターによる Ta_2O_5 膜は立体化係数の高いスタック型容量に適用するのは難しく、被覆性の良好な CVD 法に置き換えることが必要である。CVD 技術の開発については、5 章にて示す。

また、256 メガビット DRAM 以降の高集積化にむけては、MIM 構造で実現できる SiO_2 換算膜厚 2.0 nm の薄膜化が必要となることから、MIM 構造の信頼性を改善することが必要となる。

4.10 参考文献

- [1] H. Shinriki, Y. Nishioka and K. Mukai, "Highly reliable $\text{Ta}_2\text{O}_5/\text{SiO}_2$ double dielectric films on poly-crystalline silicon," in Extended abstract 19th Conf. on Solid State Devices and Materials, p.215. 1987.
- [2] H. Shinriki, T. Kisu, S. Kimura, Y. Nishioka, Y. Kawamoto and K. Mukai, "Promising Storage Capacitor Structures with Thin Ta_2O_5 Film for Low-Power High-Density DRAM's" IEEE Transactions on Electron Devices Vol.ED-37, No.9, September
- [3] Y. Nishioka, N. Honma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta, and K. Ogiue, "Ultra-thin Ta_2O_5 dielectric film for high-speed bipolar memories," IEEE Trans. Electron Devices, vol. 34, pp. 1957-1962, 1987.
- [4] J. Yugami, T. Mone, S. Iijima, and A. Hiraiwa, "Inter-poly $\text{SiO}_2/\text{Si}_3\text{N}_4$ capacitor films 5 nm thick for deep submicron LSIs," in Extended abstract 20th Conf. on Solid State Devices and Materials, (Tokyo, 1989) pp.173-176.
- [5] S. Kimura, Y. Nishioka, A. Shintani and K. Mukai, "Leakage-current increase in amorphous Ta_2O_5 films due to pinhole growth during annealing below 600°C," J. Electrochem. Soc., vol. 133, p.1405, 1986.
- [6] T. B. Read, Free Energy of Formation of Binary Compounds. Cambridge, MA: MTP Press.
- [7] K. Yamada, "Thermodynamical approach to a new high dielectric capacitor structure: $\text{W}/\text{HfO}_2/\text{W}$," in Extended abstract 18th Conf. on Solid State Devices and Materials, (Tokyo, 1986) pp.257-260.
- [8] C. Hashimoto, H. Okikawa, and N. Honma, "Leakage current reduction in thin Ta_2O_5 films for high-density VLSI memories," IEEE Trans. Electron Devices, vol.

36, no. 1, pp. 14-18, 1989.

- [9] M. Matui, S. Oka, K. Yamagishi, K. Kuroiwa, and Y. Tarui, "Photo Process of Tantalum oxide films and their characteristics," *Japan J. Appl. Phys.*, vol. 27, no. 4, pp. 506-511, 1988.
- [10] M. Saito, T. Mori, and H. Tamura, "Electrical Properties of thin Ta₂O₅ films grown by chemical vapor deposition," in *IEDM Tech. Dig.*, pp. 680-683, 1986..
- [11] H. Shinriki and M. Nakata, "UV-O₃ and Dry-O₂: Two-Step Annealed Chemical Vapor-Deposited Ta₂O₅ Films for Storage Dielectrics of 64-Mb DRAM's" *IEEE Transactions on Electron Devices* Vol.ED-38, No.3, March p.455, 1991.
- [12] .S. Kimura, Y. Kawamoto, N. Hasegawa, A. Hiraiwa, M. Horiguchi, A. Aoki, T. Kisu, and H. Sunami, "A 5.4 μm^2 stacked capacitor DRAM cell with 0.6 μm^2 quadruple-polysilicone-gate technology," in *Extended abstract 19th Conf. on Solid State Devices and Materials*, 1987.
- [13] S. A. Hocine and D. Mathiot, "Titanium diffusion in silicon," *J. Appl. Phys. Lett.*, vol.53, no.14, pp.1269-1271, 1988.

第 5 章 二段階熱処理による CVD-Ta₂O₅ 膜の開発と 64 メガビット

DRAM への適用

5.1 緒言

3 章では、多結晶シリコン上に形成したスパッター Ta₂O₅ 膜を乾燥酸素雰囲気での熱処理工程（ウィークスポット酸化結晶化工程）により形成した Ta₂O₅/SiO₂ 積層膜により、64 メガビット DRAM 素子に必要な SiO₂ 換算膜厚 3 nm の容量絶縁膜に必要とされる絶縁耐圧、高信頼性を実現しうると確信することができた [1]。また、4 章では、既に確立されている 16 メガビット DRAM プロセスにおいて、容量絶縁膜として用いられている Si₃N₄/SiO₂ 積層膜を Ta₂O₅ 膜を含む容量絶縁膜に置き換えることにより、16 メガビット DRAM 積層容量型メモリセル (STC CELL : Stacked Capacitor Cell) を試作し、良好なメモリ特性、及び、全ビット動作を確認した。Ta₂O₅ 膜を 16 メガビット DRAM プロセスに導入しても、メモリ特性に悪影響を与えることはなかった [2]。積層容量型メモリセルを形成した後、1000 °C までの高温プロセスを経てもキャパシタ特性、デバイス特性の劣化はなく、良好なメモリ動作を得ることができた。Ta₂O₅ 膜を有するキャパシタは 16 メガビット DRAM プロセスで使われる高温プロセスに適合することが確認できた [2]。

しかしながら、反応性スパッターによる Ta₂O₅ 膜を積層容量型メモリセルの多結晶シリコン電極上に形成する場合には、側面部での被覆性が低いために、多結晶シリコン電極の側面では Ta₂O₅/SiO₂ 膜の Ta₂O₅ 膜の膜厚が薄くなるとともに、界面 SiO₂ 膜厚が厚くなり、容量が低下する。従って、王冠型容量電極を有するメモリセル [3] を適用したとしても、64 メガビット DRAM に必要とされる蓄積電荷量を確保するのは難しい。従って、被覆性の良好な Ta₂O₅ 膜の形成技術の確立が重要な課題となった。

図 5-1 は孔部に薄膜を堆積した場合の形状を断面模式図により示している。孔の中に均一に薄膜を形成するには、平面部と段差部での原料ガスの到達確率の違いによる生成膜厚の差を補う機構が必要である。図 5-1 (a) では、堆積する粒子の平均自由行程が、孔の直径に比べて大きいスパッター法などの膜形成により得られる形状を示している。この場合には、膜形状は堆積速度粒子の入射角度 δ に依存する到達確率に依存する。従って、孔の深い部分での堆積膜厚は薄くなる。図 5-1 (b) では、粒子の平均自由行程が、孔の大きさに比べて短く、反応種あるいは、反応中間生成物が容易に孔内に拡散し、吸着後に表面反応律速過程により膜形成することにより、到達確率の違いを解消できる場合に得られる形

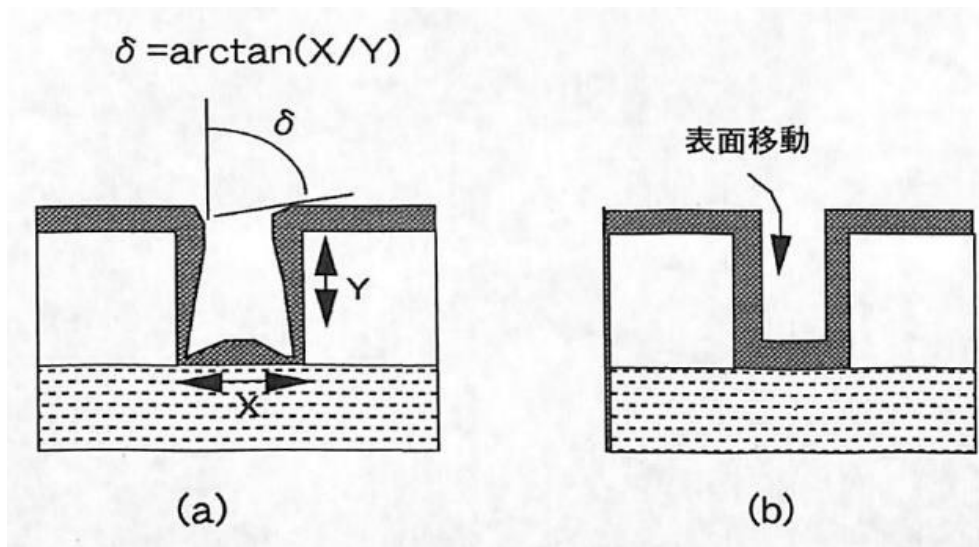


図 5-1 成膜方法による孔部被覆性モデル

状である。あるいは、吸着後に速い表面移動が起こり到達確率の違いが解消される場合にも、良好な被覆形状が得られる。例えば、TEOS (Tetra-etoxy-silane)を用いた減圧 CVD 法による SiO_2 膜の形成において、基板に吸着した TEOS が表面で多量体化し、表面移動しながら膜となる場合に、良好な被覆性を示す。

従って、 Ta_2O_5 膜の CVD 法による成膜においても、原料ガスの選択、形成方式の選択が良好な被覆性実現のため重要となる。減圧 CVD 法による酸化タンタル膜の堆積方法としては、タンタルアルコキシドの熱分解が知られている [4]。タンタルアルコキシドの熱分解は比較的低温で生じ、アモルファス構造の酸化タンタル膜が得られる [4]。しかしながら、半導体素子に適用するには十分な絶縁性が得られない [4]。これを解決するために、1.3.2 節に示した様に、以下の方法が提案されている。

- (1) タンタルアルコキシドを用いた減圧 CVD 法において、反応ガスとしてチタンアルコキシドを添加し、形成された酸化タンタル膜中にチタンを微量に添加する [5]。
- (2) TaCl_5 やタンタルアルコキシドと酸素源となるガスを用い、紫外線照射下で成膜する [6,7]。

酸化タンタルは酸素が不足した状態となりやすい。酸素不足により生成される酸素欠陥により、図 5-2 に示すサブバンドが形成され、サブバンドを経由する伝導電子により絶縁性が低下するモデルが想定できる。従って、上記の生成方法は絶縁性を改善できることを示すことから、ドナー準位の原因となる酸素欠陥を減少する効果があると考えられる。(1) の方法では、価数の低い元素を導入することで、酸素欠陥の発生を防止する。また、(2) の方法は酸素を紫外光照射に

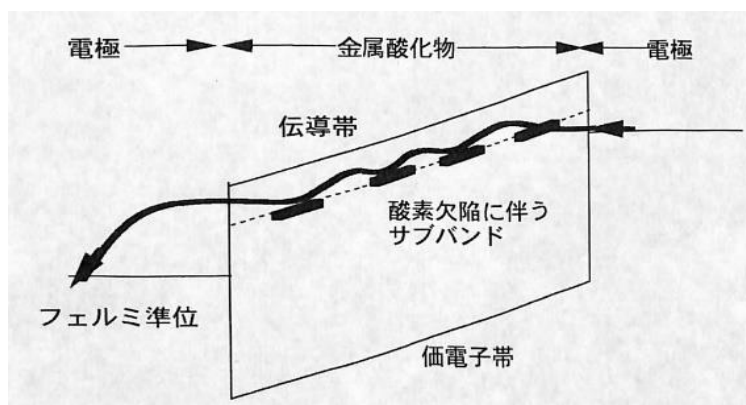


図 5-2 酸素欠陥に伴うサブバンドの二次元バンド構造概念図

より活性化することにより、成膜中での酸素欠陥の発生を抑制しているものと考えられる。

本章では、アルコキシドを用いた場合の酸化タンタル膜の良好な被覆性に注目し、成膜後の熱処理方法を工夫することで、被覆性と絶縁性を両立させることが可能な製造方法について報告する。アルコキシドを用いた減圧 CVD 法により形成した Ta_2O_5 膜を活性な酸素を有する雰囲気中で熱処理を行うことにより、 SiO_2 換算膜厚 3 nm の領域において、反応性スパッター Ta_2O_5 膜と遜色のないレベルにリーク電流を低減できた [8,9]。この報告以前には、被覆性の良好な減圧 CVD 法により、多結晶シリコン上において 64 メガビット DRAM に必要な SiO_2 換算膜厚 3 nm の容量絶縁膜を、必要とされるリーク電流レベルまで低減しながら、良好な被覆形状で形成することに成功したという報告はなかった。また、減圧 CVD 法による Ta_2O_5 膜を形成する方法は量産性に優れるという利点もある。

5.2 CVD- Ta_2O_5 容量絶縁膜形成方法

2.3.2 節において、CVD による Ta_2O_5 膜形成方法について示した。本節では、CVD- Ta_2O_5 膜を形成後の熱処理方法、および、評価方法について示す。

5.2.1 UV- O_3 処理装置

図 5-3 は UV- O_3 , UV- O_2 , O_3 処理に用いた装置の模式図である。酸素ガスをオゾン生成器に導入し、9 体積%濃度のオゾン/酸素混合ガスが生成される。このオゾンガスを熱処理室に導入し、紫外線が照射しながら熱処理を大気圧で行った。紫外線は水銀ランプであり、主に 185, 254 nm の紫外線を発生する。 Ta_2O_5 膜が形成された基板は 300 °C に加熱した。基板上の光強度は 100 mW/cm² である。オゾンは紫外線により励起され、活性な酸素原子が発生する。この装置は

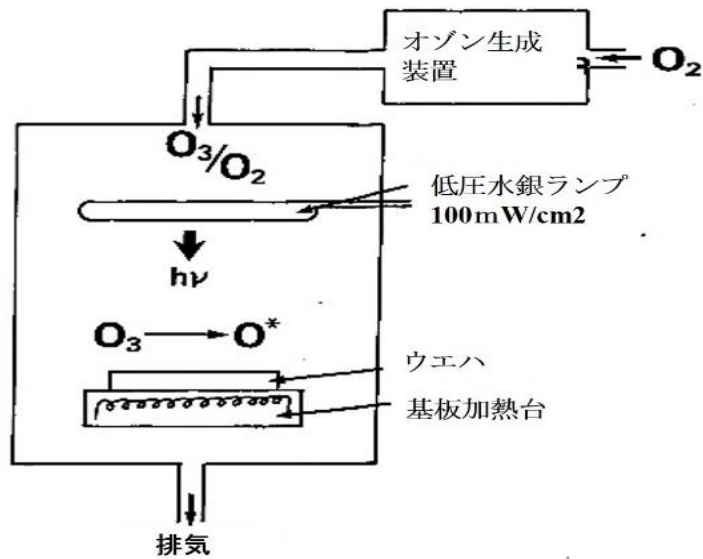


図 5-3 UV-オゾン処理装置の断面模式図

UV-O₂, O₃ 処理プロセスにも適用された。

5.2.2 Ta₂O₅ キャパシタ製造工程

図 5-4 は Ta₂O₅ 膜の電気的特性を評価するための Ta₂O₅ キャパシタの製造方法を示している。高濃度 n 型にドーパされた多結晶シリコンによる下部電極をパターンニングした後、Ta₂O₅ 膜形成前に多結晶シリコン表面を RCA 洗浄した。洗浄時に生成した約 1 nm のケミカル酸化膜を残したまま、減圧 CVD 装置に基板を導入し、Ta₂O₅ 膜を形成した。成膜後に図 5-4 に示す熱処理を行った。アニール方法 (a) は高濃度の O₃ ガス雰囲気の水銀ランプによる紫外線照射しながら熱処理を 300 °C で行う (以後、UV-O₃ 処理と記載する)。アニール方法 (b) はウィークスポット酸化結晶化熱処理 (800 °C の乾燥酸素熱処理) である。2、3 章においてウィークスポット酸化結晶化熱処理については詳細に報告しているが、結晶化と酸化が同時に行われる処理といえる。アニール方法 (c) は UV-O₃ 処理後に、更に、ウィークスポット酸化結晶化熱処理を行う二段階熱処理である (以後、二段階熱処理 (2-step anneal) と記載する)。これらの熱処理以外に、酸素雰囲気での UV 照射 (UV-O₂) 熱処理、O₃ (オゾン) 処理等についても比較評価を行った。Ta₂O₅ の膜厚は 7-30 nm について評価した。膜厚は屈折率 2.0 と仮定して、エリプソメトリーにより測定した。これらの熱処理後に、タングステン電極をスパッター法により形成し、SF₆ ガスによるドライエッチングによりパターンニングした。

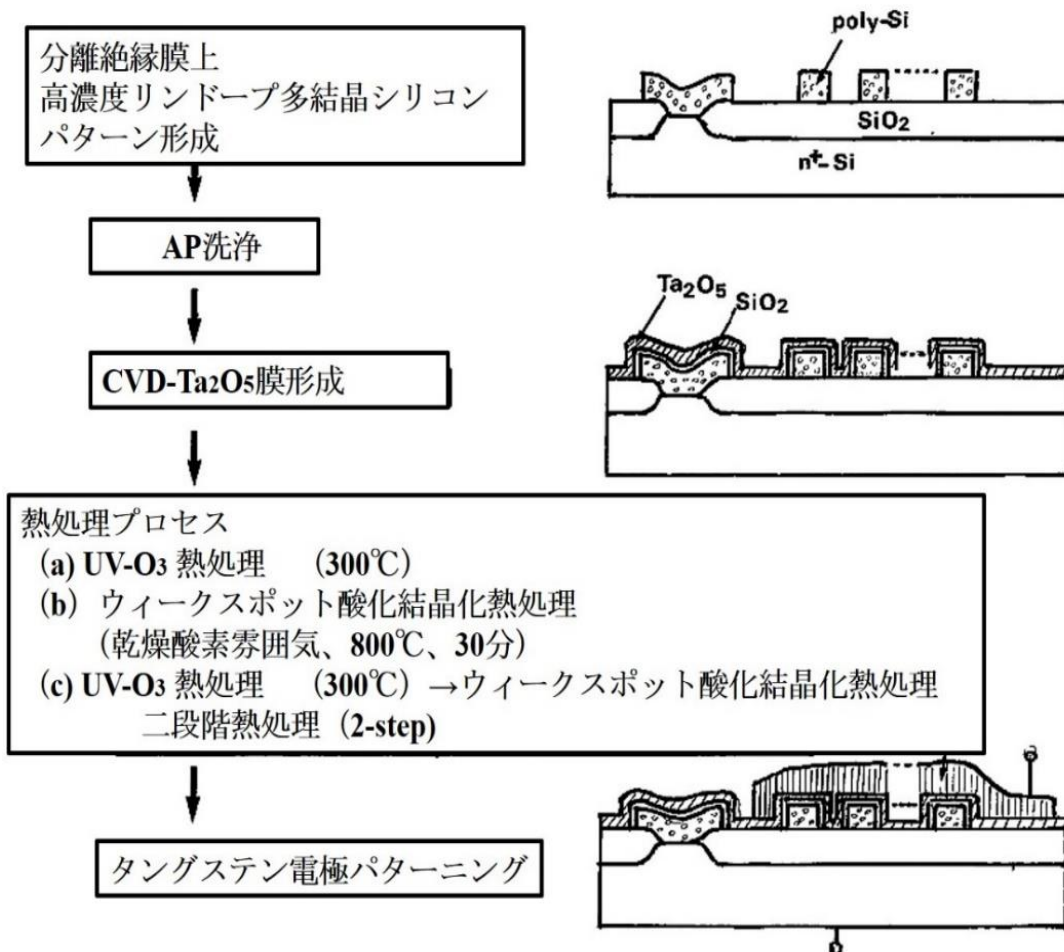


図 5-4 CVD-Ta₂O₅ キャパシタ製造方法

5.2.3 Ta₂O₅ 膜の評価方法

① 被覆性評価、断面構造評価

Ta₂O₅ 膜のトレンチ部への被覆性、メモリ素子の断面構造は走査型電子顕微鏡（以下、断面 SEM: Scanning Electron Microscope）により評価。STC メモリセルでの容量絶縁膜の被覆性は透過電子顕微鏡（以下、断面 TEM: Transmission Electron Microscope）により評価。

② 不純物分析評価

熱処理前後の Ta₂O₅ 膜中の不純物（炭素、水素）分布はオージェ電子分析法二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）により評価。

③ 電流－電圧特性評価

リーク電流は電圧ステップ 0.1 V の DC ステップ法（ホールド時間 0.1 秒）により評価。SiO₂ 換算膜厚 T_{ox} での電界強度 E_{ox} はリーク電流が 10^{-8} A/cm² となる電界強度と定義した。評価に用いた容量は平面構造であり、容量の面積は 10^{-4} cm² である。

④ 容量評価

容量メータにより 100 KHz の周波数にて測定した。

⑤ 信頼性評価

DRAM 等の素子への適用の可否を判断するために、楕形が多結晶シリコン電極であり、ライアン幅 / ライン間隔は $1.5 \mu\text{m} / 1.0 \mu\text{m}$ 、プレート電極の面積： 0.5 cm^2 、25～30 ヶの容量の累積不良率を評価。また、 10^{-6} cm^2 の微小面積のキャパシタは欠陥密度の影響を除き、真性の絶縁破壊特性の評価に用いた。

5.3 CVD 法による Ta₂O₅ 膜の被覆性

図 5-5 (a) は CVD-Ta₂O₅ 膜の被覆性を示す断面 SEM 写真である。シリコン基板に $1 \mu\text{m}$ 深さ、 $1 \mu\text{m}$ 直径のトレンチを形成し、その上に CVD-Ta₂O₅ 膜を $0.1 \mu\text{m}$ 形成している。極めて良好な被覆性（ほぼ 100 %）を示しており、表面反応律速により Ta₂O₅ 膜が形成されることを示している [8,9]。

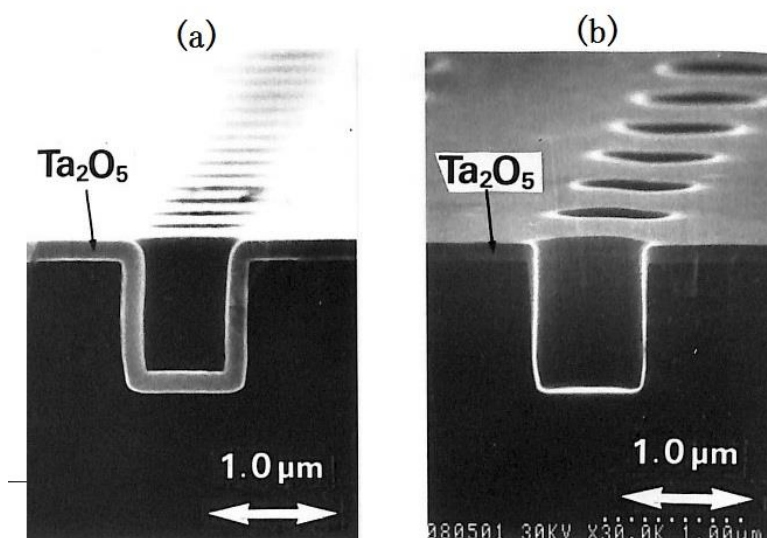


図 5-5 被覆性評価（断面 SEM 写真）
(a) : CVD (b) : 反応性スパッター

一方、図 5-5 (b) は反応性スパッター法により形成した Ta₂O₅ 膜の被覆性を示す断面 SEM 写真である。トレンチの側壁に形成される Ta₂O₅ 膜は極めて薄

く、トレンチの底には成膜されていない。従って、次世代の立体型蓄積容量へ適用を進めるには、被覆性の良好な CVD- Ta_2O_5 を選択する必要がある。64 メガビット DRAM の積層容量型 DRAM メモリセルで想定する蓄積容量部の形状は多数の円筒が林立した王冠型形状（直径約 $1\ \mu\text{m}$ ）であり [3,9]、多数の円筒への内表面への反応ガスの入射は、多数のトレンチ（直径約 $1\ \mu\text{m}$ ）が集積した表面に対する場合と同等とみなせる。CVD 膜であれば、64 メガビット DRAM 以降の高集積化された積層型 DRAM メモリ素子の蓄積容量部にも均一な膜厚で多結晶シリコンからなる蓄積電極表面を被覆できる。

図 5-6 は粗面化多結晶シリコン上に CVD 法により Ta_2O_5 膜を形成した状態を示す断面 TEM 写真である。粗面化多結晶シリコンは多結晶シリコン電極表面が半球状の凹凸状態にすることで、多結晶シリコン表面の面積を倍増させて、容量を倍増させることができる。従って、容量絶縁膜はその半球状の多結晶シリコン表面に均一に形成することが必要となる。CVD 法による膜厚約 $10\ \text{nm}$ の Ta_2O_5 膜が均一に形成されていることがわかる。粗面化多結晶シリコン電極と CVD- Ta_2O_5 膜の組み合わせは、256 メガビット DRAM 製品に適用された。

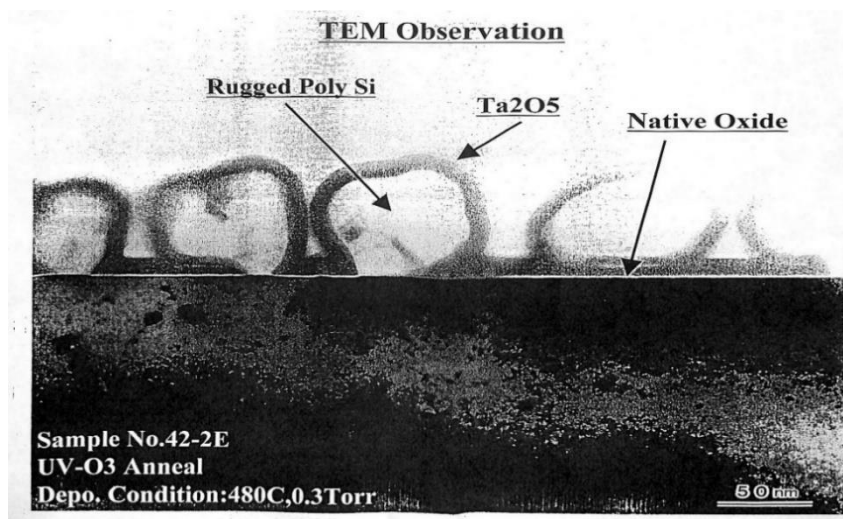


図 5-6 粗面化多結晶シリコン上の CVD- Ta_2O_5 膜の断面 TEM 写真

5.4 CVD- Ta_2O_5 膜の乾燥酸素雰囲気熱処理の効果

CVD- Ta_2O_5 膜形成のための原料としては、 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ (Penta-ethoxy-tantalum) を用いているので、膜中に多量の炭素が混入することが懸念される。一方、スパッター膜は高真空状態において、タンタルターゲットを Ar-O_2 ガスでスパッターして形成しているので、本質的に炭素の混入はない。表 5-1 はオージェ電子分光

表 5-1 オージェ電子分光による Ta₂O₅ 膜組成の乾燥酸素熱処理依存性

ピーク強度比	CVD 420℃	CVD 600℃	CVD 800℃	CVD 1000℃	スパッター 800℃
C/Ta	0.41	0.29	0.30	0.22	0.21
O/Ta	0.97	1.0	0.98	0.98	1.03

により炭素原子の深さ方向の元素プロファイルの熱処理温度依存性を測定した結果である。ただし、CVD-Ta₂O₅ 膜は 420 °C で形成し熱処理を行っている。420 °C の条件が成膜時の温度であり、成膜後の熱処理は行っていない。

ここでは、膜表面に吸着した炭素の影響を避けるために、膜表面を 1 分間スパッターした後、得られたタンタルピークと炭素ピーク強度比、タンタルピークと酸素ピーク強度比を示している。CVD 膜では形成後の乾燥酸素雰囲気での熱処理温度が 420, 600, 800, 1000 °C と高くなるにつれ、炭素が減少する。特に、600 °C 以上の熱処理で急激に減少することがわかる。1000 °C での熱処理後はスパッター膜から検出される炭素ピーク強度と同程度の値を示す。膜中に混入したアルキルタンタル基が熱処理温度の上昇とともに分解、脱離したものと考えられる。TDS による脱離ガス分析では、炭化水素の脱離は 500-650 °C の温度範囲で起こり、主な脱ガスは CH₄ と H₂O である。スパッター膜では O/Ta 比が CVD 膜より高く、C/Ta 比が低い。従って、CVD 膜においても、O/Ta 比を増加させ、C/Ta 比を下げる必要がある。

熱処理に伴い、CVD-Ta₂O₅ 膜の膜厚が収縮する。図 5-7 は CVD-Ta₂O₅ 膜を

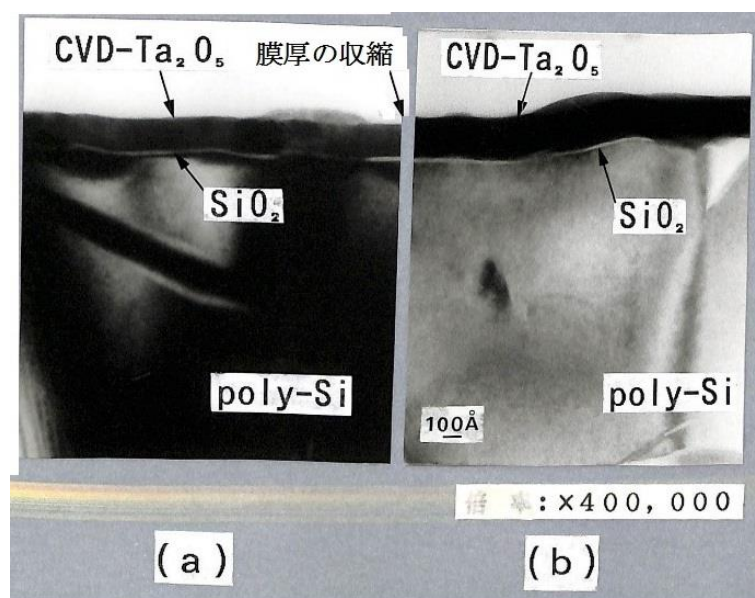


図 5-7 800 °C 乾燥酸素熱処理前後の断面 TEM 写真

(a) 熱処理後 (b) 熱処理前

形成した後、乾燥酸素熱処理前後の断面 TEM 写真である。左右の写真に Ta_2O_5 膜の膜厚の差から、熱処理により CVD- Ta_2O_5 膜の膜厚は約 20 % 収縮したものと推定できる。2.5.2 節にて報告したように、スパッター Ta_2O_5 膜、CVD- Ta_2O_5 膜の膜厚が同じ容量になるように膜厚を定めると、それぞれ 6 nm, 13 nm となるが、CVD 膜は熱処理で収縮して約 10 nm となると推定できる。

図 5-8 は SiO_2 換算膜厚で 3.4 nm となる CVD- Ta_2O_5 と反応性スパッター Ta_2O_5 膜の熱処理前と 800 °C の乾燥酸素熱処理を行った場合（ウィークスポット酸化結晶化熱処理）の両極性の電流-電圧特性を示している。I-V 特性 (a) ⁺, (a) ⁻ は CVD- Ta_2O_5 膜に乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行なった場合、I-V 特性 (b) ⁺, (b) ⁻ は CVD- Ta_2O_5 膜に 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行わなかった場合を示している。I-V 特性 (c) ⁺, (c) ⁻ はスパッター Ta_2O_5 膜に 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行なった場合、I-V 特性 (d) ⁺, (d) ⁻ はスパッター Ta_2O_5 膜に 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行わなかった場合を示している。熱処理を行わなかった場合には、スパッター Ta_2O_5 膜、CVD- Ta_2O_5 膜とも非晶質であり、両極性の I-V 特性の差異は小さく、バルク制限型の伝動機構とみなせる。CVD- Ta_2O_5 膜は熱処理を行わなかった場

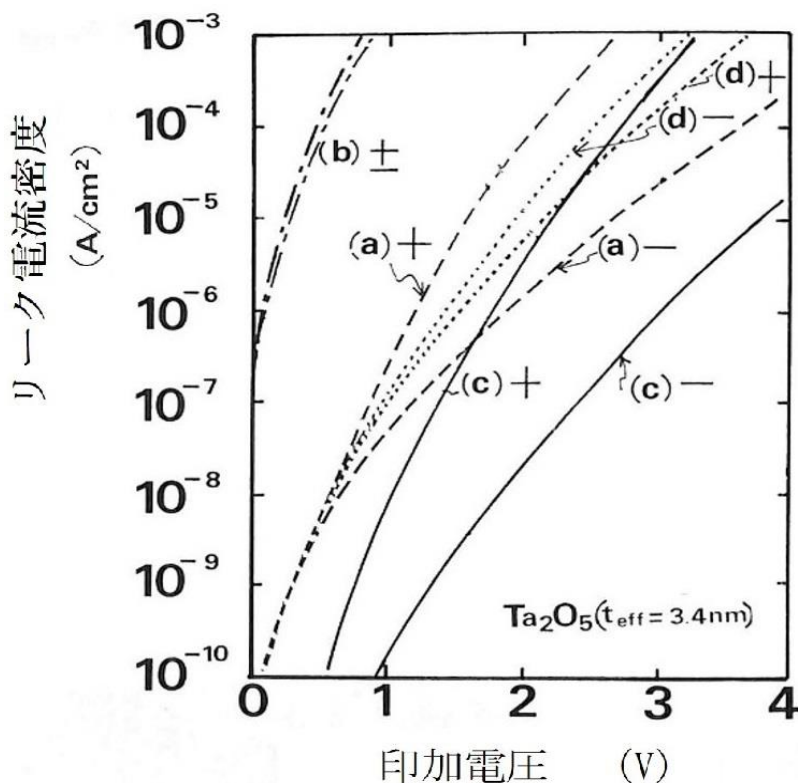


図 5-8 乾燥酸素熱処理前後 I-V 特性
(a)、(b) CVD (c)、(d) スパッター

合には、極めてリーク電流が多く、スパッターTa₂O₅膜よりも4-5桁高いリーク電流である。ウィークスポット酸化結晶化熱処理を行った場合には、いずれもリーク電流は低減するものの、CVD-Ta₂O₅膜のリーク電流は熱処理を行わないスパッターTa₂O₅膜のリーク電流レベルまでしか改善されない。一方、スパッターTa₂O₅膜ではウィークスポット酸化結晶化熱処理により、正極性ではリーク電流は1桁程度減少し、負極性では3桁程度の大幅な低減がみられる。2.5.4節に示すように、正極性の伝導機構が界面のSiO₂膜に依存するようになるのに対し、負極性ではTa₂O₅膜自体のバルク制限型伝導特性の改善によりリーク電流が低減するためと思われる。負極性でのリーク電流の低減はスパッターTa₂O₅膜が800℃の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）により結晶化されることにより、更に、トラップが減少し、リーク電流の少ない膜質に改善されたことを示唆している。

図2-13、図5-8で得られた結果をまとめる。

- ① SiO₂換算膜厚3nmの領域ではCVD-Ta₂O₅膜のToxは熱処理無し、乾燥酸素熱処理温度600℃、800℃で一定である。
- ② CVD-Ta₂O₅膜（13nm, 40nm）のEoxは熱処理無し、乾燥酸素熱処理温度600℃、800℃の熱処理によっても、スパッターTa₂O₅膜のEoxより低い。一方、スパッターTa₂O₅膜（6nm）のEoxは高い値を維持し、800℃で最大となる。

従って、CVD-Ta₂O₅膜のEoxは、800℃の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）の有無によらず、スパッターTa₂O₅膜のEoxより低く、800℃の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）によってもCVD膜のリーク電流を十分に低減することはできなかつた。ウィークスポット酸化結晶化熱処理とは異なる改質方法を検討する必要がある。

5.5 CVD-Ta₂O₅膜のリーク電流低減のための改質処理方法の検討 [8,9]

5.5.1 二段階熱処理方法の検討（2-step annealing）

CVD-Ta₂O₅膜のリーク電流を低減するために、種々の熱処理方法について検討した。熱処理方法としてはUV-O₃、UV-O₂、O₃について検討した。これらの熱処理を行った後、更に、800℃の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行う二段階の熱処理についても検討した。図5-9はSiO₂換算膜厚が3.4nmとなるCVD-Ta₂O₅膜に熱処理なし、UV-O₃処理、ウィークスポット酸化結晶化熱処理、UV-O₃処理とウィークスポット酸化結晶化熱処理の二段階の処理を行った電流-電圧特性と、スパッターTa₂O₅膜にウィークスポット酸化結晶

化熱処理を行った電流-電圧特性を比較したものである。二段階熱処理を行うことにより、CVD-Ta₂O₅膜の電流-電圧特性はほぼ反応性スパッターTa₂O₅膜の電流-電圧特性と一致した。一方、UV-O₃、ウィークスポット酸化結晶化熱処理単独では、リーク電流を反応性スパッター膜のリーク電流まで低減することはできなかった。ただし、5.5.4節に示す様に、膜厚が厚くなるほど、より長いUV-O₃処理を行うことにより、更に、リーク電流は低減できる。

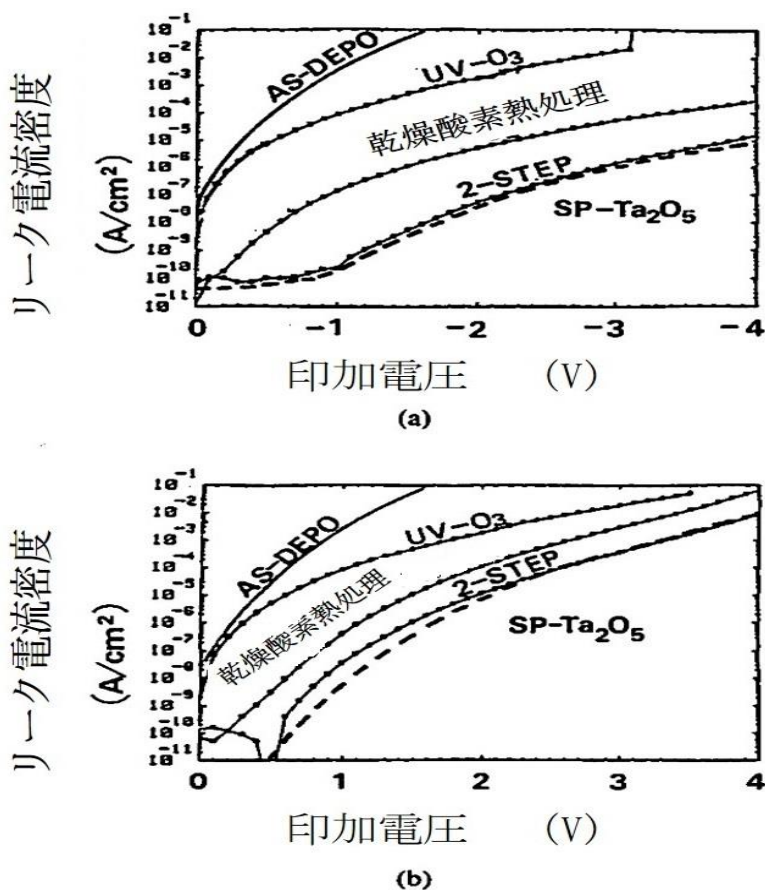


図 5-9 二段階熱処理による CVD-Ta₂O₅膜のリーク電流低減

5.5.2 UV-O₃, UV-O₂, O₃ 処理の比較評価 [8]

2, 3 章にて報告したように、7.5 nm の反応性スパッターTa₂O₅膜を形成した後、ウィークスポット酸化結晶化熱処理を行うことにより、欠陥密度が大幅に減少し、絶縁破壊信頼性が向上する。従って、CVD-Ta₂O₅膜についても、800 °Cの乾燥酸素熱処理 (ウィークスポット酸化結晶化熱処理) を組み合わせることは信頼性改善に必要と考えた。図 5-10 は各種熱処理を行った、10 nm の CVD-Ta₂O₅膜の SiO₂ 換算膜厚と 10⁻⁶ A/cm² のリーク電流となる SiO₂ 換算膜厚での電界強度 E_{ox} を示している。E_{ox} が高いことは、それだけ蓄積電荷量を増加するために

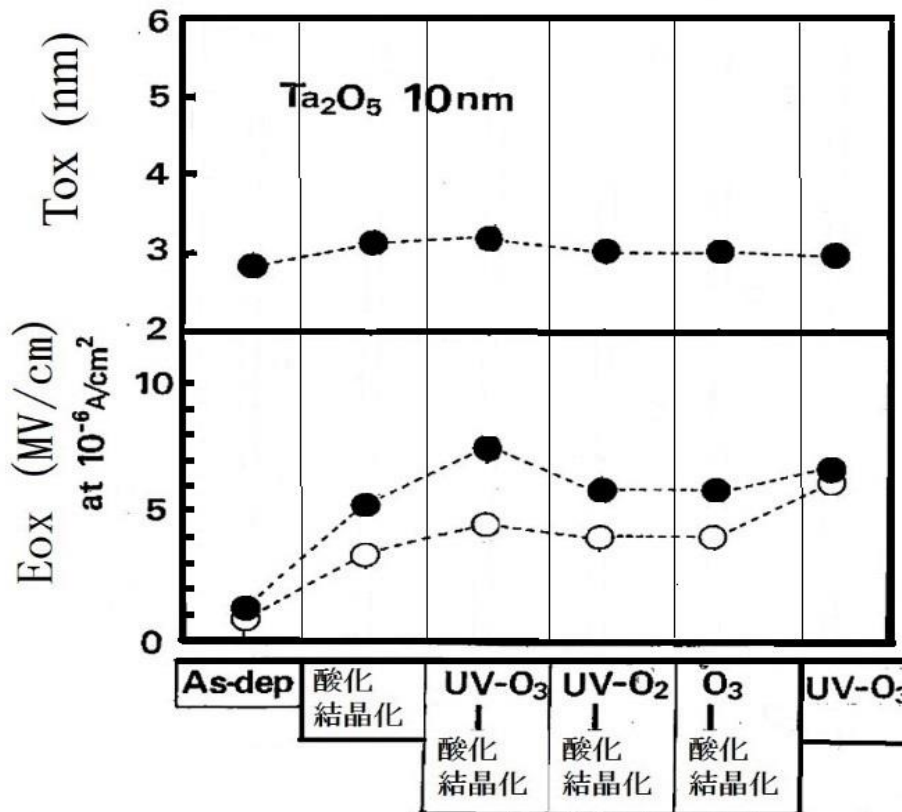


図 5-10 各種熱処理による CVD-Ta₂O₅ 膜の SiO₂ 換算膜厚と E_{ox} 電界強度の変化

薄膜化できる余地があることになり、立体型容量構造のアスペクト比をより軽減できる。5.4 節に示したように、CVD-Ta₂O₅ 膜は 800 °C の乾燥酸素熱処理時（ウィークスポット酸化結晶化熱処理：図 5-10 では、“酸化結晶化”と記載）により膜が収縮するために、スパッター法に比較して、より厚い膜を用いても、同等の容量が得られることがわかっている。図 2-13 に示した様に、スパッター Ta₂O₅ 膜 6 nm と CVD-Ta₂O₅ 膜 13 nm がほぼ同等の容量（T_{ox}=3.4 nm）が得られた。図 3-6 にて示した様に、スパッター法では膜厚 4 nm に薄膜化した場合に SiO₂ 換算膜厚 3 nm 相当の容量が得られたことを示した。従って、SiO₂ 換算膜厚 3 nm 相当の容量の実現を目標として、CVD-Ta₂O₅ 膜の堆積時の膜厚を 10 nm に薄膜化して評価を行った。UV-O₃、UV-O₂、O₃ 処理では、基板温度は 300 °C、熱処理時間は 60 分、ベースガスとなる酸素ガスは 10 L/分と一定で行った。図 5-10 に示す様に、両極性での E_{ox} が最も高くなるのは UV-O₃ 処理のみを行った場合であった。UV-O₃、UV-O₂、O₃ 処理と 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理：図 5-10 では、“酸化結晶化”と記載）の二段階の熱処理では、

UV-O₃ 処理が最も E_{ox} を高くする効果がある。UV-O₃ 処理のみの処理では両極性の伝導機構はほぼ Ta₂O₅ 膜のバルク制限型の伝導機構で制御される。二段階熱処理では UV-O₃ 処理のみの場合と異なり、極性依存性が明確になる。ウィークスポット酸化結晶化熱処理（図 5-10 では、“酸化結晶化”と記載）により、Ta₂O₅ 膜が結晶化されるとともに、界面酸化が起きることで界面 SiO₂ 膜が絶縁層として膜質が改善されることにより、二層構造の特徴である伝導機構の極性依存性が顕在化したと考えられる。SiO₂ 換算膜厚 T_{ox} は、熱処理なしでは 2.8 nm であったが、各種の熱処理によっても、3.2 nm 以下となり、Ta₂O₅ 膜厚を 10 nm に薄膜化したことにより、より大きな容量を得ることができた。

5.5.3 ウィークスポット酸化結晶化熱処理後の UV-O₃ 処理の効果の検討 [8]

図 5-11 は膜厚 10 nm の CVD-Ta₂O₅ 膜の二段階熱処理方法において、熱処理の順番を変えた場合を比較している。CVD 膜を形成した後、UV-O₃ 処理、その後、ウィークスポット酸化結晶化熱処理（800 °Cでの乾燥酸素熱処理、図 5-11 では“酸化結晶化”と記載）を行った場合は、ウィークスポット酸化結晶化熱処理を行った後、UV-O₃ 処理を行った場合と比べて、リーク電流の改善効果は著しく大きいことがわかる。UV-O₃ 等で形成される活性酸素は、CVD 膜形成直後の非晶

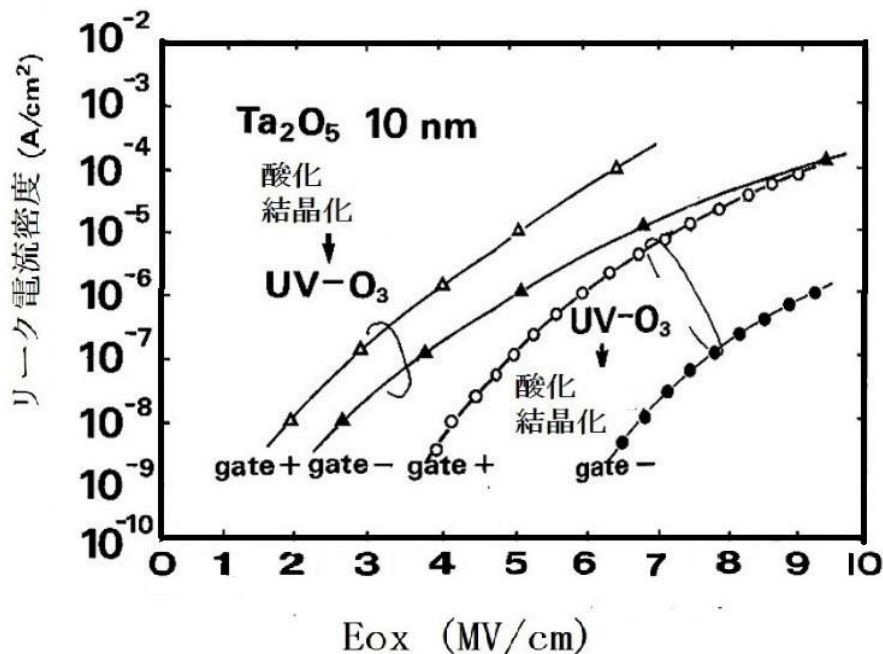


図 5-11 二段階熱処理工程依存性

酸化結晶化→UV-O₃ vs UV-O₃→酸化結晶化

質状態では、容易に Ta₂O₅ 膜中を拡散することができるが、ウィークスポット酸化結晶化熱処理 (800 °C の乾燥酸素熱処理後) により結晶化した後では拡散しにくくなる。図 2-14 に示す様に、800 °C の乾燥酸素熱処理により Ta₂O₅ 膜が結晶化し、緻密化することで、気相中からの活性な酸化種の拡散による酸素欠陥の修復は難しくなる。非晶質の状態であれば、酸素欠陥の低減ができない。

5.5.4 CVD-Ta₂O₅ 膜の E_{ox} の膜厚、UV-O₃ 処理時間依存性 [8]

図 5-12 は CVD-Ta₂O₅ 膜の 10⁻⁶ A/cm² のリーク電流となる SiO₂ 換算膜厚での電界強度 E_{ox} の膜厚、UV-O₃ 処理時間依存性を示している。二段階熱処理の UV-O₃ 処理時間をパラメータとして、Ta₂O₅ 膜厚 7, 10, 25 nm について E_{ox} を測定した。SiO₂ 換算膜厚が 3 nm 以下となるように、膜厚 7 nm も検討に含めた。膜厚が 7 nm の場合には、熱処理時間が 30 分で最も高い E_{ox} が得られた。一方、10 nm, 25 nm と膜厚が厚くなるほど、最大の E_{ox} を得るための熱処理時間は 60 分、150 分と長くなることがわかった。膜厚の依存性は活性酸化種が膜中を拡散しながら、酸素欠陥を修復していくことによると推測される。また、最大値が得られるのは、必要以上に酸化種が拡散することにより、多結晶シリコンの界面酸化層の膜質が変化するためと考えられる。

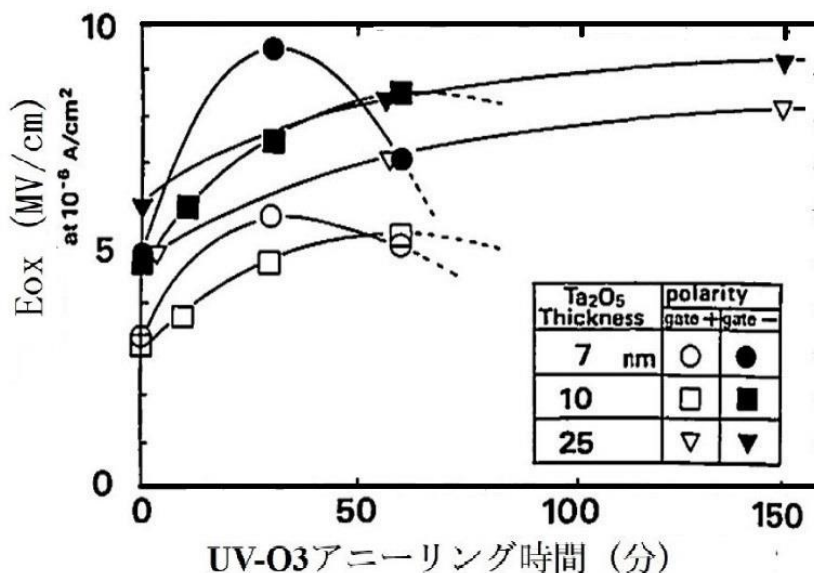


図 5-12 CVD-Ta₂O₅ 膜の E_{ox} の UV-O₃ 処理時間依存性

5.5.5 CVD-Ta₂O₅ 膜の E_{ox} の UV-O₃ 処理温度依存性 [8]

図 5-13 は CVD-Ta₂O₅ 膜の 10⁻⁶ A/cm² のリーク電流となる SiO₂ 換算膜厚での電界強度 E_{ox} の二段階熱処理の UV-O₃ 処理温度依存性を示している。Ta₂O₅ 膜の膜厚は 7 nm で評価を行った。熱処理温度は 200 °C、300 °C の比較を行った。基板温度を高くすることで、より短時間で E_{ox} の最大値を得ることができた。活性な酸化種の拡散、および、膜中での活性な酸化種と酸素欠陥などの反応が加速されるものと推定できる。300 °C 以上の検討は図 5-3 の装置ではできなかった。その後、400 °C ではより短時間で効果が得られることを確認している。

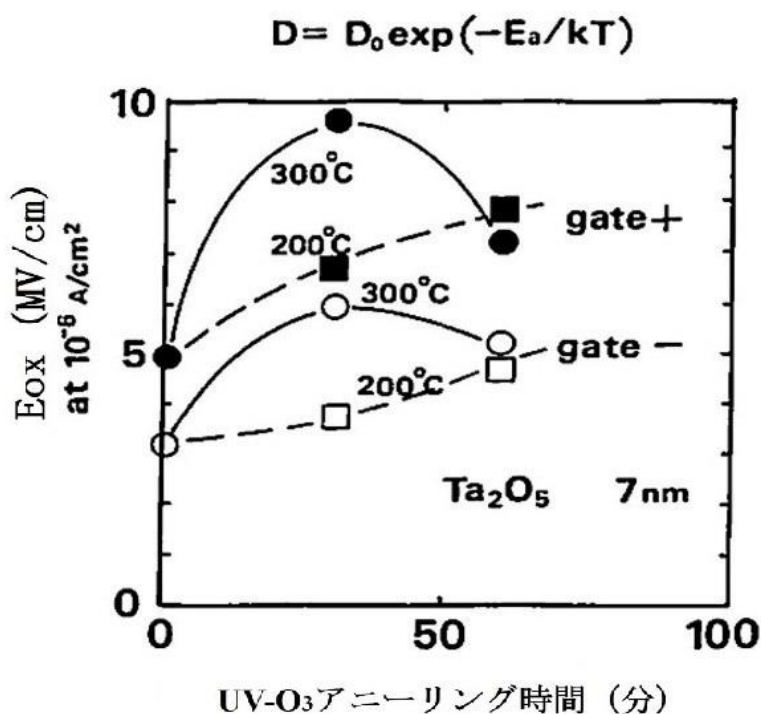


図 5-13 CVD-Ta₂O₅ 膜の E_{ox} の UV-O₃ 処理温度、時間依存性

5.6 UV-O₃ 処理による CVD-Ta₂O₅ 膜のリーク電流低減モデル [8,9]

図 5-14 は報告されているデータ [10] をプロットしたものであり、オゾンと酸素ガスの吸収断面積の波長依存性を示している。オゾンガスは酸素ガスよりも、水銀ランプの波長 185、254 nm においてより大きな吸収断面積がある。図 5-11 の結果によれば、オゾンを紫外線照射することで生成する活性な酸化種によって、CVD-Ta₂O₅ 膜のリーク電流が減少する。従って、以下のオゾンの光分解

が考えられる [11]。



一重項の励起酸素原子 $\text{O} (^1\text{D})$ はオゾンに 320 nm 以下の紫外線を照射することで生成する。他方、酸素分子は 242 nm 以下の波長の紫外線により三重項の励起酸素分子が生成する。一重項の酸素原子の電子親和力は三重項の酸素原子より大きい。この理由は 1 重項の酸素原子には電子に占められていない電子軌道があるために、強い電子受容体となる。

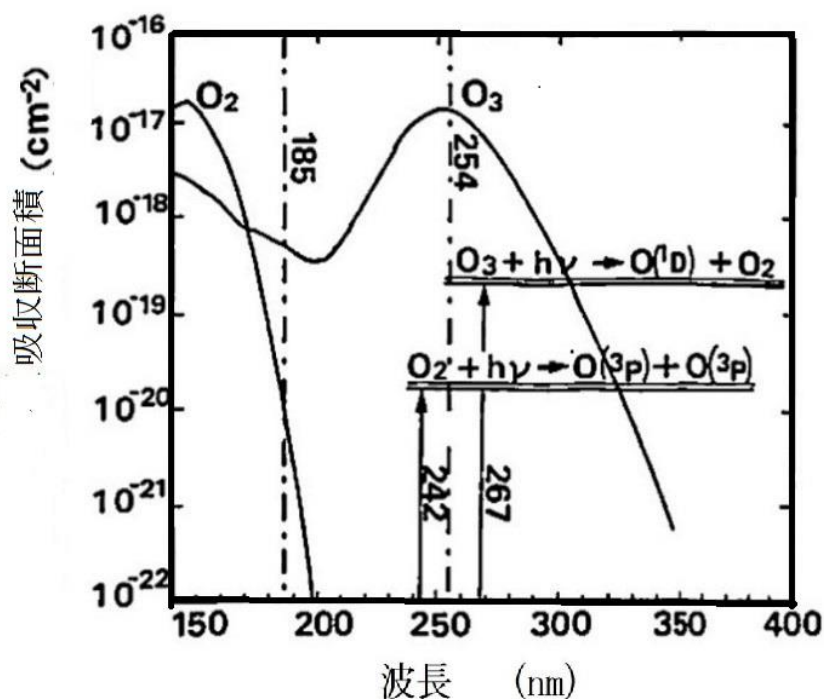


図 5-14 オゾンと酸素の吸収断面積の波長依存性

図 5-15 は CVD-Ta₂O₅ 膜のリーク電流低減に対するメカニズムをモデル化したものである。オゾンの紫外線照射によって生成された 1 重項状態の活性酸素が CVD-Ta₂O₅ 膜表面に吸着し、拡散していき、酸素空孔と反応する。酸素空孔は Ta₂O₅ 膜の伝導体より電荷の中性化の結果として、電子が帯電している。一重項状態の活性酸素は、この電子を受容することで、空いた格子を埋める。空孔の数が減少するとともに、リーク電流が減少する。図 5-13 に示すように、UV-O₂ とか O₃ 処理によっても、CVD-Ta₂O₅ 膜の E_{ox} の増加は認められている。光 CVD

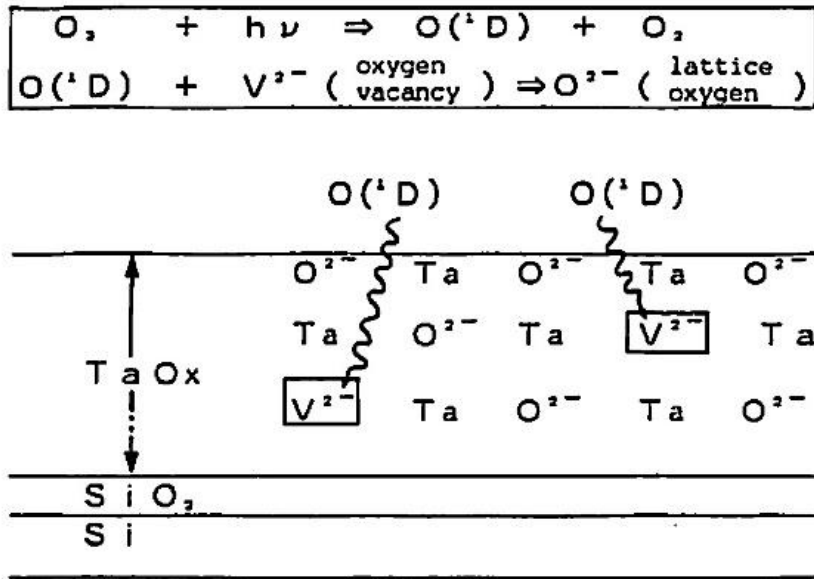
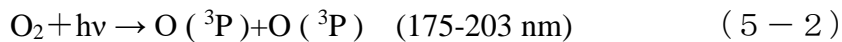


図 5-15 CVD-Ta₂O₅ 膜の酸素欠陥修復モデル

により形成された Ta₂O₅ 膜が、成膜後の紫外線照射した酸素雰囲気において、リーク電流が減少することが報告されている [5]。本報告に示すように、この効果は減圧 CVD により形成した CVD-Ta₂O₅ 膜でも確認された。この結果は三重項状態の酸素原子によっても、リーク電流の低減が可能であることを示唆する。あるいは、酸素を紫外線で照射することで、下式のメカニズムにより発生するオゾンによるものと考えられる (Chapman mechanism) [12]。



M 分子種 [通常、酸素もしくは窒素] の存在によって、UV-O₂ 処理時にオゾンが生成される。これらの反応で生成するオゾン濃度は数千 ppm である [13]。オゾン生成器を用いた場合の 100 分の 1 以下である。結果的に、一重項の活性酸素 O(¹D) も生成されたとしても、その量は UV-O₃ 処理で生成する量より遙かに少ない。また、オゾン熱処理におけるリーク電流の改善も、オゾンの熱分解による活性酸素の寄与が考えられる。UV-O₃ 処理では、高濃度のオゾンガスを供給することで、多量の O(¹D) を生成できるので、CVD-Ta₂O₅ 膜のリーク電流低減には最も効果的と考える。

図 5-16 は膜厚 10 nm の CVD-Ta₂O₅ 膜 (SiO₂ 換算膜厚 3.2 nm) を UV-O₃ 処理時間を 0 分、10 分、60 分で処理した場合の電流—電圧特性を示している。挿入図はプールフレンケルプロットである。UV-O₃ 処理時間とともに Ta₂O₅ 膜のリーク電流は減少することがわかる。また、これらの電気伝導特性はプールフレンケルプロットに従い、その傾きは UV-O₃ 処理時間とともに大きくなる。また、電圧—電流特性に極性依存性がほとんど無いことから、両極性ともバルク制限型プルーフレンケル伝導であると考えられる。ドナー準位のポテンシャルの三次元効果をプルーフレンケル伝導は、下式のように表すことができる [14]。

$$I = \sigma_0 (kT/\beta)^2 \left(\beta E^{1/2} / kT - 1 \right) \exp \beta E^{1/2} / akT \quad (5-4)$$

$$\sigma_0 = q \mu N_c \left(N_d / N_t \right) \exp \left(-(E_d + E_t) / 2kT \right) \quad (5-5)$$

Ed、Et : ドナー準位、トラップ準位のエネルギーレベル、Nd、Nt : それぞれの状態密度、μ : 電子移動度、q : 電子電荷量、ε : 誘電率、k : ボルツマン定数、T : 絶対温度 β = (q³ / 4πε)^{1/2} である。上式では、膜中の欠陥を反映して、プルーフレンケルプロットの傾きが変化することを意味している [14]。ドナー準位のポテ

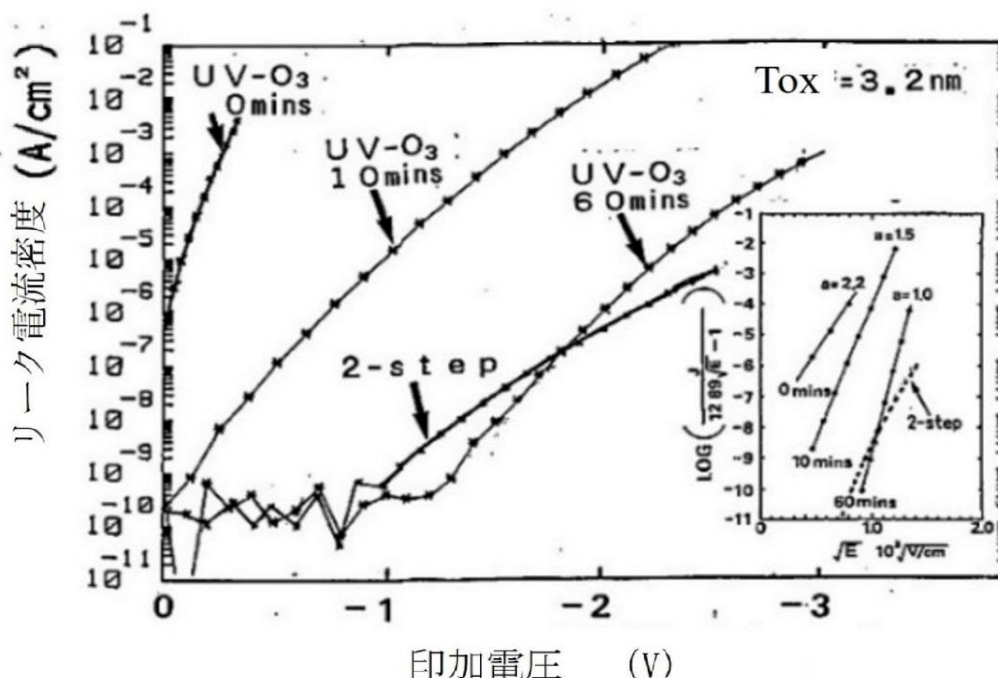


図 5-16 CVD-Ta₂O₅ 膜の UV-O₃ 処理によるリーク電流低減

ンシャルをクーロンポテンシャルと仮定すると、(5-4)式の a の値は 1 となり、通常のプルーフェンケル伝導と一致する。UV-O₃ 処理を行わない場合には、 a は約 2 となり、ドナー準位の密度が多いために、ドナー間の相互作用が増大し、ポテンシャルが変形していることを表している。これに対して、UV-O₃ 処理をおこなうと a の値は 2.2 から 1.0 へと減少する。明らかに、ドナー準位の密度が減少したことを示唆している。

以上のように、UV-O₃ 処理により、酸素欠陥が修復されることで、バルク制限型の伝導機構であるプルーフェンケル伝導に寄与するドナー準位密度の低下により、リーク電流が減少すると考えられる。

5.7 二段階熱処理による CVD-Ta₂O₅ 膜の欠陥密度低減 [9]

UV-O₃ 処理により Ta₂O₅ キャパシタの絶縁耐圧は向上するが、図 5-17 は 10 nm の CVD-Ta₂O₅ 膜に UV-O₃ 処理 10 分、60 分、および、UV-O₃ 処理 60 分後にウィークスポット酸化結晶化熱処理の二段階の熱処理を行った場合の 10⁻⁶ A/cm² のリーク電流となる SiO₂ 換算膜厚での電界強度 E_{OX} のヒストグラムを示している。UV-O₃ を 100 分処理すると、E_{OX} は高くなるものの、その分布は幅広い。一方、ウィークスポット酸化結晶化熱処理のみを行った場合には、絶縁耐圧

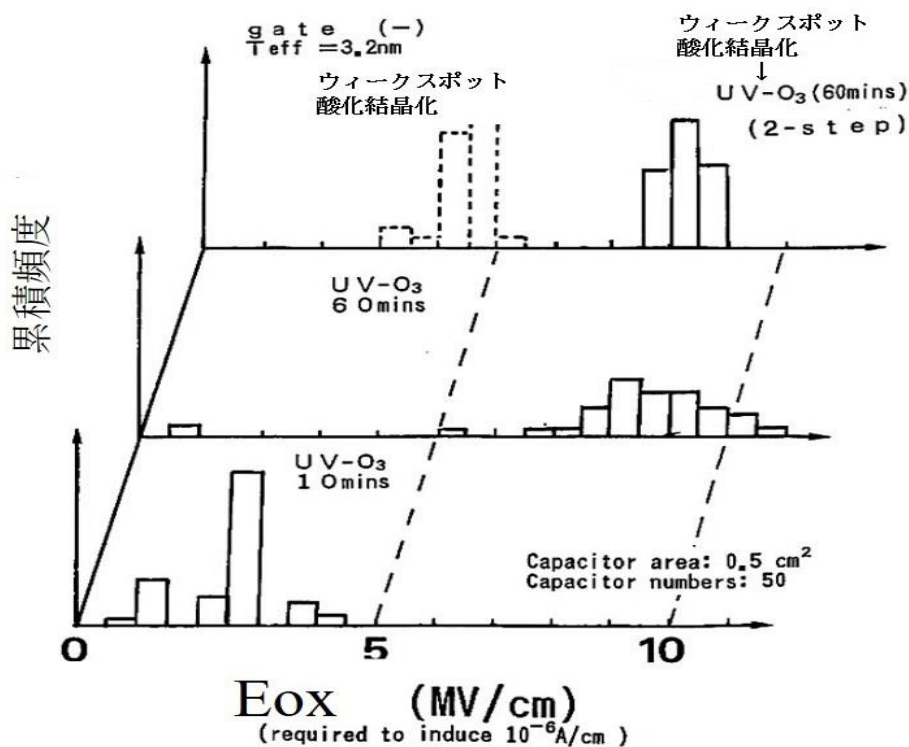


図 5-17 CVD-Ta₂O₅ 膜の絶縁耐圧ヒストグラム

分布は均一化するが、5-4 節に述べたように、CVD-Ta₂O₅ 膜の Eox をする大きくする効果はない。UV-O₃ 処理後にウィークスポット酸化結晶化熱処理を行うと、均一な耐圧分布を得ることができた。この結果は、UV-O₃ 処理とウィークスポット酸化結晶化熱処理は、それぞれ異なる働きをしていることを示すものである。Ta₂O₅ キャパシタの欠陥として、2.5.3 節にて、ウィークスポット酸化結晶化モデルを提案したが、ここでの欠陥に酸素欠陥は含まれないといえる。つまり、ウィークスポット酸化結晶化熱処理では、CVD 膜の酸素欠陥を修復できないが、非晶質状態での UV-O₃ 処理などの活性酸素の処理により、酸素欠陥は修復できる。

CVD 膜の場合には、スパッター膜と違い、酸素欠陥が多く、更に、炭化水素の混入に起因する欠陥があると思われる。表 5-1 のオージェ電子による組成の検討の結果は、炭化水素が混入することを示している。また、600 °C 以上の乾燥酸素熱処理で炭化水素は減少する。図 5-18 は CVD-Ta₂O₅ 膜の熱処理無し、UV-O₃ 処理、二段階熱処理による炭化水素の膜中のプロファイルを示した結果である。炭化水素は二段階の熱処理による大幅に減少するが、UV-O₃

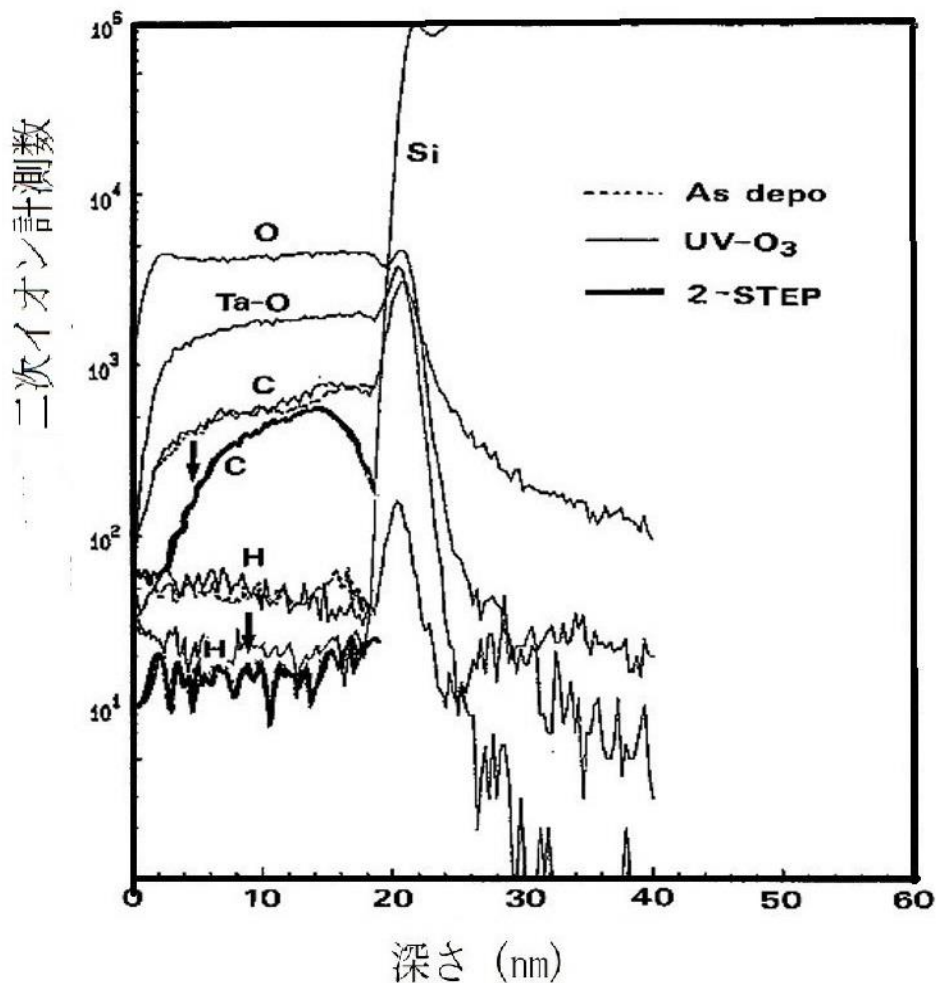


図 5-18 CVD-Ta₂O₅ 膜の各種熱処理前後の SIMS 分析

処理のみではわずかに減少するだけである。UV-O₃ 処理は有機物の C-C 結合を容易に切断するが、Ta₂O₅ 膜中の炭化水素については、それだけで炭化水素を除去することが難しいことがわかる。一方、二段階熱処理では 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）の際に急激に炭化水素が減少している。UV-O₃ 処理において、炭化水素の炭素-炭素結合が分解されても、その炭化水素が排出されるのは 600 °C 以上の乾燥酸素熱処理により、酸化物として排出されることがわかる。従って、活性酸素熱処理と 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）の二段階の熱処理は CVD-Ta₂O₅ 膜中の炭化水素を除く処理としても、望ましい組み合わせであることがわかった。

図 5-16 に示した様に、CVD-Ta₂O₅ 膜を UV-O₃ 処理しただけでもリーク電流が低減することから、酸素欠陥は UV-O₃ 処理工程で減少している。一方、炭化水素は膜中に残留している。図 5-17 に示す様に、UV-O₃ 処理しただけの CVD-Ta₂O₅ 膜の絶縁耐圧分布の幅が広い原因は膜中の炭化水素の残留も要因と考えられる。ウィークスポット酸化結晶化熱処理により、炭化水素不純物が低減するとともに、結晶化することにより、絶縁耐圧分布が均一となり、製品に適用可能な容量絶縁膜とすることができた。耐圧分布の均一化の主要因が結晶化によるのか不純物の低減によるのか疑問が生じる。しかし、図 2-19 に示すスパッター Ta₂O₅ 膜の耐圧ヒストグラムのウィークスポット酸化結晶化工程の効果を考慮すれば、Ta₂O₅ 膜の結晶化に伴い均一な絶縁耐圧分布が得られることがわかる。従って、炭化水素不純物が耐圧分布の不均一性の主因ではない。また、酸素欠陥の膜中の濃度とも関係しない。酸素欠陥が多くても、少なくても、結晶化により絶縁耐圧の均一性は改善するからである。従って、均一性改善には、結晶化することが最も有効であると考えられる。

二段階の熱処理の機能をまとめると、第一段階の熱処理である UV-O₃ 処理等の活性酸素により非晶質状態で酸素欠陥を減少させ、絶縁耐圧を向上させる工程と、その後の、第二段階の熱処理であるウィークスポット酸化結晶化工程によって、均一化、高信頼化を達成するとともに、炭化水素不純物も、同時に低減されている。

5.8 CVD-Ta₂O₅ による E_{ox} と SiO₂ 換算膜厚 T_{ox} の適用範囲 [8]

図 5-19 は CVD-Ta₂O₅ 膜の 10⁻⁶ A/cm² のリーク電流となる SiO₂ 換算膜厚での電界強度 E_{ox} と SiO₂ 換算膜厚 T_{ox} を示している。UV-オゾン処理時間は Ta₂O₅ 膜厚に応じて図 5-15 に示した様に、最適な時間としている。UV-オゾン処理を 7 nm の Ta₂O₅ (SiO₂ 換算膜厚 : 3.2 nm) に行った場合、E_{ox} は急激に低下し 1 MV/cm まで低下したが、Ta₂O₅ 膜厚が 10 nm の場合 (SiO₂ 換算膜厚 : 3.4 nm)

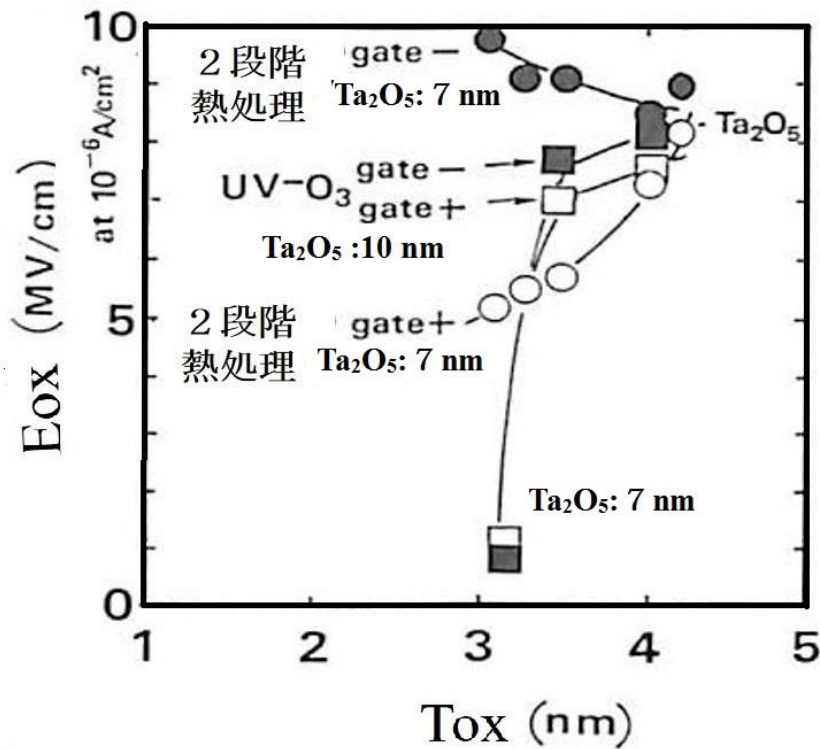


図 5-19 CVD-Ta₂O₅ 膜の絶縁性の膜厚依存性
E_{ox} vs T_{ox}

には、電流－電圧特性の極性依存性は小さく、7 MV/cm 程度の E_{ox} が得られる。従って、CVD-Ta₂O₅ 膜の膜厚が 7 nm となるとバルク制限型伝導機構から直接トンネリング機構が主体となると考えられる。一方、二段階熱処理を行った CVD-Ta₂O₅ については、SiO₂ 換算膜厚 4 nm までは、電流－電圧特性の極性依存性は小さく、バルク制限型の伝導を示すものの、SiO₂ 換算膜厚が 3 nm に薄膜化すると、伝導機構の極性依存性が認められる。この場合には、Ta₂O₅ 膜厚の薄膜化に対して、乾燥酸素熱処理により生成する界面の SiO₂ 膜が相対的に厚くなり、正極性の伝導機構は界面の SiO₂ 膜の伝導機構が支配的になり、Ta₂O₅ 膜のバルク伝導機構は機能しなくなるものの、E_{ox} は 5 MV/cm 程度を確保することができた。負極性では、Ta₂O₅ 膜の酸素欠陥の低減により、Ta₂O₅ 膜のバルク制限型伝導機構が支配的であり、E_{ox} は 8 MV/cm 以上に向上する。

図 5-20 は Ta₂O₅/SiO₂ 二層膜の二次元バンド模式図である。正極性では SiO₂ からのトンネル伝導機構が支配的であるが、負極性では、二段階熱処理により、トラップ準位が減少し、直接トンネルしにくくなり、Ta₂O₅ を 7 nm としてもバルク制限型の伝導により、絶縁耐圧を維持できると推定している。二段階熱処理をすれば、負極性では、SiO₂ 換算膜厚が 4 nm から 3 nm に薄膜化しても、両極

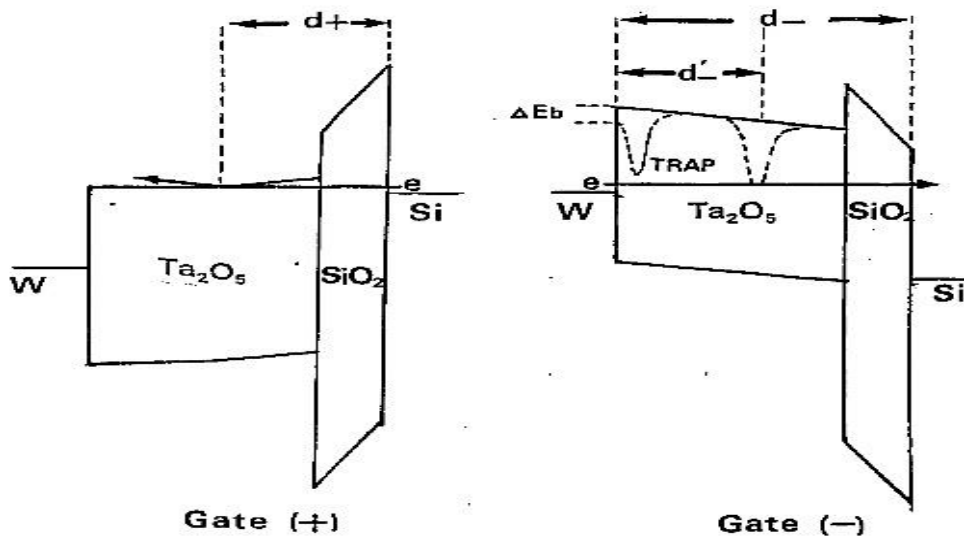


図 5-20 Ta₂O₅/SiO₂ に層膜の二次元バンドモデル

性とも、64 メガビット DRAM に適用可能な E_{OX} (3.0 MV/cm 以上) を有する。800°C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）により結晶化した Ta₂O₅ 膜では、直接トンネリングが抑制される。SiO₂ 換算膜厚 3 nm となっても、二段階熱処理を行った Ta₂O₅ 膜は両極性とも、64 メガビット DRAM に適用可能な E_{OX} を有する。一方、UV-O₃ 処理した Ta₂O₅ 膜は目標の E_{OX} を確保することはできない。薄膜化すると直接トンネリングによるリーク電流が増大するからである。図 2-20 に示す様に、スパッター膜では 4 nm でも直接トンネリング電流によるリーク電流の増加には至っておらず、7 nm 以下から 4 nm まではリーク電流が急激に増大することはない、薄膜化できる可能性がある。従って、SiO₂ 換算膜厚 3 nm 以下の容量絶縁膜を達成するには、7 nm 以下の CVD-Ta₂O₅ 膜に二段階熱処理を行うことが有効であり。UV-O₃ 処理だけでも、800°C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）だけでも、所定のリーク電流レベルを維持しながら、SiO₂ 換算膜厚 3 nm まで薄膜化することはできなかった。

5.9 CVD-Ta₂O₅ 膜の TDDB 特性評価

図 5-21 は 800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）と UV-O₃ 処理の二段階の熱処理を行った CVD-Ta₂O₅ 膜の絶縁破壊特性を示している。本質的な絶縁破壊特性を評価するために、キャパシタ面積 10⁻⁶ cm² と極め

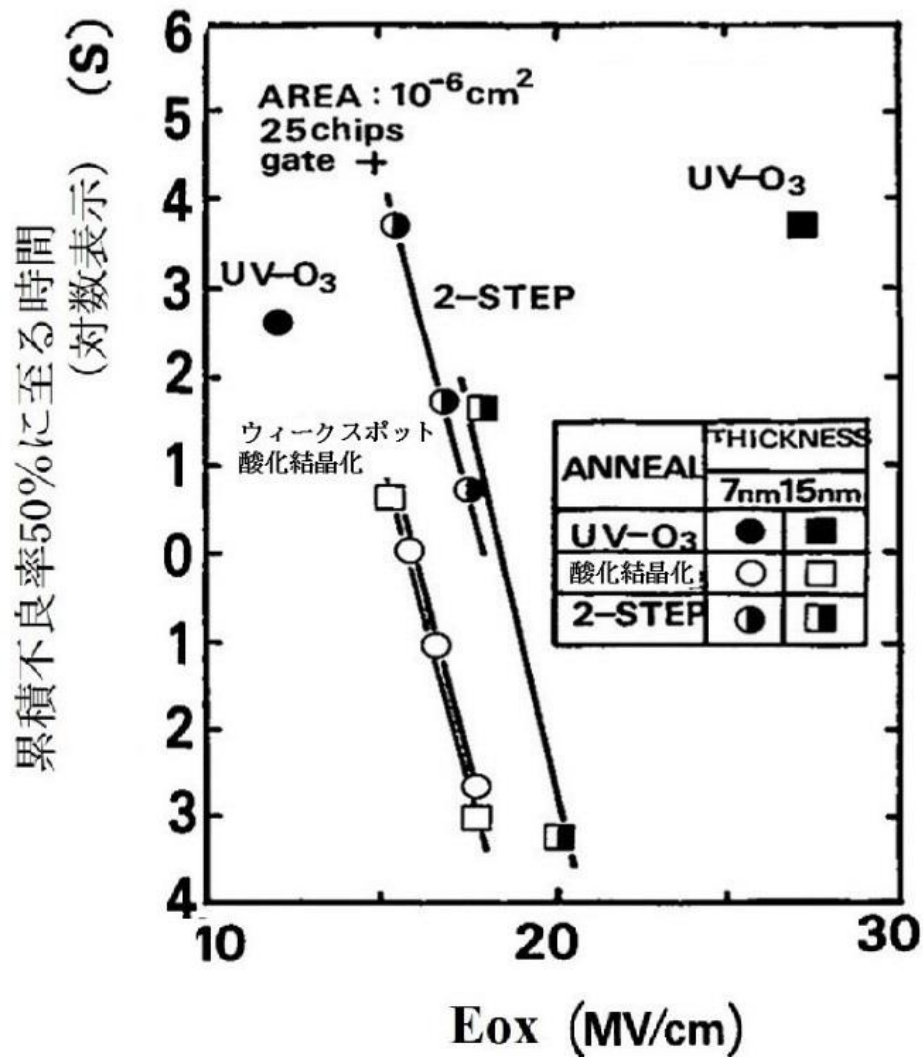


図 5-21 二段階熱処理した CVD-Ta₂O₅ 膜の TDDB 特性

て小面積で評価している。膜厚は 7 nm, 15 nm について行った。UV-O₃ 処理では 15 nm では優れた絶縁破壊信頼性を示すが、7 nm では絶縁破壊寿命は短くなる。これは、図 5-19 に示すように 7 nm ではリーク電流が大きく、短時間のストレス電圧でさらに、リーク電流が増加してしまうことによる。一方、バルク制限型伝導機構を維持する 15 nm の場合には絶縁破壊しにくく、図 5-8 に示した MIM 構造の Ta₂O₅ 膜の特性とおおよそ一致する。一方、800 °C の乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）、二段階熱処理を行ったものは、膜厚によらず安定な TDDB 特性を示す。注目すべきことは、二段階熱処理を行った CVD-Ta₂O₅ 膜の TDDB 特性はウィークスポット酸化結晶化熱処理のみを行った CVD-Ta₂O₅ 膜よりも、絶縁破壊寿命が 4-5 桁長いことである。絶縁破壊の長期信頼性

は二段階熱処理により、大幅に向上していることがわかる。

図 5-22 は二段階熱処理を行った膜厚 10 nm (SiO₂ 換算膜厚 3.2 nm) の容量を大面積キャパシタ (0.5 cm²) により、100 °C で温度加速した状態で TDDB 特性を評価したものである。小面積キャパシタでの特性より大幅に絶縁破壊寿命は減少するものの、64 メガビット DRAM に想定される 1/2 V_{CC} が引加された状態 (印加電圧 : 0.75 V、E_{ox}:2-3 MV/cm) での寿命は 10 年以上となる。

従って、二段階熱処理した CVD-Ta₂O₅ 膜は十分に高い絶縁破壊信頼性があることがわかった。

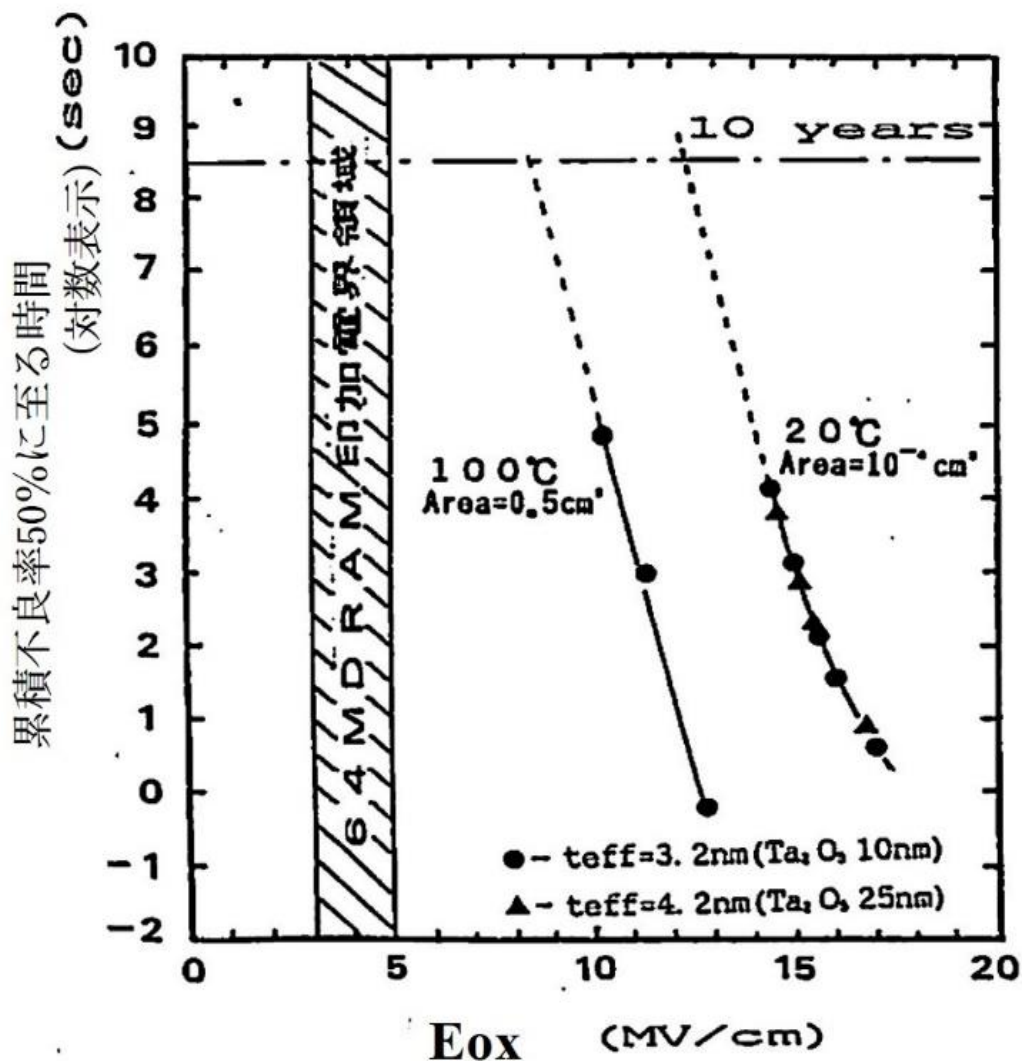


図 5-22 大面積キャパシタ、高温加速による二段階熱処理 CVD-Ta₂O₅ 膜の TDDB 特性

5.10 CVD-Ta₂O₅膜を適用した 64 メガビット DRAM の試作 [9]

5.10.1 64 メガビット DRAM 用王冠型メモリセルに適用可能な容量絶縁膜の検討

高集積 DRAM の開発において、低消費電力化のために低電圧化は必須である。電源電圧 V_{CC} は 16 メガビット DRAM では 3.3 V, 64 メガビット DRAM では 1.5 V となる。電源電圧の低下、メモリセル面積の世代毎の 1/3 の縮小にもかかわらず、ソフトエラーを防止するために DRAM メモリセルの蓄積電荷量を維持する必要がある。1/2 V_{CC} プリチャージ方法が採用されたことにより、蓄積容量膜に印加される電圧は半分となる。従って、16 メガビット DRAM では 1.65 V, 64 メガビット DRAM では 0.75 V が想定され、この 1/2 V_{CC} に対して、蓄積容量膜のリーク電流は 10^{-6} A/cm² 以下に保持する必要がある。図 5-23 は 100 °C においてリーク電流が 10^{-6} A/cm² なる電圧と SiO₂ 換算膜厚 T_{ox} (上横軸: 面積当たりの容量) の関係を示している。リーク電流レベルは良好なメモリ動作を維持

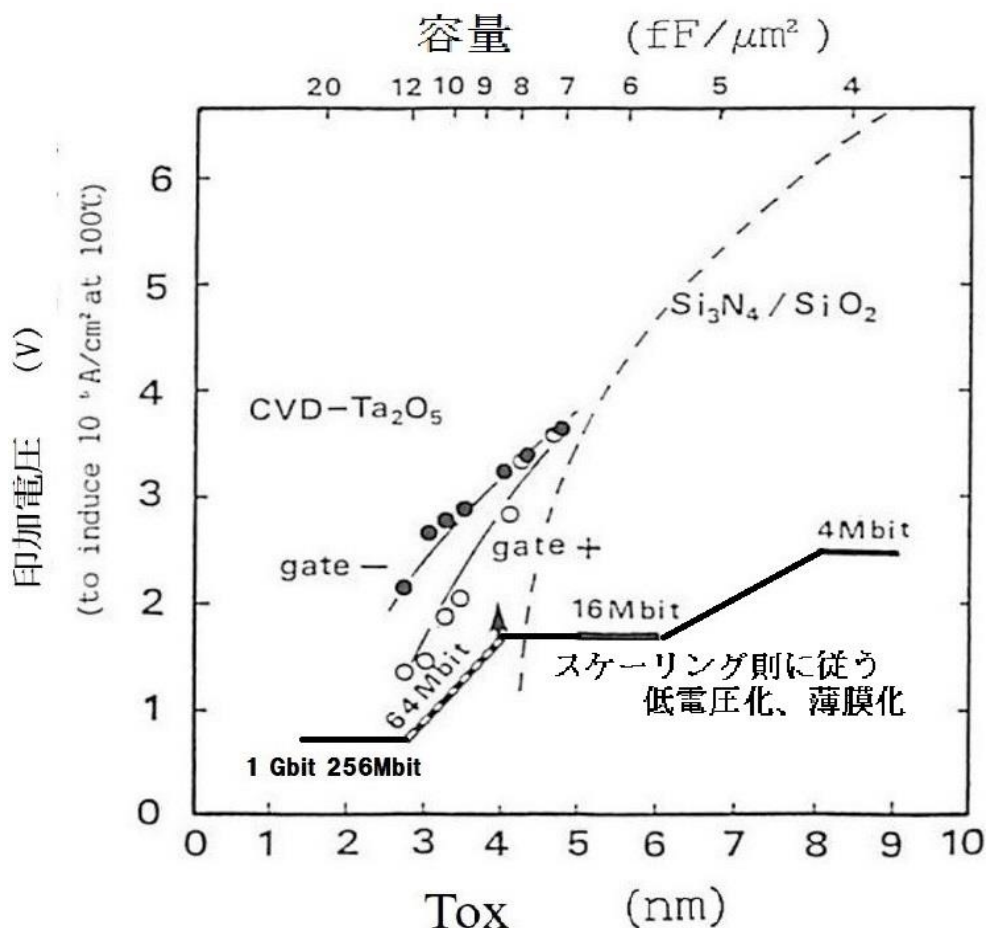


図 5-23 次世代 DRAM 容量絶縁膜に適用可能な SiO₂ 換算膜厚 (nm) vs 所定リーク電流以下となる電圧

できる最大のリーク電流である。図 5-23 に記載のように、電源電圧の低電圧化とともに、スケーリング則に従って、容量膜の薄膜化が必要となり、16 メガビットでは 1.65 V で、SiO₂ 換算膜厚 5.5 nm の容量絶縁膜が適用されたが、64 メガビットでは 0.75 V で SiO₂ 換算膜厚 3 nm が必要となる。一方、従来 DRAM に適用されてきた Si₃N₄/SiO₂ 積層膜は SiO₂ 換算膜厚で 5 nm 以下となると、リーク電流が急激に増加するため、64 メガビット DRAM 以降への適用は難しい。

本研究では、64 メガビット DRAM 用のメモリセルとしては王冠型容量電極を有する積層容量型メモリセル（以下、王冠型メモリセル）を提案した [3,8]。メモリセル面積が 1.52 μm²、メモリセルの高さ 1.5 μm の王冠型メモリセルを想定すると、実効的に 5.2 μm² の蓄積容量面積が確保できる（立体化係数 α=3）。表 5-2 は、王冠型メモリセルに CVD-Ta₂O₅ 膜、および、Si₃N₄/SiO₂ 膜を適用する場合に、それぞれの SiO₂ 換算膜厚を想定し、電源電圧 1.5 V、3.3 V の場合につ

表 5-2 64 メガビット DRAM に向けた CVD-Ta₂O₅ による蓄積電荷量の電源電圧依存性 [8]

DRAM電源電圧 (V)	Ta ₂ O ₅ /SiO ₂		Si ₃ N ₄ /SiO ₂	
	DRAM適用 可能膜厚 (nm)	蓄積 電荷量 (fC)	DRAM適用 可能膜厚 (nm)	蓄積 電荷量 (fC)
3.3	4.0	72	5.5	52
1.5	2.8	47	4.5	29

いて、それぞれ得られる蓄積電荷量を示したものである。SiO₂ 換算膜厚 5 nm の Si₃N₄/SiO₂ 積層膜は、3.3 V 電源電圧では 52 fC の蓄積電荷量を確保できるが、1.5 V 電源電圧では SiO₂ 換算膜厚で 4.5 nm の容量が下限であり、29 fC の蓄積電荷量しか確保できない。従って、必要な蓄積電荷量の下限が少なくとも 30 fC 以上であることを考慮すれば、64 メガビット DRAM への適用は難しい。一方、CVD-Ta₂O₅ 膜を適用する場合には、1.5 V 電源電圧においては、SiO₂ 換算膜厚で 3 nm の容量を適用でき、蓄積電荷量は 47 fC が得られる。従って、1.5 V 電源電圧となる 64 メガビット DRAM については、SiO₂ 換算膜厚 3 nm の CVD-Ta₂O₅ 膜を容量絶縁膜に適用することにより、Si₃N₄/SiO₂ を容量絶縁膜として用いた場合よりも、1.5 倍の容量を確保できる。

従って、1.5 V 電源電圧が想定される 64 メガビット DRAM 用の容量絶縁膜としては CVD-Ta₂O₅ 膜の適用が有効であることがわかった。

5.10.2 64メガビットDRAM用王冠型メモリセルへのCVD-Ta₂O₅膜の適用

CVD法により7nmのTa₂O₅膜を形成し、二段階熱処理工程により形成した容量絶縁膜を電源電圧1.5V動作64メガビットDRAM素子に適用した。表5-2に示す想定されるメモリセル面積よりも、更に、縮小したメモリセル面積でも良

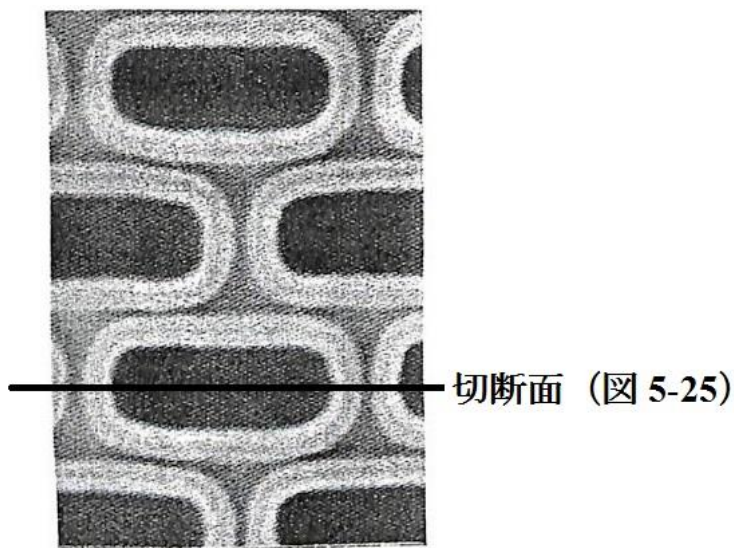
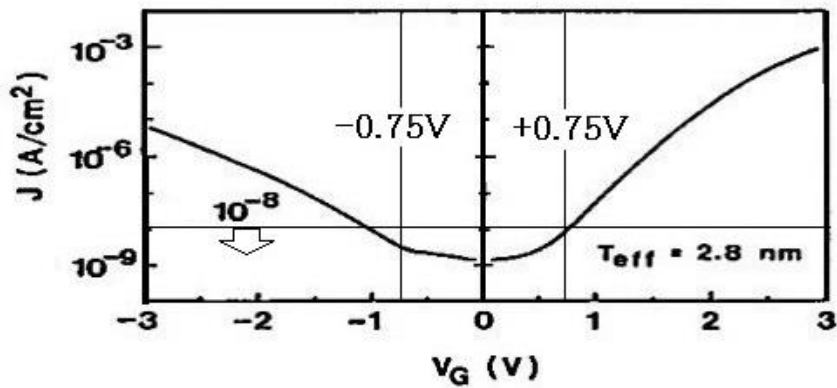


図 5-24 王冠型メモリセル平面 SEM 写真

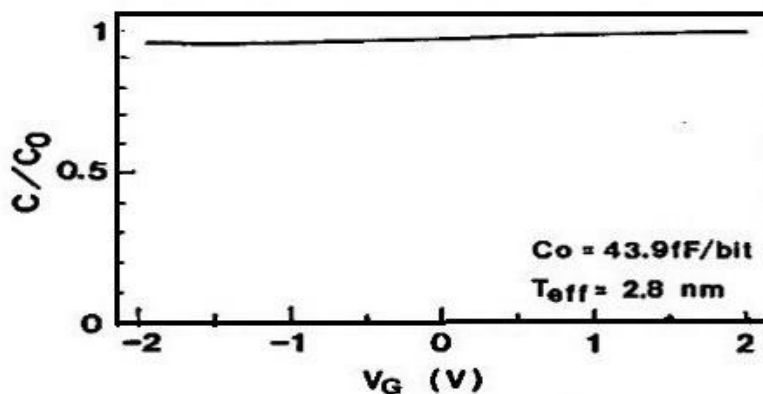


図 5-25 CVD-Ta₂O₅膜を容量絶縁膜に適用した64メガビットDRAM王冠型メモリセル断面構造写真

好なメモリ動作が確認できた。図 5-24 はセル面積 $1.28 \mu\text{m}^2$ の王冠型メモリセルの平面 SEM 写真を示す。王冠型容量電極を有する積層容量部によりメモリセルは埋め尽くされ、その下にトランジスタ、ビット線が配置されている。図 5-25 は、図 5-24 記載の切断面での王冠型メモリセルの断面構造写真を示す。図 5-26 は得られた王冠型メモリセルの容量特性を示している。7 nm の CVD- Ta_2O_5 膜を適用することで得られた SiO_2 換算膜厚 2.8 nm 相当の容量絶縁膜と、キャパシタの表面積を $3.7 \mu\text{m}^2$ まで増大させた王冠型メモリセル(立体化係数 $\alpha=2.9$)により、電流-電圧特性に示す様に、 10^{-8} A/cm^2 以下の漏れ電流(印加電圧 $\pm 0.75 \text{ V}$)、C-V 特性に示す様に 43.9 fF の容量が得ることができた。蓄積電荷量は 33 fC となり、ソフトエラー防止に必要な 30 fC 以上の蓄積電荷量を確保できた。また、



王冠型容量部の電圧-電流特性



王冠型容量部の C-V 特性

図 5-26 王冠型メモリセル容量部特性

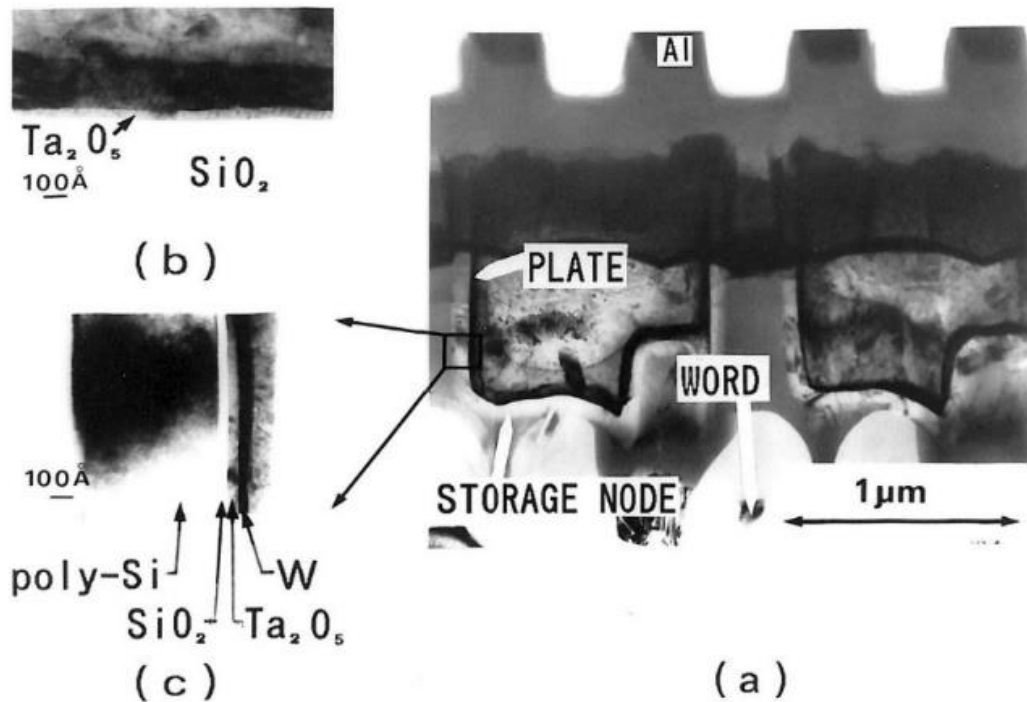


図 5-27 64 メガビット DRAM 素子用王冠型メモリセルの平面部、側面部の断面 TEM 写真による CVD-Ta₂O₅ 膜の膜厚評価

図 5-27 は断面 TEM 写真により、Ta₂O₅ 膜厚を王冠型容量電極の側面部と平坦部と比較評価したものである。Ta₂O₅ 膜厚は平面部 (b)、側面部 (c) とともに Ta₂O₅ 膜の膜厚は一定であり、CVD-Ta₂O₅ 膜を適用することで、王冠型電極の表面に均一に Ta₂O₅ 膜を形成できたことにより、所定の蓄積容量を確保することができた。

5.11 まとめ

64 メガビット DRAM 素子用容量絶縁膜として SiO₂ 換算膜厚 2.8 nm の容量絶縁膜を CVD-Ta₂O₅ 膜と二段階熱処理により実現した。CVD-Ta₂O₅ 膜は王冠型容量電極表面に良好な被覆性により形成できる [3,8]。二段階熱処理により、SiO₂ 換算膜厚で 3 nm 前後でも正常なメモリ動作を可能とする低リーク電流、優れた長期信頼性を実現することを可能とした [8,9]。

二段階熱処理は第一段階の UV-O₃ 処理と第二段階の 800 °C の乾燥酸素熱処理工程 (ウィークスポット酸化結晶化熱処理) からなり、UV-O₃ 処理は CVD-Ta₂O₅ 膜中の酸素欠陥を修復し、ウィークスポット酸化結晶化熱処理は局所的に薄膜となる欠陥部分、結晶化の際に発生する微小なピンホール、粒界による絶縁耐圧

の低下などを界面酸化により修復するとともに、膜中の炭化水素の除去することで、良好な絶縁耐圧を維持し、C-V特性、耐圧分布の均一性を改善する効果があると考えられる。UV-O₃処理を行わない場合には、酸素欠陥が残留した状態で、800 °Cの乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行っても、酸素欠陥は修復できず、リーク電流を低減することはできない。結晶化に伴い、絶縁耐圧分布は均一化するが、絶縁耐圧自体は向上しない。一方、800 °Cの乾燥酸素熱処理（ウィークスポット酸化結晶化熱処理）を行わない場合には、絶縁耐圧分布を均一化することができず、欠陥密度も低減することも、絶縁破壊の長期信頼性を改善することができない。従って、CVD-Ta₂O₅膜をDRAM素子に適用可能とするためには、二段階の熱処理が不可欠であることがわかった。CVD-Ta₂O₅膜により、SiO₂換算膜厚で3 nm以下にできたのは、熱処理によりCVD-Ta₂O₅膜は20 %収縮し、約5.6 nm（SiO₂換算膜厚：0.9 nm）となるので、界面SiO₂膜の膜厚は1.9 nmに相当することになる。反応性スパッターTa₂O₅膜の場合には、界面SiO₂膜は2.2 nmと、反応性スパッターによる成膜時の酸素プラズマの影響で界面SiO₂層がCVD-Ta₂O₅膜の界面SiO₂層より0.3 nm厚くなる。従って、CVD-Ta₂O₅膜を用いたことが、界面SiO₂膜の薄膜化に有利に働き、SiO₂換算膜厚3 nm以下の薄膜化が可能となった。

6章では、二段階熱処理によるTa₂O₅膜の構造はどのように改質されたかについて、検討した結果を報告する。

5.12 参考文献

- [1] H. Shinriki, Y. Nishioka and K. Mukai " Highly Reliable Ta₂O₅/SiO₂ Double Dielectric Films on Poly Crystalline Silicon" Extended Abstracts of the 1987 Conference on Solid State Devices and Materials, Tokyo, 1987, pp.215-218.
- [2] H. Shinriki, T. Kisu, S. Kimura, Y. Nishioka, Y. Kawamoto and K. Mukai, "Promising Storage Capacitor Structures with Thin Ta₂O₅ Film for Low-Power High-Density DRAM's" IEEE Transactions on Electron Devices Vol.ED-37, No.9, September p.1939,1990.
- [3] T. Kaga, T. Kure, H. Shinriki, Y. Kawamoto, F. Murai, T. Nishida, Y. Nakagome, D. Hisamoto, T. Kisu, E. Takeda, K. Itoh "Crown-shaped stacked-capacitor cell for 1.5-V operation 64-MbDRAMs" IEEE Trans. Electron Devices, vol. 38, p. 255, 1991.
- [4] E. Kaplan, M. Balog, and D. Frohman-Bentchkowsky, "Chemical vapor deposition of tantalum pentoxide films for metal insulator semiconductor devices," J. Electrochem. Soc., vol.123, no.10, pp.1570-1571, 1976.

- [5] K. Yamagishi and Y. Tarui "Photo-CVD of Tantalum Oxide Film from Pentamethoxy Tantalum for VLSI Dynamic Memories" Jpn. J. Appl. Phys. Vol.25 1986, L306.
- [6] M. Matui, S. Oka, K. Yamagishi, K. Kuroiwa, and Y. Tarui, "Photo-process of tantalum oxide films and their characteristics," Japan. J. App. Phys., vol.27, no.4, pp.506-511, Apr, 1988.
- [7] M. Saitoh, T. Mori and H. Tamura "Electrical Properties of thin Ta₂O₅ films grown by Chemical Vapor Deposition" in IEDM Tech. Dig., p.680, 1986.
- [8] H. Shinriki and M. Nakata, "UV-O₃ and Dry-O₂: Two-Step Annealed Chemical Vapor-Deposited Ta₂O₅ Films for Storage Dielectrics of 64-Mb DRAM's" IEEE Transactions on Electron Devices Vol.ED-38, No.3, March p.455, 1991.
- [9] 神力 博 : 応用物理 第 60 卷、第 11 号 (1991) "高誘電率材料の LSI 容量絶縁膜への応用"
- [10] D. L. Baulch, R. A. Cox, P. J. Crutzen, R. F. Hampson Jr., J. A. Kerr, J. Tore, and R. T. Watson, "Evaluated kinetic and photochemical data for atmospheric chemistry ; Supplement I, CODATA Task Group on Chemical Kinetics," J. Phys. Chem. Ref. Data. Vol.11, no.2, 1982.
- [11] L. C. Lee, G. Black, R. L. Shrpless, and T. G. Slanger, "O(¹S) yield from O₃ photodissociation of 1700-2400 Å" J. Chem. Phys., vol. 73, p.256, 1980.
- [12] S. Chapman, "A Theory of Upper Atmospheric Ozone" Mem. Roy. Met. Soc., vol. 3, p.103, 1930; phil. Mag., vol. 10, p.369, 1930.
- [13] F. Watanabe: J. Illum. Eng. Inst. Jpn. 72, 327 (1982).
- [14] P. L. Young "DC electrical conduction in thin Ta₂O₅ films. I. Bulk-limited conduction" J. Appl. Phys. 47, 235 (1976).

第 6 章 極薄 Ta₂O₅ 膜のウィークスポット酸化結晶化熱処理、活性酸素処理による構造、組成変化

6.1 緒言

2 章において報告したように、高誘電率誘電体 Ta₂O₅ 膜を世界に先駆けて、シリコン半導体メモリ用容量絶縁膜に適用することに成功した。このシリコン半導体素子は 16 キロビットバイポーラメモリ素子であり、大型コンピュータに実装するため、高い信頼性を保証する必要があった。半導体素子製品に適用できる信頼性を実現するうえで、反応性スパッター-Ta₂O₅ 膜にウィークスポット酸化結晶化熱処理 (800°C の乾燥酸素熱処理) を行うことが極めて重要であることをみいだした。ウィークスポット酸化結晶化熱処理により Ta₂O₅ 膜の欠陥密度を大幅に低減し、絶縁破壊に対する長期信頼性を飛躍的に向上することができた [1]。また、5 章において報告したように、64 メガビット DRAM 素子用容量絶縁膜として SiO₂ 換算膜厚 2.8 nm の容量絶縁膜を二段階熱処理による CVD-Ta₂O₅ 膜により形成することに成功した [2,3]。CVD 法により形成した Ta₂O₅ 膜は高アスペクト比を有する立体化された容量部においても良好な被覆性を示すものの、リーク電流が多く、メモリ素子への適用は難しかった。また、ウィークスポット酸化結晶化熱処理 (800°C の乾燥酸素熱処理) だけでは、リーク電流を低減することはできなかった。このため、新たに、CVD 膜形成後に 300-400°C の低温で行う UV-O₃ 処理等の活性酸素処理により、酸素欠陥を低減する工程とウィークスポット酸化結晶化工程を二段階で行う二段階熱処理により、スパッター-Ta₂O₅ 膜と遜色ないリーク電流、信頼性を有する CVD-Ta₂O₅ 膜の形成に成功し、64 メガビット DRAM 容量絶縁膜に適用することができた [2]。

これらのリーク電流の低減、信頼性の改善がどのような Ta₂O₅ 膜の構造変化によりもたらされるかについては、これまで十分に解明されていない。特に、DRAM 素子用容量絶縁膜は極薄膜 (10 nm 以下) であり、極薄膜の膜構造の変化を分析するのは難しい課題であった。本章では、特に、極薄膜の分析が可能な、微小角入射 X 線回折、シンクロトロン放射光 (SOR) を用いた Extended X-ray Absorption Fine Structure (以降、SOR-EXAFS と略す)、粒子加速器を用いた、Rutherford Backscattering (以降、RBS と略す) と弾性反跳粒子検出法 (Elastic Recoil Detection Analysis : 以降 ERDA と略す)、X 線光電子分光 (X-ray Photoelectron Spectroscopy: 以降 XPS と略す) などの分析方法を用いて、構造変化の解明を試みた [4,5]。

6.2 極薄 Ta₂O₅ 膜構造解析の課題と極薄膜解析技術の選択

6.2.1 Ta₂O₅ 膜の構造変化の課題

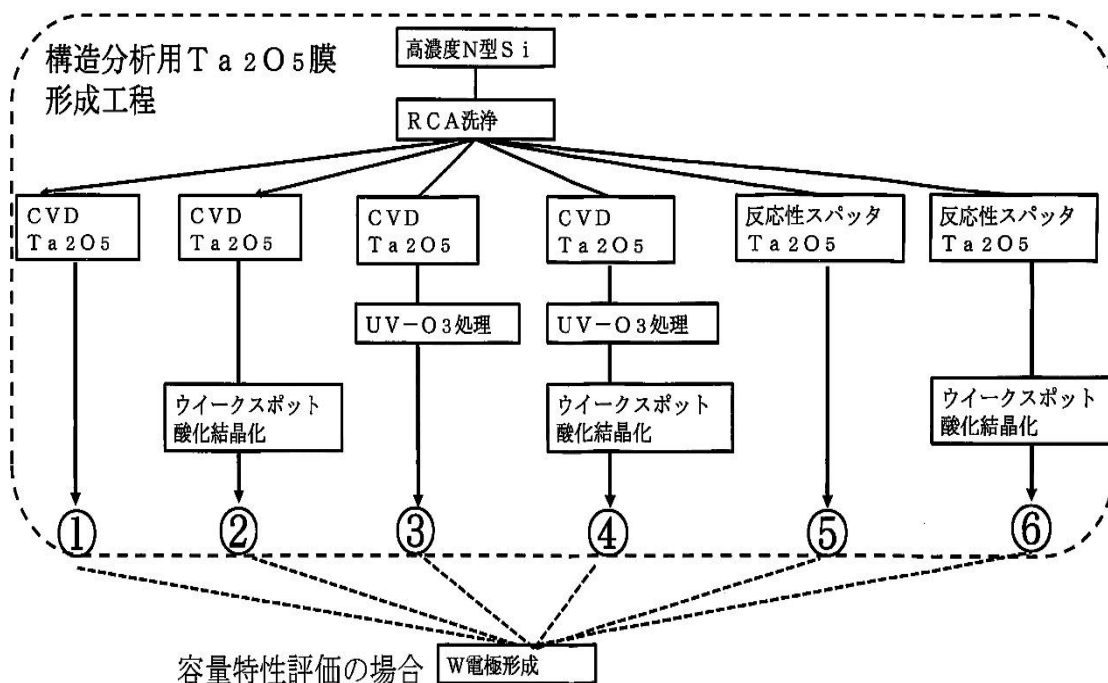


図 6-1 Ta₂O₅ 膜評価用試料の製造工程

図 6-1 はこれまでの、反応性スパッター、CVD による Ta₂O₅ 膜を Si デバイスに適用するために開発した製造工程により構造分析用の試料の製造工程をまとめている。高濃度シリコン表面を RCA 洗浄した後、反応性スパッター Ta₂O₅ 膜を形成するか、CVD-Ta₂O₅ 膜を形成する。CVD-Ta₂O₅ 膜を形成し、熱処理をしない工程を①、ウィークスポット酸化結晶化工程を②、UV-O₃ 処理工程のみを③、UV-O₃ 処理工程とウィークスポット酸化結晶化工程を連続して行った工程を④としている。反応性スパッター Ta₂O₅ 膜形成後の熱処理を行わない工程を⑤とし、ウィークスポット酸化結晶化熱処理を行った試料を⑥とする。これらの工程の後、W 電極を形成することで、2-5 章の電気的特性評価、あるいは、シリコン半導体メモリ素子への容量絶縁膜に適用された。本章では、工程①から⑥を用いて形成した Ta₂O₅ 膜の構造、組成を明確にすることを目的とする。評価用試料は工程番号①～⑥で示し、膜厚が 30 nm 以上、あるいは、ウィークスポット酸化結晶化熱処理温度が 800 °C 以外の場合には、工程番号に下付きで、膜厚、熱処理温度を示すこととする。

以下、それぞれの製造工程によって、どのような特性が得られたかについて、整理する。図 6-2 は 5 章にて示した図 5-20 に、工程①、②、③、④を記載したものである。工程①は CVD-Ta₂O₅ 膜を形成後の熱処理を行わない場合であるが、絶縁耐圧は極めて低い。一方、ウィークスポット酸化結晶化工程を行った場合（工程②）には、絶縁耐圧は改善するものの、二段階熱処理工程（④）を行った場合よりも絶縁耐圧は低い。UV-O₃ 処理だけを行った場合（工程③）には、処理時間とともに絶縁耐圧が改善される。UV-O₃ 処理時間が 10 分、60 分の結果に示すように、熱処理無しの場合よりも耐圧が処理時間とともに改善されるものの、耐圧分布のばらつきは大きいことがわかる。UV-O₃ 処理後にウィークスポット酸化結晶化熱処理を行う工程④により、高い絶縁耐圧を維持しながら、耐圧分布

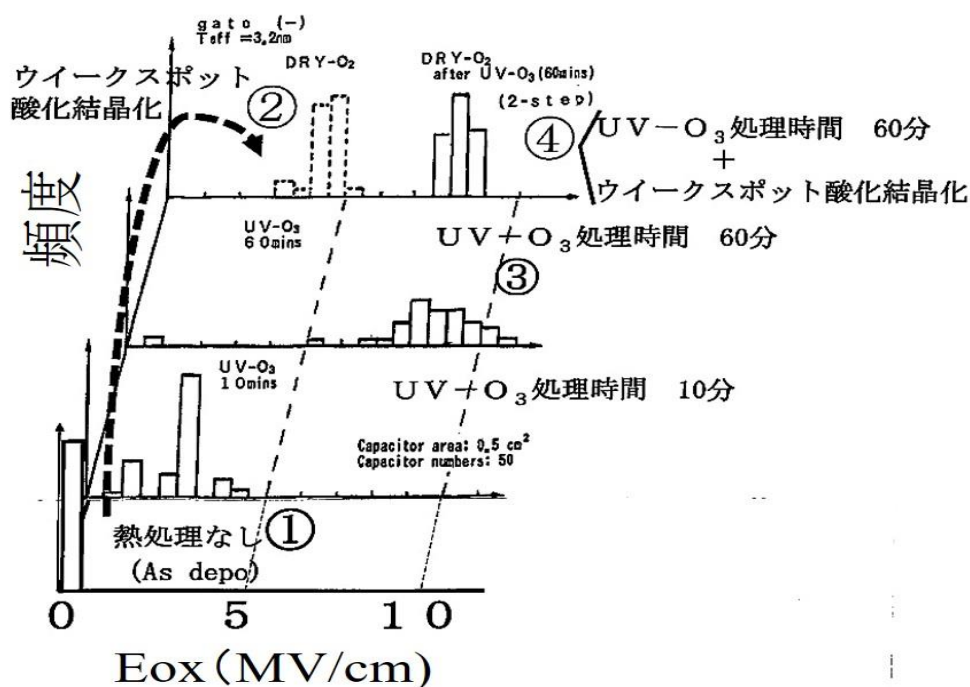


図 6-2 CVD-Ta₂O₅ 膜改質による耐圧分布の改善
(二段階熱処理工程：④)

は均一化できる。

一方、図 6-3 は図 5-16 に示したよう CVD 膜のリーク電流の UV-O₃ 処理時間依存性を示している。CVD 膜に熱処理を行わない工程①では、リーク電流が大きいですが、UV-O₃ 処理時間とともに、リーク電流は減少する。工程③では、UV-O₃ 処理時間が 60 分とすることにより、リーク電流は大幅に減少する。二段階の熱処理を行う工程④によっても、低いリーク電流は維持される。ただし、図 6-2 に示すように、均一性については二段階の熱処理を行う工程④によって大きく

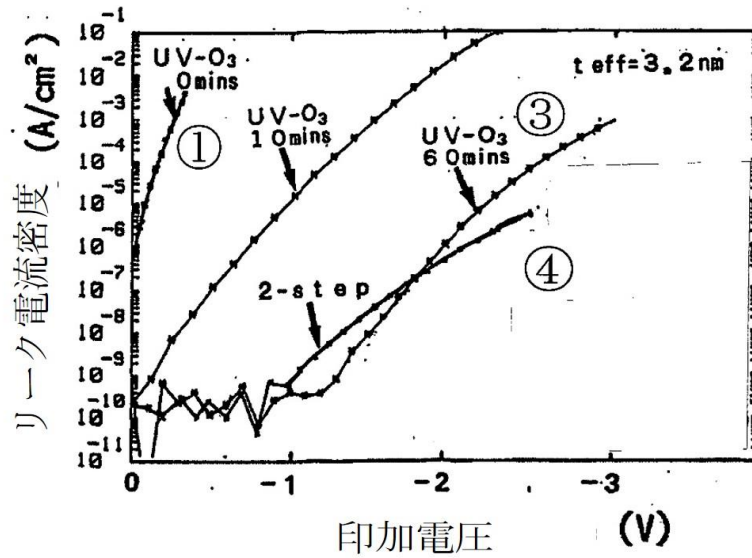


図 6-3 CVD-Ta₂O₅膜の UV-O₃ 処理によるリーク電流の低減

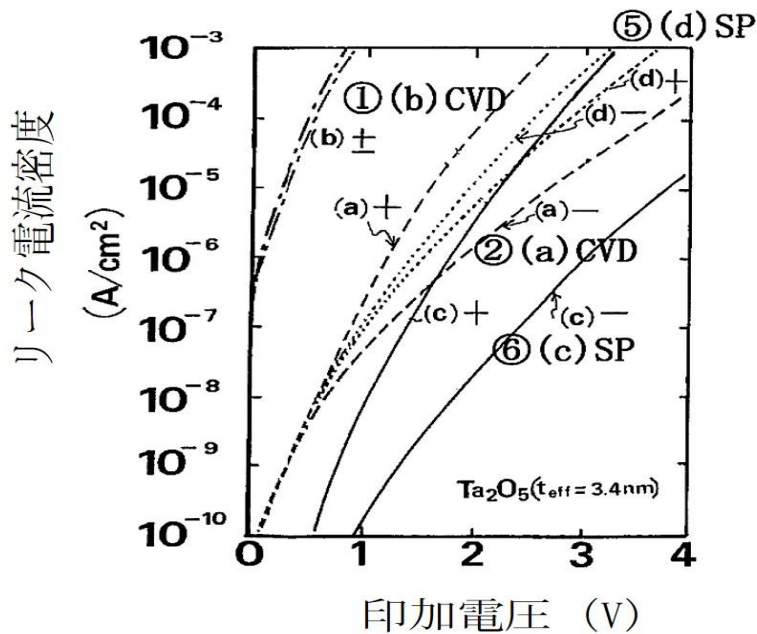


図 6-4 ウィークスポット酸化結晶化熱処理による CVD, スパッター Ta₂O₅ 膜の電流-電圧特性の変化

改善されるため、製品への適用には二段階の熱処理が必要となる。図 6-4 は図 5-8 にしめした、スパッター膜と CVD 膜のウィークスポット酸化結晶化熱処理による電流-電圧特性の変化を示している。スパッター膜では、熱処理なしの工程 ⑤に比較すると、ウィークスポット酸化結晶化工程 ⑥により、 10^{-6} A/cm² のリーク電流となる絶縁耐圧は正電極側で 30%、負電極側で 2 倍に改善される。一方、

CVD 膜の熱処理なしの工程①はリーク電流が大きい、ウィークスポット酸化結晶化工程②により、絶縁耐圧は改善されるものの、スパッター膜に比較すると、 10^{-6} A/cm² のリーク電流となる絶縁耐圧は正極性で 30 %、負極性で 50 %低い耐圧となる。従って、CVD 膜には絶縁耐圧を改善するために、UV-O₃ 処理工程が必要であり、また、製品化に必要な均一性、信頼性を確保するためには、ウィークスポット酸化結晶化工程の二段階熱処理工程が必要となる。

以上の図 6-2、6-3、6-4 の結果を整理し、2 章、5 章での考察を整理すると以下のように整理できる。

- 1) スパッター膜は熱処理を行わない工程⑤であっても、絶縁耐圧は比較的高い。一方、CVD 膜では熱処理を行わない工程①では、極端に絶縁耐圧が低い。成膜直後のスパッター膜は酸素欠陥が少ないが、成膜直後の CVD 膜は酸素欠陥が多いものと考えられる。
- 2) スパッター膜はウィークスポット酸化結晶化工程⑥により、絶縁耐圧は向上する。更に、2 章で示すように、欠陥密度の低減、C-V 特性の安定化、絶縁耐圧の均一化、絶縁破壊寿命の向上が得られる。一方、CVD 膜にウィークスポット酸化結晶化工程②では、十分な絶縁耐圧の向上は得られない。欠陥密度低減、膜特性の均一化には効果があるが、リーク電流の原因と考えられる酸素欠陥を低減する効果はないと考えられる。
- 3) CVD 膜に UV-O₃ 処理を行う工程③により、絶縁耐圧が大幅に改善する。UV-O₃ 処理は CVD 膜中の酸素欠陥を減少させる効果があるものの、均一性、信頼性を改善することはできなかった。
- 4) CVD 膜に二段階熱処理を行う工程④により、スパッター膜にウィークスポット酸化結晶化処理工程⑥と同等の電流-電圧特性、信頼性が得られる。CVD 膜の UV-O₃ 処理を行うことにより、酸素欠陥が低減し、堆積時のスパッター膜と同様に、酸素欠陥の少ない膜となる。その後のウィークスポット酸化結晶化熱処理を行う工程④は、スパッター膜に対すると工程⑥と同様に、CVD 膜を結晶化させることにより、欠陥密度の低減、C-V 特性の安定化、絶縁耐圧の均一化、絶縁破壊寿命の向上が可能となる。

以上のように、製品適用可能な容量絶縁膜の特性、信頼性を得るためには、スパッター膜では、堆積後のウィークスポット酸化結晶化工程⑥が必要であり、また、CVD 膜では酸素欠陥を低減するための活性酸素の処理として UV-O₃ 処理と、ウィークスポット酸化結晶化熱処理の二段階の熱処理④が必要である。④、⑥は結晶化した Ta₂O₅ 膜であり、この結晶膜がどのような構造となっているかに、特に注目し、工程①、②、③、④、⑤、⑥の構造変化を極薄膜に最適な構造、組成分析により、評価することが本章の目的である。

6.2.2 極薄 Ta₂O₅ 膜の解析技術の選択

10 nm 以下の極薄 Ta₂O₅ 膜の電気的特性、信頼性の変化に対応する構造変化を測定するための方法について示す。特に、Ta₂O₅ 膜のリーク電流は酸素欠陥によるものと考えており、結晶構造以外に、O/Ta 組成比、Ta への酸素の配位数、Ta-O 結合距離などの酸素の状態を明確にすることが重要な課題となる。

このため、薄膜の結晶性を評価できる微小角入射 X 線回折、O/Ta 組成比を測定できる X 線光電子分光と ERDA/RBS, Ta の LIII 吸収端 (9.875 KeV) を利用して、Ta への配位数、Ta-O 結合距離の評価が可能な SOR-EXAFS を用いて評価を試みた。粒子加速器を用いた ERDA/RBS の測定は東京工業大学原子炉研究所荒井研究室のご協力により測定を行った。以下には、それぞれの測定装置、測定原理について述べる。

(a) 微小角入射 X 線回折

極薄膜の X 線回折を得るには、基板の影響を除きながら薄膜からの回折強度を増大することが必要である。このため、照角配置を用いるのが有効である。図 6-5 は 10 nm の Ta₂O₅ の回折を得るために用いた測定装置を示している。X 線を基板に対して、1°の角度で入射することにより、10 nm 程度の Ta₂O₅ 膜より回折スペクトルをえることができた。

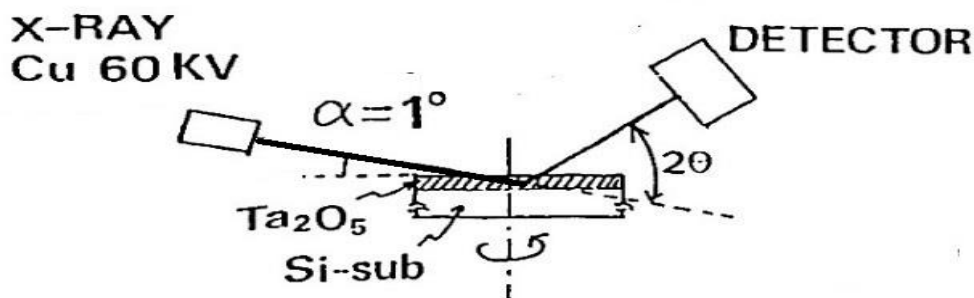


図 6-5 微小角入射 X 線回折装置概略構

(b) EXAFS (Extended X-ray Absorption Fine Structure)

Ta₂O₅ 膜の測定は日立製作所が高エネルギー物理学研究所放射光実験施設に建設した SOR-EXAFS 測定装置を用い、日立製作所生産技術研究所の協力により行った。測定は図 6-6 に示す様に、平行に近い角度で X 線を入射させることにより試料表面で入射 X 線を全反射させ、Si 検出器を用いた蛍光 X 線収量法により EXAFS を測定した。EXAFS スペクトルの解析から、Ta 原子の周辺の原子

の配位数、結合距離などの情報を結晶、非晶質によらず得ることができる。

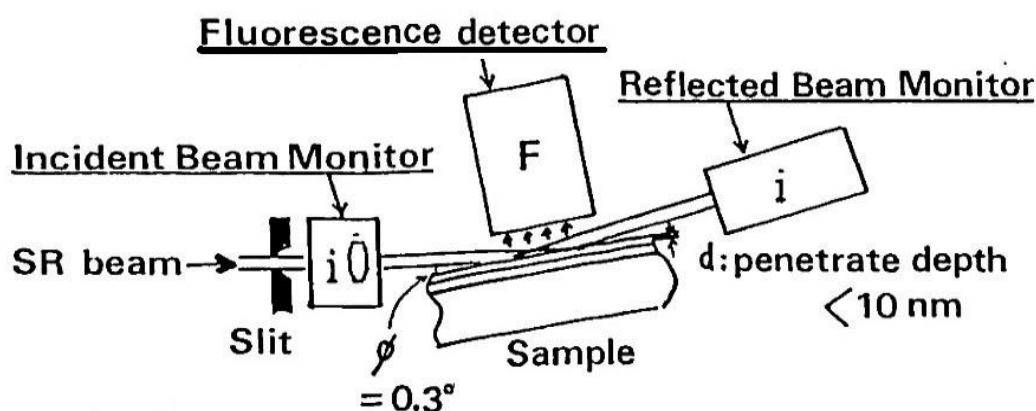


図 6-6 SOR 光による EXAFS 測定装置

(c) TOF-ERDA と RBS による Ta₂O₅ 膜組成計測

Ta₂O₅ 膜の深さ方向の元素プロファイル、組成を測定するには Ta と O を測定することが必要であり、それぞれに最適な分析方法を選択する必要がある。試料中に加速粒子 P (原子量 A_p , 原子番号 Z_p) が入って、①深さ Z にあるターゲット原子 T (A_t, Z_t) と作用する。②その結果検出粒子 D (A_d, Z_d) が放出され角度 θ で計測される。RBS 法の場合は $D=P$ 、ERDA 法の場合には $D=T$ である。Si 基板上に形成した薄膜を評価する場合、Si の質量より軽い元素を見るか、重い元素を見るかにより評価方法を選択する。酸素を見る場合には、入射粒子 P の質量はこれらの質量より大きく選ぶことにより、ERDA 法により精度良い測定ができる。Ta₂O₅ 膜では、酸素は TOF-ERDA 法により測定し、同時に Ta を RBS により測定することが可能である。このため、加速粒子としては ³⁵Cl を用い、TOF-ERDA と RBS を併用することにより、酸素、炭素と Ta を同時に測定する分析方法を選択した。

(C-1) TOF-ERDA の測定原理

試料と検出器の配置を図 6-7 に示す。図中の 2 台の時間検出器は粒子の飛行時間を測定するためのもので、粒子は各時間検出器を通過する。入射粒子および反跳粒子の原子質量および質量をそれぞれ、 $Z_1, M_1 : Z_2, M_2$ とし、試料表面に入射する入射粒子のエネルギーを E_0 、標的原子と衝突するエネルギー E_1 とする。標的原子は衝突を受けるまでは静止し、衝突直後の反跳粒子のエネルギーを E_r 、試料表面から抜け出たときのエネルギーを E_2 とする。衝突は 1 回のみで、多重

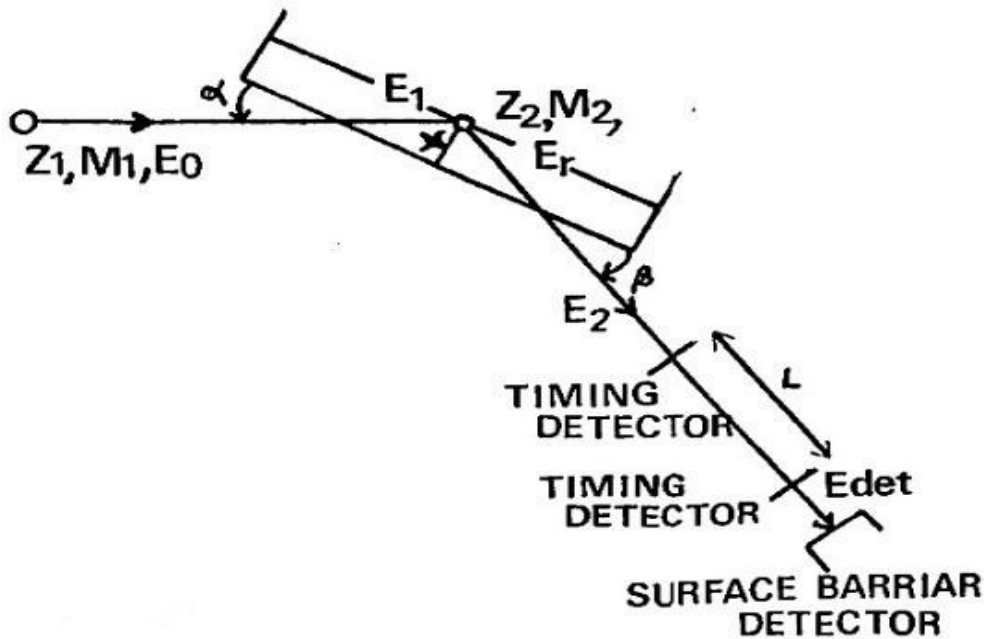


図 6-7 TOF-ERDA 測定装置概略

散乱はないものとする。試料表面より深さ x の位置で、入射ビームの方向に対して、反跳核 $\theta (= \alpha + \beta)$ の方向に放出される。反跳粒子のエネルギー E_{det} 次式で与えられる。

$$E_{det} = E_2 - \int_0^f (dE/dx) dx \quad (6-1)$$

$$E_2 = E_r - \int_0^{x/\sin\theta} (dE/dx)_{out} dx \quad (6-2)$$

$$E_r = K_r(\theta) E_1 \quad (6-3)$$

$$K_r(\theta) = \frac{4 \cdot M_1 \cdot M_2}{(M_1 + M_2)^2} \cos^2 \theta \quad (6-4)$$

$$E_1 = E_0 - \int_0^{x/\sin\alpha} (dE/dx)_{in} dx \quad (6-5)$$

ここで、 $K_r(\theta)$ は運動学因子、 $(dE/dx)_{in}$ 、 $(dE/dx)_{out}$ はそれぞれの入射粒子および反跳粒子の試料内における物質阻止能である。 f は時間検出器で用いられているカーボン膜の膜厚、 $(dE/dx)_t$ は反跳粒子のカーボン膜中での物質阻止能である。

深さ x 、 $x + \Delta x$ の間において弾性衝突により反跳されて、検出器の中に入る粒子の数 $Y_r(x)$ は次式で与えられる

$$Y_r(x) = QN(x) \Delta x \cdot \left(\frac{d\sigma}{d\Omega} \right)_r \cdot \Delta \Omega \quad (6-6)$$

$$\left(\frac{d\sigma}{d\Omega}\right)_r = \left(\frac{Z_1 \cdot Z_2 \cdot e^2}{2E_1}\right)^2 \cdot \left(\frac{M_1 + M_2}{M_2}\right)^2 \cdot \frac{1}{\cos^2\theta} \quad (6-7)$$

ここで、 Q は入射イオンの数、 $N(x)\Delta x$ は深さ x における単位面積当たりの反跳原子数、 Ω は検出器の立体角、 $(d\sigma/d\Omega)_r$ は実験室系における反跳微分断面積である。さらに、反跳粒子の飛行時間を T 、その時の飛行距離を L とすると、検出された粒子の質量 M_2 は次式で与えられる。

$$M_2 = \frac{2 E_{det} T^2}{L^2} \quad (6-8)$$

(C-2) RBS 装置

入射ビーム原子が標的原子と衝突を起こし、散乱される、後方に置かれたエネルギー検出器に入射してエネルギー分析を受ける。ターゲット中で散乱された粒子がどの程度のエネルギーを失うかは入射粒子と標的原子の質量に依存するので、これから標的原子が何であるかわかる。

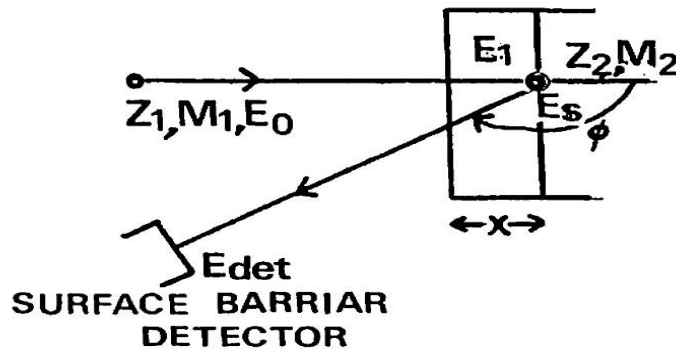


図 6-8 RBS 測定装置概略図

図 6-8 に試料と検出器の配置を模式的にしめす。入射粒子および反跳粒子の原子番号及び質量をそれぞれ $Z_1, M_1; Z_2, M_2$ ($M_1 < M_2$) とし、試料表面に入射する入射粒子のエネルギー E_0 、標的原子と衝突するエネルギーを E_1 とする。標的原子は衝突前は静止し、衝突直後の反跳粒子のエネルギーを E_s とする。図 6-8 記載のように、衝突は 1 回のみで、多重散乱はないものとする。入射粒子は試料表面より深さ x の位置で入射ビームの方向に対して散乱角 Φ の方向に散乱される。検出器で検出されるエネルギー E_{det} は次式で与えられる。

$$E_{det} = E_s - \int_0^{x/\sin\theta} \left(\frac{dE}{dx}\right)_{out} dx \quad (6-9)$$

$$E_s = K_s(\phi) \cdot E_1 \quad (6-10)$$

$$K_s(\phi) = \left(\frac{(M_2^2 - M_1^2 \cdot \sin^2 \phi)^{1/2} + M_1 \cdot \sin \phi}{M_1 + M_2} \right)^2 \quad (6-11)$$

$$E_1 = E_0 - \int_0^x (dE/dx)_{in} \quad (6-12)$$

ここで、 $K_s(\phi)$ は運動学因子、 $(dE/dx)_{in}$ 、 $(dE/dx)_{out}$ はそれぞれ入射粒子の試料内における入射経路、出射経路での物質阻止能である。入射粒子が深さ x 、 $x+\Delta$ の間において弾性衝突により散乱されて、検出器の中に入る。検出される粒子数 $Y_s(x)$ は次式で与えられる。

$$Y_s(x) = QN(x)\Delta x \cdot \left(\frac{d\sigma}{d\Omega}\right) \cdot \Delta\Omega \quad (6-13)$$

ここで、 Q は入射イオンの数、 $N(x)\Delta x$ は深さ x における単位面積当たりの標的原子数、 $\Delta\Omega$ は検出器の立体角、 $(d\sigma/d\Omega)_s$ は実験室系における散乱微分断面積で(6-14)式で与えられる。

$$\left(\frac{d\sigma}{d\Omega}\right)_s = \left(\frac{Z_1 \cdot Z_2 \cdot e^2}{4E_1}\right)^2 (\sin^{-4}(\phi/2) - 2(M_1/M_2)^2) \quad (6-14)$$

(c-3) Ta₂O₅膜の原子量論比の算出方法

測定する薄膜中の元素 A,B に対する化学量論比 (N_A/N_B) は(6-6)式、(6-13)式から次式で与えられる。

$$\frac{N_A}{N_B} = \frac{Y_A \cdot \int \left(\frac{d\sigma}{d\Omega}\right)_B \cdot dx_B \sigma \cdot \Delta\Omega_B}{Y_B \cdot \int \left(\frac{d\sigma}{d\Omega}\right)_A \cdot dx_A \sigma \cdot \Delta\Omega_A} \quad (6-15)$$

ここで、 N は各元素の原子密度、 Y は各元素に対して得られるエネルギースペクトルから求めた全計数、 $(d\sigma/d\Omega)$ は各元素に対する反跳微分断面積あるいは散乱微分断面積である。添字 A,B はそれぞれの元素に対するものであることを示す。酸素とタンタルの比はそれぞれ ERDA と RBS で分析した値を用いた。また、酸素と炭素の比はともに ERDA による分析値を求めた。それぞれの場合の化学量論比 (N_A/N_B) の計算式は以下の様になる。

I) 元素 A,B ともに ERDA で分析する場合

(6-15) 式において元素 A,B に対する検出器の立体角 $\Delta\Omega$ は等しい。よって、微小深さ Δx に分割した各深さでの断面積の和を使うと 6-15 式は次式で近似される。

$$\frac{N_A}{N_B} = \frac{Y_A \cdot \sum_{i=0}^n \left(\frac{d\sigma}{d\Omega}\right)_{Bi}}{Y_B \cdot \sum_{i=0}^n \left(\frac{d\sigma}{d\Omega}\right)_{Ai}} \quad (6-16)$$

ここで、 $(d\sigma/d\Omega)_{Ai}$ 、 $(d\sigma/d\Omega)_{Bi}$ はそれぞれ元素 A,B に対する各深さでの断面積である。

II) 元素 A,B をそれぞれ ERDA,RBS で分析する。

(6-15)式において、元素 A,B のそれぞれに対する検出器の立体角は違う $\Delta\Omega_A, \Delta\Omega_B$ は ERDA、RBS に対する検出器の立体角である。よって、微小深さ Δx に分割した各深さでの断面積の和を使うと 6-15 式は次式で近似される。

$$\frac{N_A}{N_B} = \frac{Y_A \cdot \sum_{i=0}^n \left(\frac{d\sigma}{d\Omega}\right)_{Bi} \Delta\Omega_B}{Y_B \cdot \sum_{i=0}^n \left(\frac{d\sigma}{d\Omega}\right)_{Ai} \Delta\Omega_A} \quad (6-17)$$

ここで、 $(d\sigma/d\Omega)_{Ai}$ は元素 A に対する各深さでの反跳微分断面積、 $(d\sigma/d\Omega)_{Bi}$ は元素 B に対する各深さでの散乱断面積である。

本方式により、Ta と酸素の化学量論比を計算する場合、(6-17)式に示される様に、ERDA と RBS のそれぞれの検出器の立体角の比を求める必要がある。この比を予め求めて置くことが必要である。この比は Si/Au (25 nm) / SiO₂ (30 nm)の積層膜の評価により算出されている。Au と SiO₂ の予め予想される単位面積当たりの原子数比と ERDA と RBS により求められた膜中の Si と Au の計数の実験値より、(6-17) 式を用いて検出器の立体角の比が求められる。この比は以下のようなになった。

$$\Delta\Omega_{RBS}/\Delta\Omega_{ERDA} = 33.1 \quad (6-18)$$

この値を用いることにより、Ta と O の計数值から O/Ta 比を求めることができる。但し、Ta₂O₅ と Si の界面に生成された SiO₂ と Ta₂O₅ を分離するため、SiO₂ 膜が 2.4 nm として、酸素の計数值より SiO₂ からの酸素の寄与を差し引いて Ta₂O₅ 膜からの酸素の計数值とした。

(d) XPS (X-ray Photoelectron Spectroscopy)による O / Ta 組成評価

光電子ピークの線強度、面積を用いて定量分析を行うことができる。測定された線強度波高電子断面積 σ 、電子の脱出深さ λ 、電子ピーク信号の生成効率 Y 、分光器の変換率 T などに依存している。試料中の元素 A, B の相対濃度 N_A/N_B は面積を用いて下式により求めることができる。

$$\frac{N_A}{N_B} = \frac{I_A \cdot \sigma_B \cdot \lambda_B \cdot Y_B \cdot T_B}{I_B \cdot \sigma_A \cdot \lambda_A \cdot Y_A \cdot T_A} \quad (6-19)$$

ここで、光電子断面積については正確な値が得られているが、その他については、経験的な値が得られているだけであり、数 10 % の誤差が考えられる。従って、この測定では絶対的な値を求めることは難しく、化学量論比が他の測定により予め定められた標準試料がない場合には相対的な比較ができるだけである。

6.3 熱処理によるスパッター Ta₂O₅ 膜、CVD-Ta₂O₅ 膜の構造の変化

6.3.1 微小角入射 X 線回折による薄膜 Ta₂O₅ 膜の評価

図 2-15 に示す様に、膜厚 70 nm のスパッター Ta₂O₅ 膜はでは、800 °C の乾燥酸素熱処理により、結晶化し、クラックが発生する。また、2 章の図 2-14、図 2-15 に示すように、20 nm 以下では結晶化するものの、クラックの生成はない。ここでは、更に、CVD-Ta₂O₅ 膜も含めて結晶化について評価を行った。薄膜の測定をするために図 6-5 に示す微小角入射 X 線回折により、CVD 膜、スパッター膜について測定した。図 6-9 は膜厚が 10 nm と極薄の CVD-Ta₂O₅ 膜の X 線回折ス

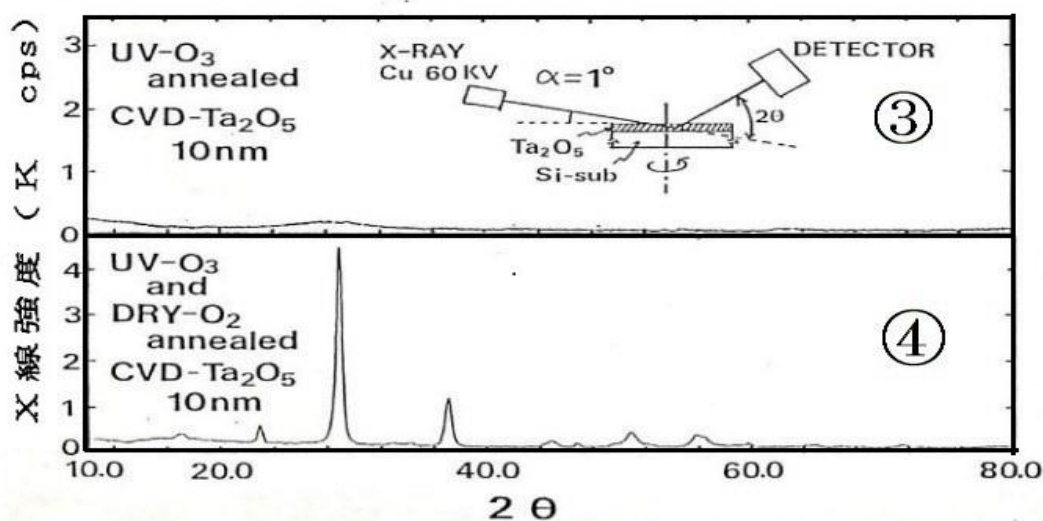


図 6-9 CVD-Ta₂O₅ 膜の UV-O₃ 処理二段階熱処理後の X 線回折スペクトル

ペクトルを示している。UV-O₃ 処理のみで、乾燥酸素熱処理を行わない工程③による CVD-Ta₂O₅ 膜からはX線回折は認められず、非晶質である。UV-O₃ 処理後にウィークスポット酸化結晶化熱処理 (800 °Cの乾燥酸素熱処理) を行う工程④により、X回折パターンが観測され、結晶化することが確認できた。

図 6-10 は 10-70 nm のスパッター膜と CVD 膜のウィークスポット酸化結晶化熱処理 (それぞれ工程⑥、工程②に該当) を行った膜の X 線回折パターンと既知の X 線回折データとを比較したものである。800 °Cのウィークスポット酸

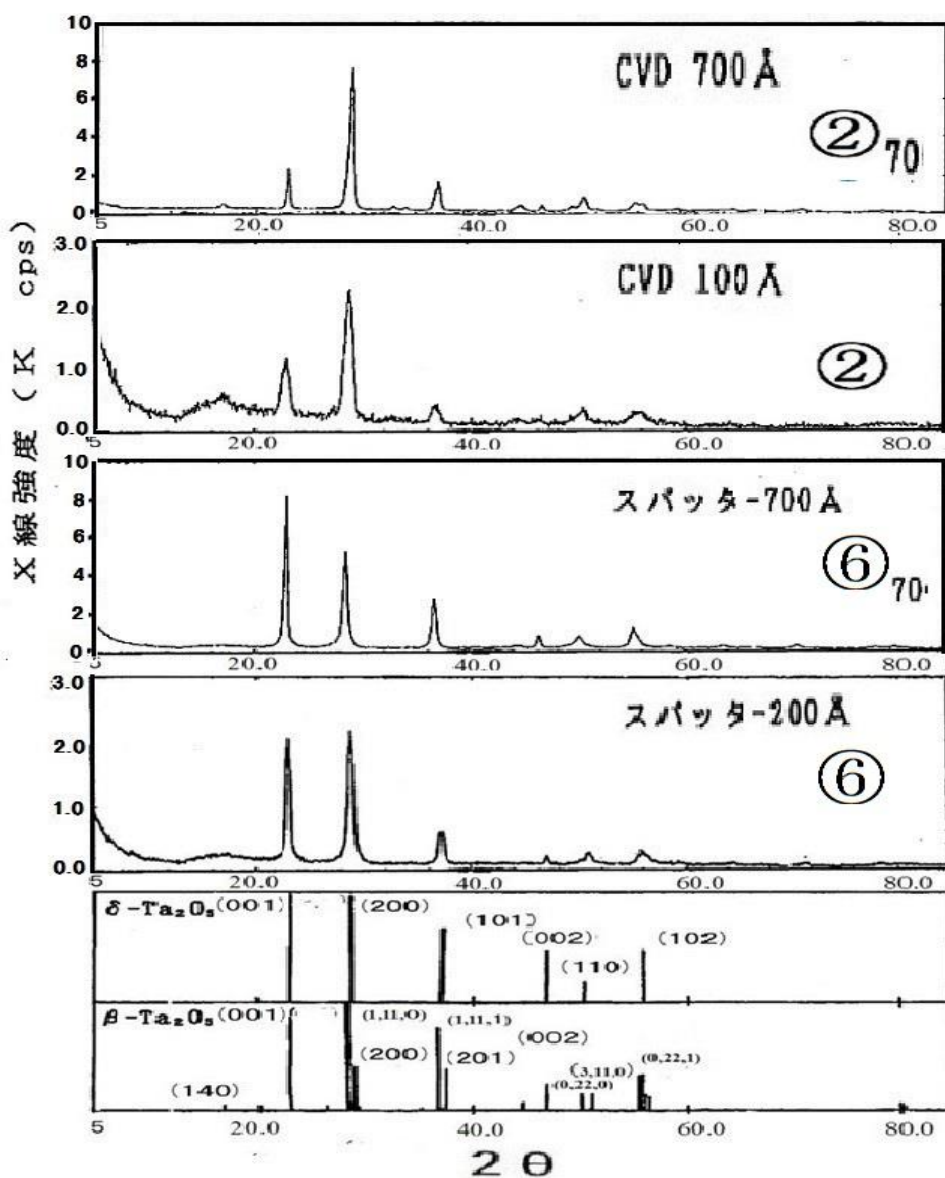


図 6-10 Ta₂O₅ 膜の X 線回折スペクトル

化結晶化熱処理により、70 nm, 20 nm のスパッター膜、70 nm, 10 nm の CVD 膜のいずれもが結晶化している (20 nm のスパッター膜の結果については、2 章の図 2-14 にも示した)。20 nm 以下の CVD 膜もスパッター膜もウィークスポット酸化結晶化熱処理により、結晶化していることが確認できた。この回折パターンからだけでは、 β - Ta_2O_5 か δ - Ta_2O_5 かの判定はできないが、2~5 章にて製品適用できるとした極薄 Ta_2O_5 膜はいずれも結晶膜であることが確認できた。

6.3.2 CVD- Ta_2O_5 膜の結晶構造の UV- O_3 処理時間依存性

5 章図 5-15 に報告したように、二段階熱処理による 20 nm の CVD- Ta_2O_5 膜の絶縁耐圧は UV- O_3 処理時間が長くなるにつれ増加する。図 6-11 は二段階熱処理の UV- O_3 処理時間を 10, 30, 100, 200 分として二段階熱処理を行い、得られた回折スペクトルを示している。UV- O_3 処理時間が 0 分の場合は、ウィークスポット酸化結晶化工程のみで、工程②に該当し、二段階の熱処理を行っているものは工程④に該当する。 Ta_2O_5 膜は UV- O_3 処理を行った後、800 °C の乾燥酸素熱処

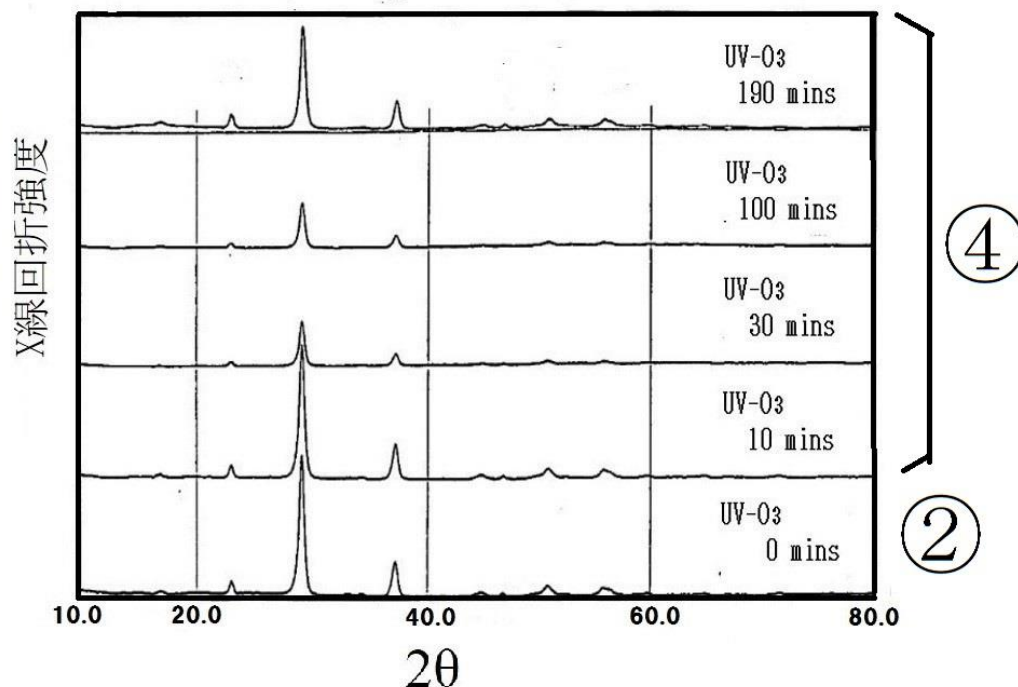


図 6-11 CVD- Ta_2O_5 膜の XRD スペクトルの UV- O_3 処理時間依存性

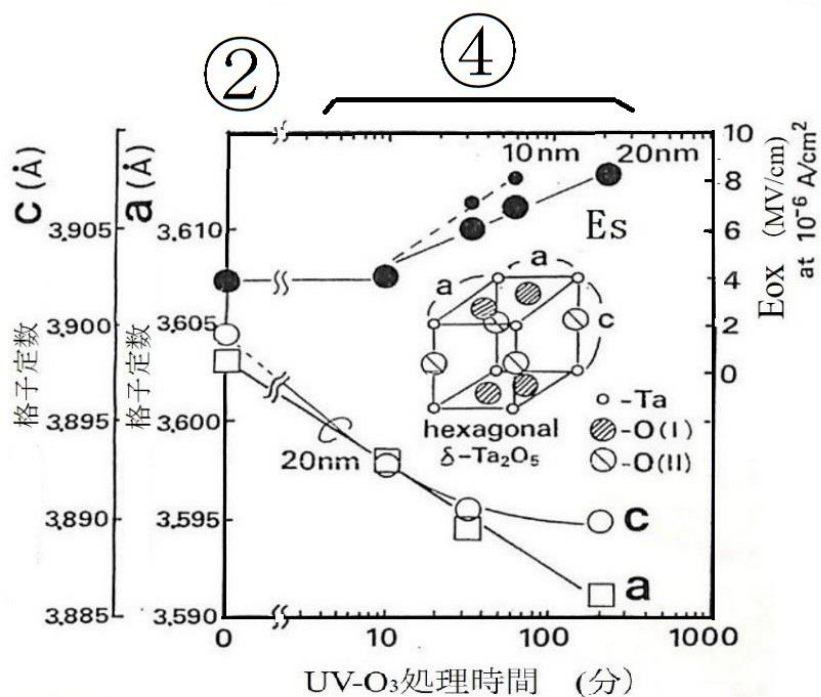


図 6-12 CVD-Ta₂O₅ 膜の格子定数の UV-O₃ 処理時間依存性

理により結晶化する。この回折スペクトルより、格子定数の変化を算出するために、 δ -Ta₂O₅ 結晶構造を仮定して、得られた格子定数の変化を図 6-12 に示す。図 6-12 内に δ -Ta₂O₅ の単位結晶格子を示している。酸素の配位位置には O (I)、O (II) があり、UV-O₃ 処理時間の増加とともに、格子定数 a 軸、c 軸は異なる挙動を示す。a 軸は UV-O₃ 処理時間の増加とともに短縮するが、c 軸は飽和する。対応する SiO₂ 換算膜厚の絶縁電界強度 E_{ox} の挙動は a 軸の短縮と相関があることから、主な酸素欠陥は O (I) に発生すると考えられる。このため、Ta-O 結合距離は UV-O₃ 処理時間が長い程、短くなると考えられる。

6.4 ウィークスポット酸化結晶化熱処理、UV-O₃ 処理による Ta₂O₅ 膜組成比、深さ方向プロファイルの変化

6.4.1 ERDA/RBS による O / Ta 組成比と深さ方向プロファイルの評価

UV-O₃ 処理により CVD 膜の絶縁性は飛躍的に改善することを図 5-19 に示した。この場合には、非晶質状態が保たれているので、この変化は膜中の O / Ta 組成比の変化として測定できると考えられる。測定は膜厚が 70 nm の場合と 20 nm 以下の領域について行った。

(a) 厚膜領域 (70 nm)

表 6-1 は測定に用いた TaOx 膜の形成仕様と得られた化学量論比を示している。

表 6-1 Ta₂O₅ (70 nm) の ERDA/RBS 測定試料と測定結果

工程 番号	膜形成方法	膜厚 (nm)	酸素熱処理温度 (°C)	化学量論比 x	ERDAによる測定膜厚 (nm)	
					Ta ¹⁸¹	O ¹⁶
① ₇₀	CVD	70	無	2.49 ± 0.07	67.6 ± 7.5	66.7 ± 2.1
② ₇₀	CVD	70	800	2.52 ± 0.07	67.8 ± 7.5	68.5 ± 2.1
⑤ ₇₀	SP	70	無	2.53 ± 0.06	73.3 ± 7.5	72.9 ± 2.1
⑥ ₇₀	SP	70	800	2.53 ± 0.06	73.3 ± 7.5	72.9 ± 2.1

図 6-13 は試料番号①₇₀の測定結果を示している。

図 6-13 (a)はエネルギー (MeV) 対重量 (a.m.u) 表示である。図 6-13 (b)は図 6-13 (a)を三次元表示したものである。

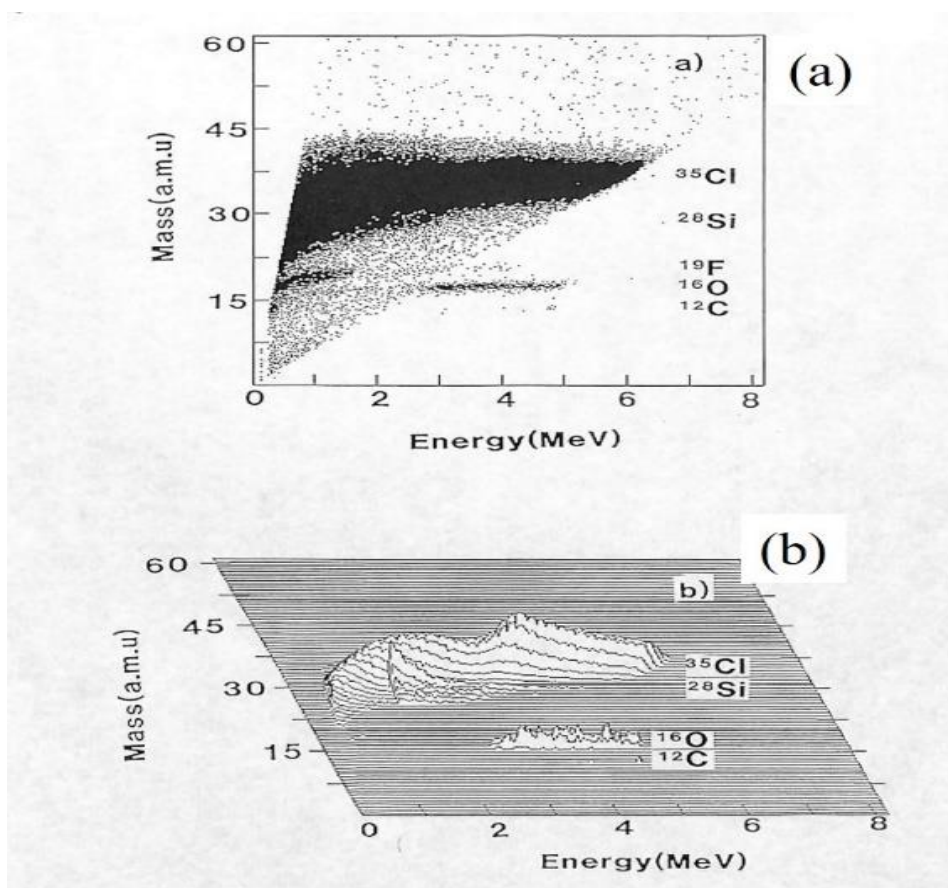


図 6-13 (a), (b) Ta₂O₅ 膜 (70 nm) の ERDA/RBS スペクトル
試料番号①₇₀

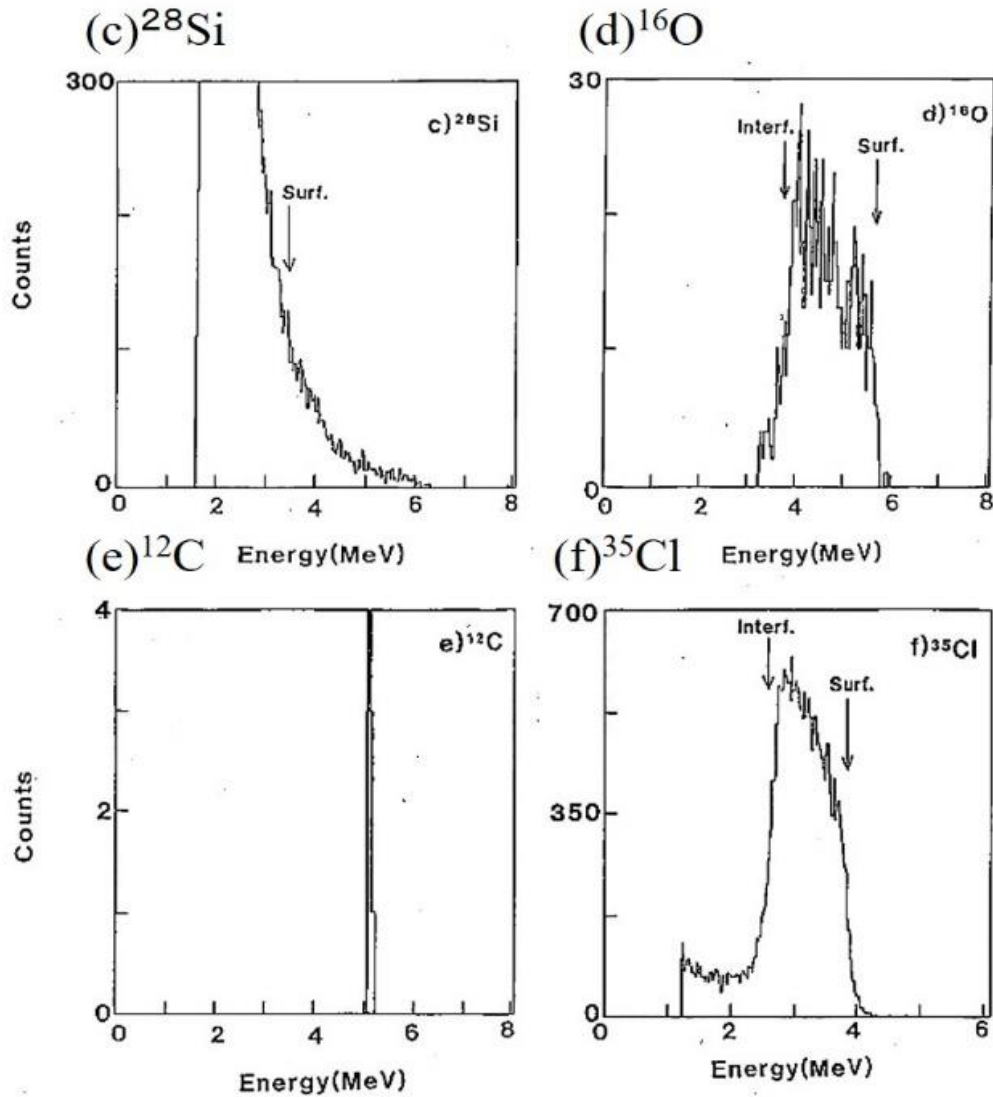


図 6-13 (c), (d), (e), (f) Ta₂O₅ 膜 (70 nm) の ERDA/RBS スペクトル
試料番号①₇₀

図 6-13 (c)、(d)、(e)はそれぞれ Si, O, C の反跳粒子に対するエネルギースペクトルである。図 6-13 (f)は Ta から散乱された Cl の RBS スペクトルである。図 6-13 (d)と図 6-13 (f)に示す計数值より、(6-17) 式により化学量論比を求めた。図 6-13 (d)は TaO_x から反跳された ¹⁸O のエネルギースペクトルである。エネルギーが低くなるにしたがいスペクトルの計数は高くなっている。これは、TaO_x 中の阻止能によりエネルギーが深さに比例して減少し、(6-7) 式により散乱断面積が増大するためである。図 6-13 (f)は ¹⁸¹Ta から散乱された ³⁵Cl の RBS スペクトルである。図 6-13 (d)の ¹⁸O スペクトルと同じようにエネルギーが低くなるにしたがいスペクトルの計数は高くなっている。(6-14) 式により散乱断面積が増大するためである。

表 6-1 の結果より、スパッター膜では乾燥酸素熱処理の有無によらず、O / Ta 化学量論比は約 2.53 と一定である。CVD 膜では堆積して乾燥酸素熱処理をしない場合には、O / Ta 化学量論比は 2.48 と低い。従って、CVD 膜はスパッター膜と比較して酸素欠陥が生成されやすい。スパッター膜形成は高周波スパッターにより行われ、成膜時には活性な酸素が存在するが、CVD 膜の形成時には活性な酸素がないためである。一方、活性な酸素を供給する製造方法では良好な被覆性が得られない。CVD 膜を 800 °C の乾燥酸素熱処理により O / Ta 化学量論比が 2.52 まで増加している。70 nm の膜では 800 °C の乾燥酸素熱処理により結晶化し、クラックも発生するので、本研究で対象とする薄膜領域の Ta₂O₅ 膜の物性とは異なる。薄膜領域の Ta₂O₅ 膜の結果については、表 6-2 に示す。

(b) 薄膜領域 (≦20 nm)

薄膜領域では、CVD 膜形成後の熱処理を工夫することにより、リーク電流が低減することが可能であることを 5 章にて示した [1]。そこで、この膜厚領域における、熱処理の組成比への効果について測定した。表 6-2 は測定に用いた試料の形成プロセスと得られた結果をまとめている。図 6-14 は熱処理無しの場合

表 6-2 Ta₂O₅ 極薄膜の ERDA/RBS 測定試料と測定結果

工程 番号	膜形成方法	膜厚 (nm)	酸素熱処理温度 (°C)	UV-オゾン処理	化学量論比 x	ERDAによる測定膜厚 (nm)	
						Ta ¹⁸¹	O ¹⁶
①	CVD	10	無	無	2.45 ± 0.08	10.2 ± 7.5	8.97 ± 2.1
②	CVD	10	800	無	2.47 ± 0.09	10.5 ± 7.5	10.20 ± 2.1
③	CVD	10	無	有	2.52 ± 0.08	10.4 ± 7.5	9.19 ± 2.1
④	CVD	10	800	有	2.54 ± 0.08	10.5 ± 7.5	10.60 ± 2.1
⑤	SP	20	無	無	2.52 ± 0.07	21.2 ± 7.5	19.60 ± 2.1
⑥	SP	20	800	無	2.53 ± 0.08	20.4 ± 2.1	20.40 ± 2.1

の 10 nm 膜厚の CVD-Ta₂O₅ 膜 (試料番号①) の測定結果を示している。図 6-14 (a) はエネルギー (MeV) 対重量 (a.m.u) 表示である。図 6-14 (b) は図 6-14 (a) を三次元表示したものである。図 6-14 (c)、(d)、(e) はそれぞれ Si、O、C の反跳粒子に対するエネルギースペクトルである。図 6-14 (f) は Ta から散乱された Cl の RBS スペクトルである。図 6-14 (d) と図 6-14 (f) に示す計数値より、(6-17) 式により化学量論比を求めた。図 6-15 は表 6-2 に示す各試料の各試料の Ta から散乱された Cl の RBS スペクトルと O の反跳粒子に対するエネルギースペクトルをまとめたものであり、これらの測定結果から同様に表 6-2 に示す化学量論比が得られている。膜厚が薄いために TaO_x から反跳された ¹⁸O のエネルギースペクトルはガウス分布となっている。¹⁸¹Ta から散乱された ³⁵Cl の RBS ス

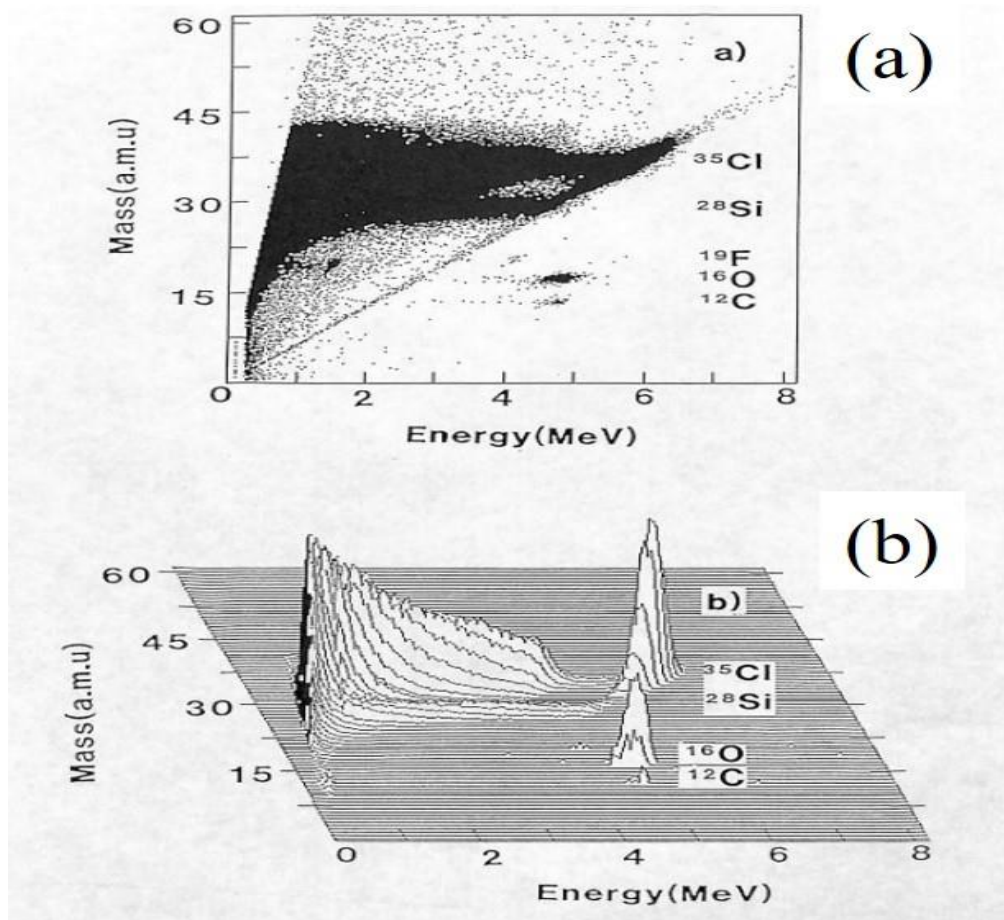


図 6-14 (a), (b) CVD-Ta₂O₅ 膜 10 nm の熱処理無し (試料番号①) の ERDA/RBS スペクトル

ペクトルも ^{18}O スペクトルのようにガウス分布している。CVD-Ta₂O₅ 膜では、ウィークスポット酸化結晶化処理を行う工程②により、O / Ta 比は 2.45 から 2.47 と約 0.8%、UV-O₃ 処理を行う工程③では O / Ta 比は 2.52 と約 2.8 % 増加する。二段階の処理を行う工程④により、O / Ta 比は 2.54 と約 3.7 % の増加が得られた。従って、UV-O₃ 処理を行う工程③によるリーク電流の顕著な減少は膜中の O / Ta 比の増加によってもたらされると考えられる。一方、スパッター膜に熱処理を行わない場合 (工程⑤) でも O / Ta 比は 2.52 となり、CVD 膜を UV-O₃ 処理を行った場合 (工程③) の O / Ta 比 2.52 と同等である。更に、スパッター膜にウィークスポット酸化結晶化熱処理を行う (工程⑥) の O / Ta 比は 2.53 となり、CVD 膜に二段階熱処理を行った場合 (工程④) の O / Ta 比 2.54 と同等な組成比となる。スパッター膜では、スパッター膜成膜時に十分に酸素が膜中に取り込まれており、CVD 膜で必要とされる UV-O₃ 処理をすることなく良好な絶縁性が得られたと考えられる。

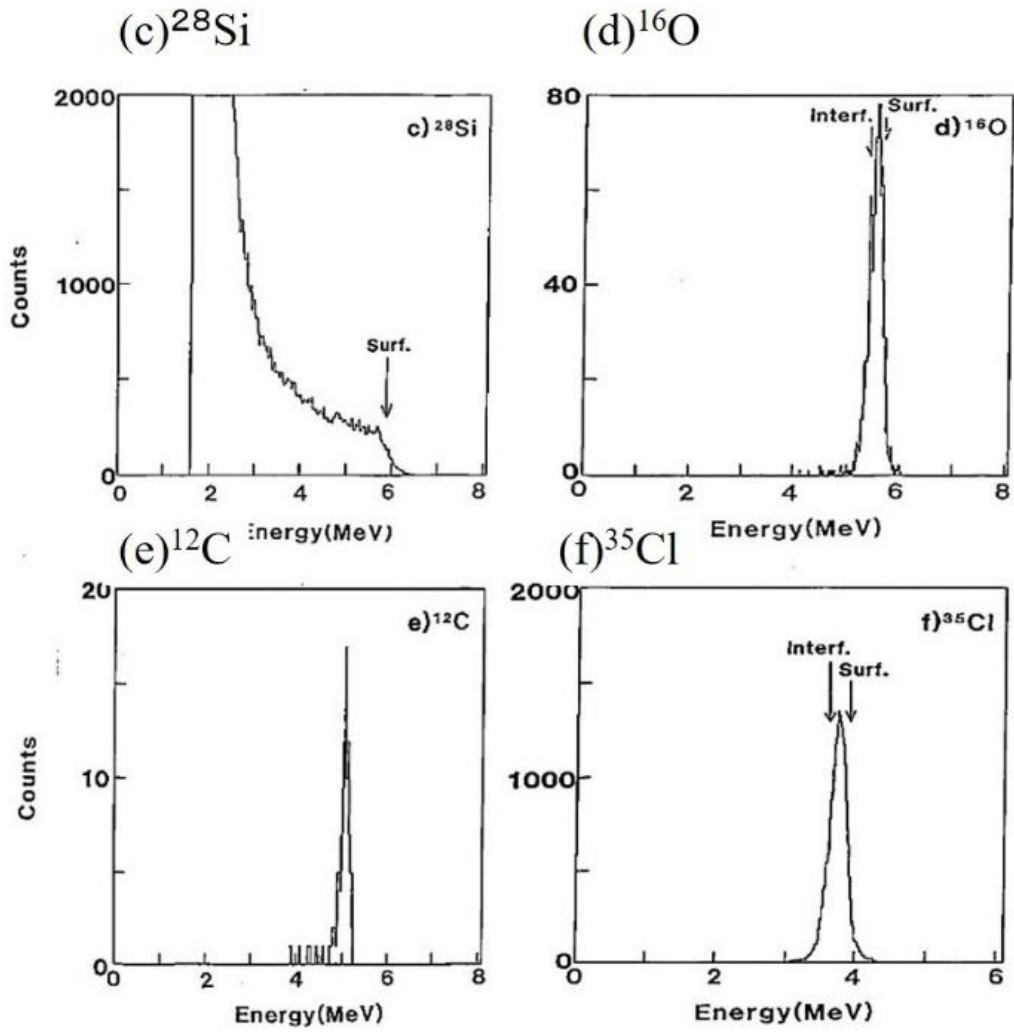


図 6-14 (c), (d), (e), (f), CVD-Ta₂O₅ 膜 10 nm の熱処理無し (試料番号①) の ERDA/RBS スペクトル

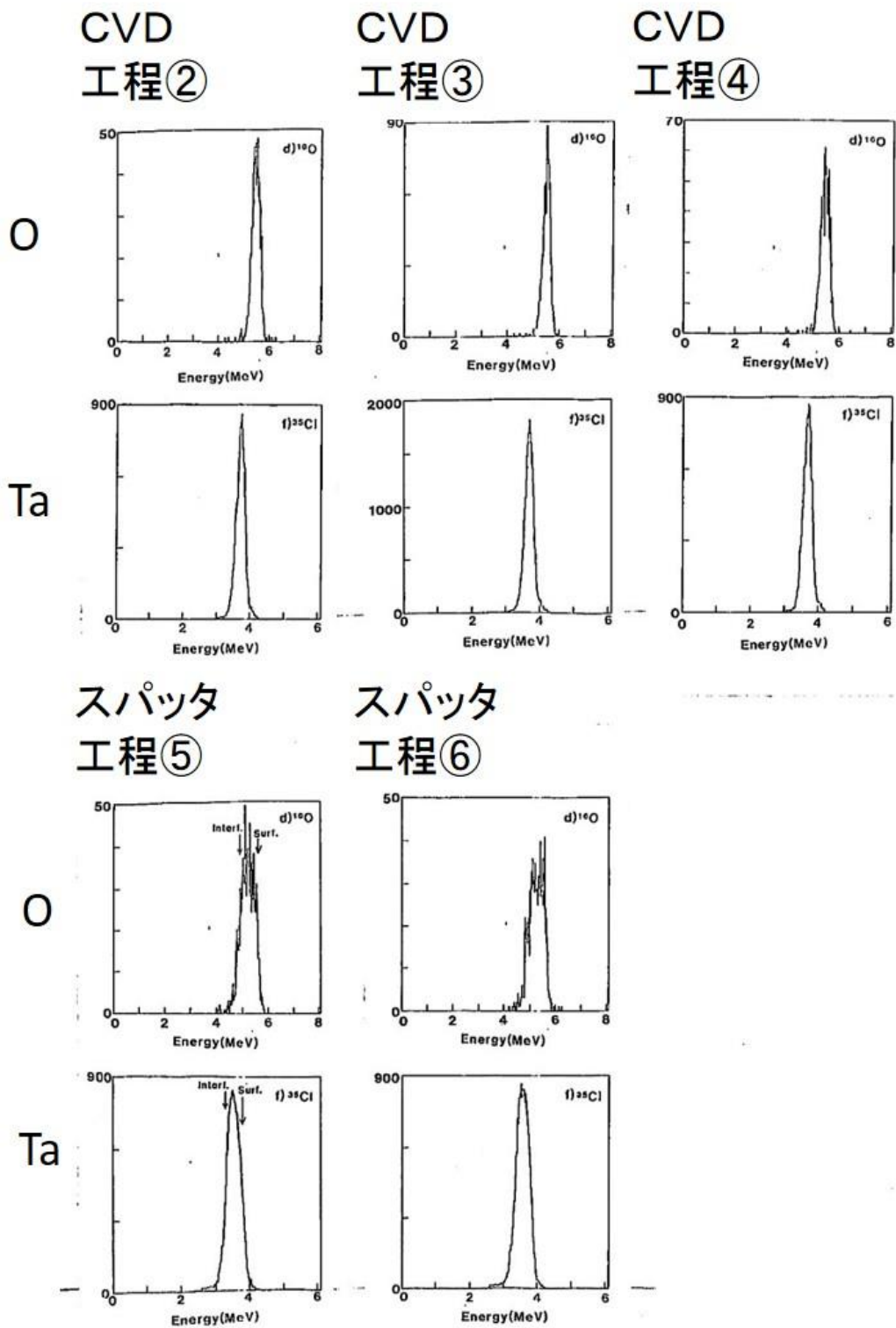


図 6-15 Ta₂O₅ 極薄膜の ERDA/RBS スペクトルの熱処理依存性
試料番号②～⑥

6.4.2 XPS による O / Ta 組成比の評価

XPS (X-ray Photoelectron Spectroscopy) の測定では、同時に 2 個の試料を測定室に導入できる。同時に導入した試料については同一条件にて測定ができ、O / Ta /原子比の大小を正確に評価可能である。しかしながら、実験方法において述べた様に、絶対値については信頼のある測定は難しい。そこで、順次、2 試料の比較をしながら測定することにより O / Ta 組成比の膜厚依存性、UV-O₃ 時間依存性を評価した。図 6-16 は O / Ta 原子比の UV-O₃ 処理時間依存性を示したものである。10 nm の CVD-Ta₂O₅ 膜を熱処理しない場合 (工程①) は O / Ta 比は 2.45 であるが、30 分の UV-O₃ 処理 (工程③) により、短時間で O / Ta 原子比は 2.56 まで増加することがわかる。また、膜厚が厚いと O / Ta 原子比を増加させるには長時間の UV-O₃ 処理時間が必要であることがわかる。これは、図 6-3 に示す絶縁性の UV-O₃ 処理時間依存性と一致しており、絶縁性の改善が酸素濃度の増加によることが XPS の測定からも確かめられた。また、表 6-2 に示す ERDA/RBS の測定による O / Ta 比の測定結果とも概ね一致する。

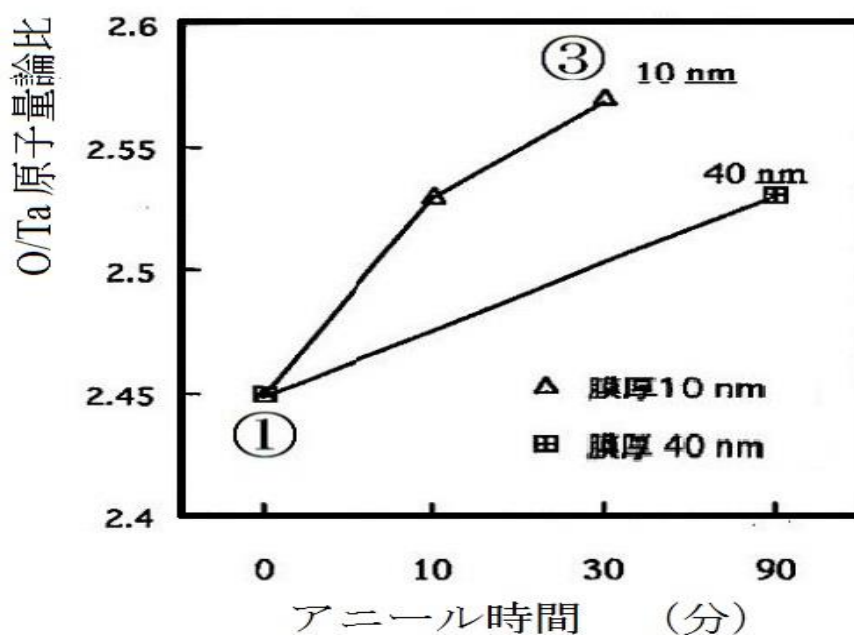


図 6-16 O / Ta 比の UV-O₃ 処理時間依存性 (XPS)

6.5 EXAFS による Ta₂O₅ 膜の Ta への酸素配位数、Ta-O 結合距離の評価

非晶質相から結晶相にわたる構造変化を測定する方法として EXAFS が有効であり、図 6-6 に示す様に、シンクロトロン放射光を約 0.3°C で入射させ、表面で全反射させることにより、侵入深さを 10 nm 以下とした。この条件で蛍光

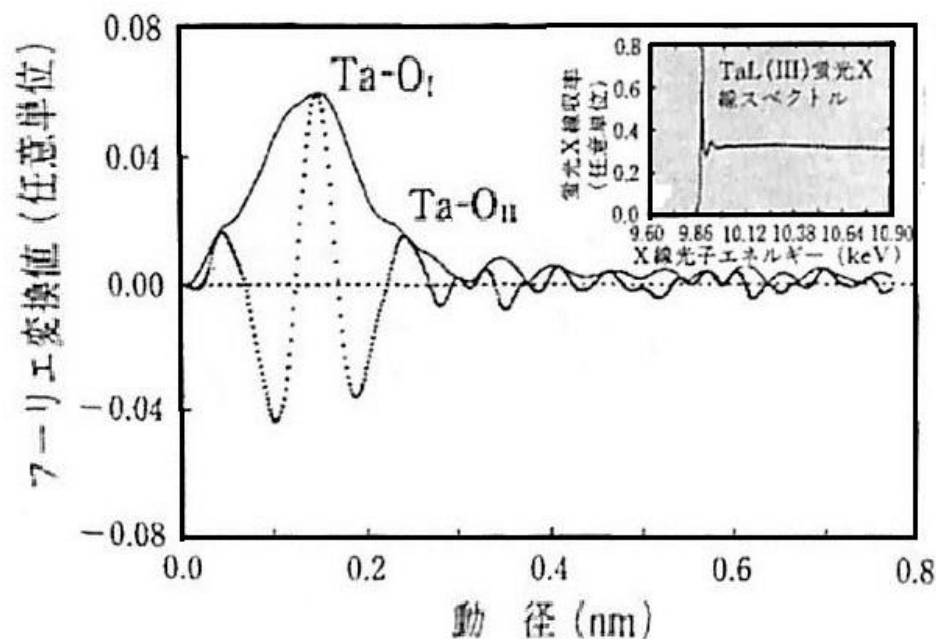


図 6-17 TaL(III) 吸収域の EXAFS スペクトル

表 6-3 EXAFS 測定試料と配位数、Ta-O 結合距離

試料番号	形成方法	膜厚 (nm)	UV-オゾン処理	乾燥酸素処理	乾燥酸素処理温度 (°C)	構造	Ta-O 結合距離 (nm)	配位数
⑤	スパッタ	10	無	無	—	非晶質	0.2220	7.1
⑥	スパッタ	20	無	有	800°C	結晶	0.2227	7.1
⑥ ₇₀	スパッタ	70	無	有	800°C	結晶	0.2237	6.6
①	CVD	10	無	無	—	非晶質	0.2204	6.7
② ₆₀₀	CVD	10	無	有	600°C	非晶質	0.2248	6.8
②	CVD	10	無	有	800°C	結晶	0.2239	7.6
② ₉₀₀	CVD	10	無	有	900°C	結晶	0.2231	7.3
② ₃₅	CVD	35	無	有	800°C	結晶	0.2239	7.1
③	CVD	10	有	無	—	非晶質	0.2200	6.6
④	CVD	10	有	有	800°C	結晶	0.2205	8.2
—	標準結晶	粉末	—	—	—	結晶	0.2230	6.3

EXAFS を測定した。測定はタンタルの L(III) 殻の吸収を用いた。図 6-17 に得られた吸収スペクトル (挿入図) をフーリエ変換して得られた動径分布を示す。点線にて示す虚数部のピークが結合距離を反映している (位相シフトを考慮していないので、実際より短い位置にピークがでている)。Ta-O 結合には二種類の配位位置があることがわかる。表 6-3 に試料の形成条件と得られた結果を示す。左側に図 6-1 に示す形成工程を試料番号として記載している。Ta 原子への酸素の平均配位数と 2 種類の配位位置についての平均 Ta-O 結合距離を示している。標準結晶は、 β -Ta₂O₅ であり酸素配位数は 6.3 配位であった。

図 6-18、図 6-19 に膜厚が 10~20 nm の領域での、配位数と Ta-O 結合距離の熱処理方法、温度依存性をまとめた。下記 1)-3) に特徴をまとめた。

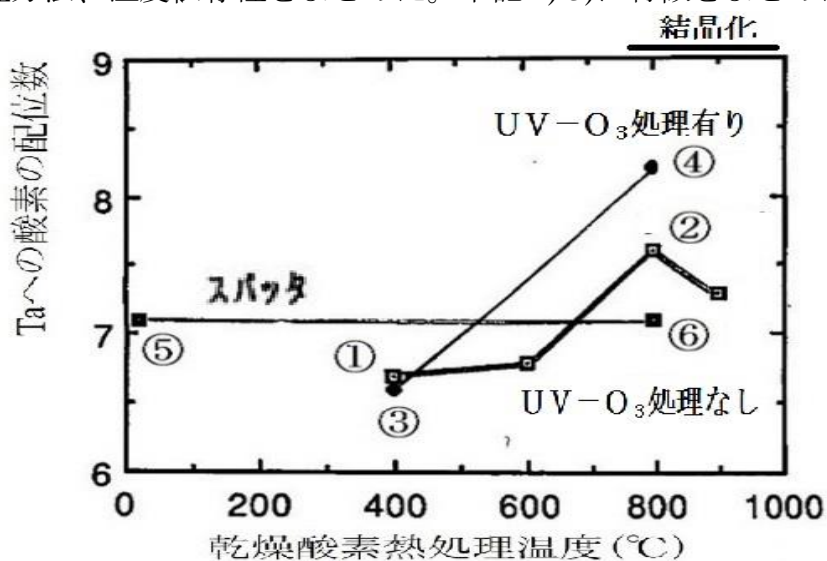


図 6-18 スパッター、CVD-Ta₂O₅膜の配位数の熱処理温度依存性

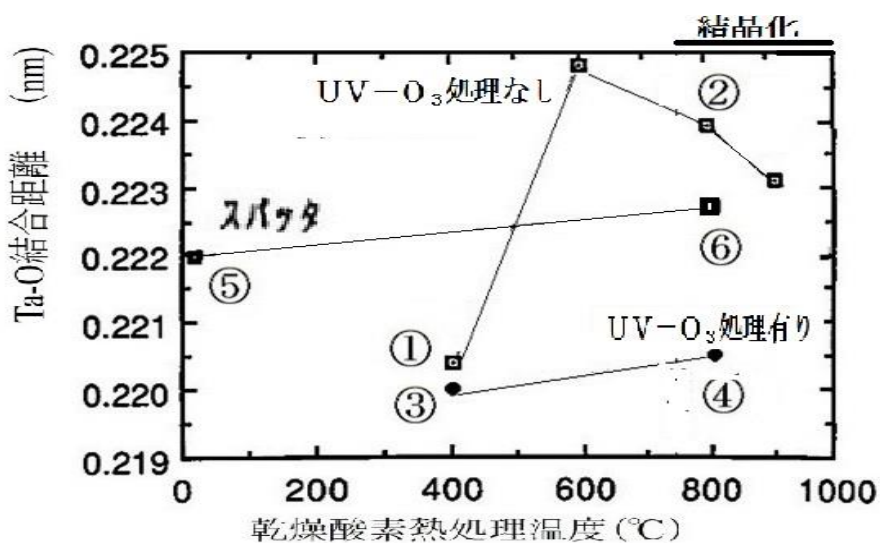


図 6-19 スパッター、CVD-Ta₂O₅膜の Ta-O 結合距離の熱処理温度依存性

- 1) スパッター膜はウィークスポット酸化結晶化熱処理の有無 (⑤、⑥) によらず、配位数は安定しており、7.1 配位である。また、Ta-O 結合距離は 0.2220 ~ 0.2225 nm と変化は小さいことがわかった。堆積時より緻密な膜が形成されている。
- 2) CVD 膜 (10 nm) では、熱処理なしの工程①の場合には 6.7 配位、Ta-O 結合距離は 0.220 nm であったものが、ウィークスポット酸化結晶化熱処理のみを行った工程②の場合は、Ta-O 結合距離が長くなるとともに、配位数が増加し、800 °C で 7.6 配位、900 °C では、7.3 配位となる。Ta-O 結合距離は 0.224nm と長くなる。結晶化により、大きく膜の構造が変化する。
- 3) CVD 膜 (10 nm) を UV-O₃ 処理した工程③の場合には、UV-O₃ 処理のみでは 6.6 配位と熱処理なしと変化はないものの、Ta-O 結合距離は 0.220 nm であった。二段階熱処理による工程④により 8.2 の配位数に増加し、Ta-O 結合距離は 0.221 nm を保つ。UV-O₃ 処理により十分に O / Ta 比が増加している場合には、短い Ta-O 結合距離を維持したまま結晶化し、配位数も大きい、緻密な結晶構造が可能となる。

以上の様に、EXAFS 測定の結果から、結晶化した Ta₂O₅ 膜の構造は、
 工程⑥ : 7 配位数、Ta-O 結合距離 0.2220~0.2225 nm。
 工程② : 7~7.6 配位数、Ta-O 結合距離 0.223~0.225 nm。
 工程④ ; 8 配位数、Ta-O 結合距離 0.220 nm。
 の 3 種類の構造が認められる。配位数が高く、Ta-O 結合距離の短い、最も緻密な結晶は④である。工程②、④、⑥との差異について、次に考察する。

6.6 スパッターTa₂O₅膜、CVD-Ta₂O₅膜の構造変化についての考察

図 6-20 はこれまでの結果を酸素配位数、横軸を Ta-O 結合距離としてプロットしたものである。▲印のスパッター膜では、熱処理有無によらず 7 配位程度であり、Ta-O 結合距離も 0.2220~0.2225 nm の範囲であり、結晶化しても、配位数、Ta-O 結合距離は大きく変動することはない (工程⑤、⑥)。また、▲印の 70 nm の厚膜のスパッターTa₂O₅膜はウィークスポット酸化結晶化熱処理により結晶化されるが、その結晶の配位数 6.6 配位、結合距離 0.2237 nm であり、□印の標準結晶 (Ref) の配位数 6.3 配位、結合距離 0.2230 nm に近い。この標準結晶は β-Ta₂O₅ の結晶構造であることがわかっており、スパッターによる Ta₂O₅ 膜を結晶化させたものは、β-Ta₂O₅ 結晶構造と推定できる。従って、膜厚 20 nm 以下のスパッターTa₂O₅膜は、ウィークスポット酸化結晶化熱処理により、酸素欠陥が減少し、酸素配位数が 7 配位数で、Ta-O 結合距離が小さい、緻密な斜方晶 β-

Ta₂O₅ 結晶構造となっているものと考える。

一方、10 nm の極薄膜厚の CVD-Ta₂O₅ 膜に UV-O₃ 処理をせずに 800 °C の乾燥酸素熱処理を行った場合には、結晶配位数 7.6, Ta-O 結合距離 0.224 となる (工程②)。スパッター Ta₂O₅ 膜を結晶化した膜よりも、更に配位数が多いものの、Ta-O 結合距離は長い結晶になる。この結晶膜は図 6-4 で示した様に、リーク電流が多く、酸素欠陥が多い膜と考えられる。10 nm の極薄膜厚の CVD-Ta₂O₅ 膜は熱処理なしでは、酸素配位数は 6.7, Ta-O 結合距離が 0.2204 nm であるが (工程①)、UV-O₃ 処理をすると配位数 6.6, Ta-O 結合距離は 0.2200 nm と計測される (工程③)。配位数と結合距離の変化はわずかだが、図 6-3 に示すように、リーク電流は大きく減少する。ERDA/RBS, XPS 測定より、O/Ta 比は約 4% 増加し、図 6-3 に示す様に、リーク電流が大幅に減少することから、酸素欠陥が減少したと理解できる。非晶質の状態でも O/Ta 比が 4% 増加しても、EXAFS 測定による配位数、Ta-O 結合距離には殆ど影響がない。しかしながら、酸素欠陥が減少したことにより、結晶化の際に大きく影響することがわかった。二段階の熱処理として、ウィークスポット酸化結晶化熱処理を行うと、UV-O₃ 処理を行った場合には、結晶化にともない配位数が大きく増加し 8 配位となるが、Ta-O 結合距離の変化はない (工程④)。CVD 膜では結晶化の前に UV-O₃ 処理によ

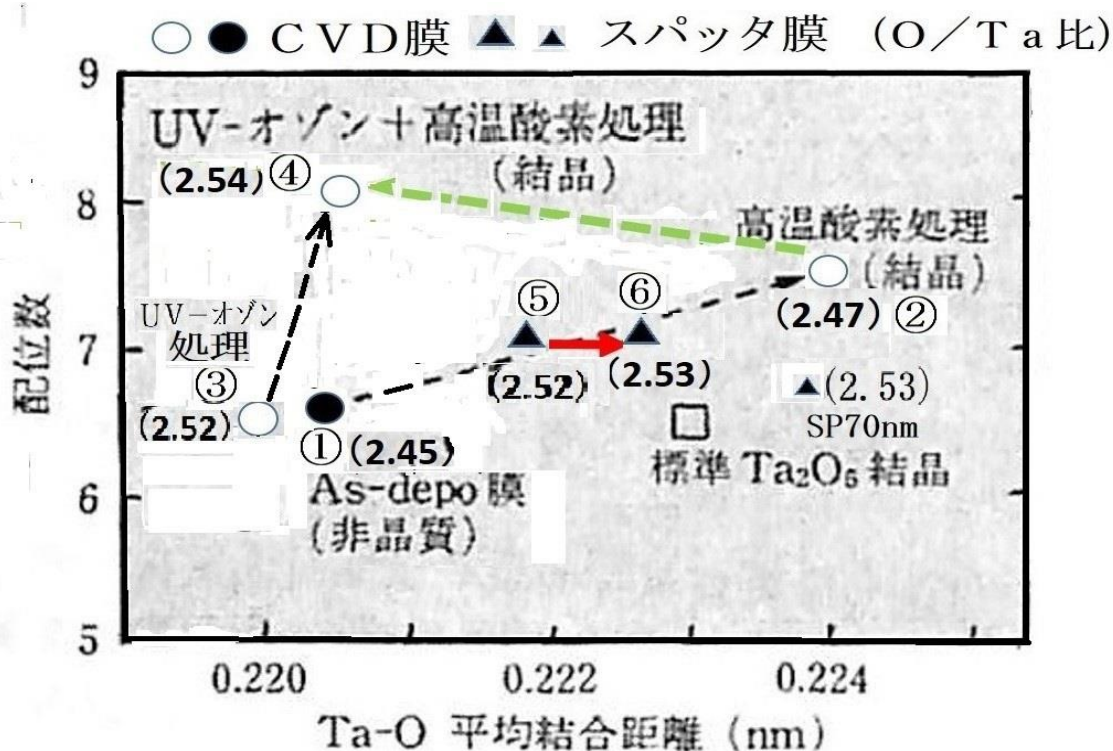


図 6-20 Ta₂O₅ 膜の配位数、Ta-O 結合距離の Ta₂O₅ 製造方法、熱処理方法依存性

り酸素欠陥を減少させたかどうかにより、結晶化により安定となる結晶構造が大きく変化する。図 6-20 の CVD 膜の工程②による構造から、工程④による構造への変化は UV-O₃ 処理時間による酸素欠陥の減少の程度に応じて、六方晶の構造が変化することに対応していると考えられる。つまり、六方晶の構造では、Ta-O 結合距離と Ta への酸素の配位数は相反する関係にあり、酸素をより多く配位させる構造では Ta-O 結合距離は短く、酸素の配位数の少ない構造では Ta-O 結合距離は長くなるといえる。UV-O₃ 処理時間を長くすることにより、酸素欠陥の多い結晶構造②から酸素欠陥の少ない結晶構造④に向かって、結晶構造を変化している。従って、膜厚 10 nm 以下の CVD-Ta₂O₅ 膜は、二段階熱処理により、酸素欠陥が減少し、酸素欠陥の少ない、8 配位で、Ta-O 結合距離の短い、緻密な六方晶 δ-Ta₂O₅ 結晶構造となっているものと考えられる。

以上の検討のように、CVD 膜起因の Ta₂O₅ 膜とスパッター膜起因の Ta₂O₅ 膜とでは、それぞれの最適な熱処理によって、酸素欠陥の少なく、リーク電流の少ない構造として、それぞれ六方晶の δ-Ta₂O₅ 構造と斜方晶の β-Ta₂O₅ 構造になると推定できる。

6.7 スパッター-Ta₂O₅ 膜、CVD-Ta₂O₅ の結晶構造と酸素欠陥の検討

結晶 Ta₂O₅ 膜の結晶構造として β-Ta₂O₅ と δ-Ta₂O₅ 膜が報告されている。図 6-21、図 6-22 にそれぞれの結晶格子モデルを示す。図 6-21 (a) に示すように、Ta

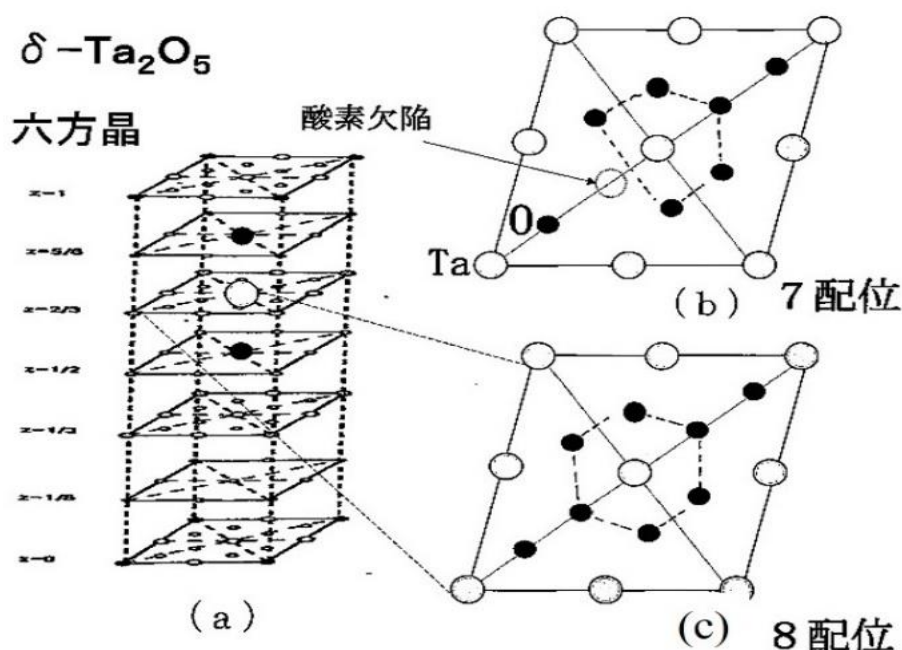


図 6-21 δ-Ta₂O₅ 結晶ユニット

原子と酸素原子が配列する平面と酸素原子が配列された平面が交互に繰り返される。図 6-12 の検討結果より、酸素原子のみの平面内の酸素欠陥よりも、Ta 原子と酸素原子が配列された面内の酸素原子の欠陥の減少により、絶縁性が改善されることから、酸素欠陥は図 6-21 (b) に示す様な位置に生成し、活性酸素処理をすることにより、図 6-21 (c) のような 8 配位になると推定できる。O/Ta 比の増加は約 4 % にすぎないので、酸素欠陥のできる割合は 10 層あたり 1-2 層に酸素欠陥が生成する程度と考えられる。

図 6-22 は $\beta\text{-Ta}_2\text{O}_5$ の結晶ユニットをしめしており、22 個の Ta と 55 個の酸素からなる結晶格子を有している。通常は 3 箇所の酸素欠陥が生成した状態で安定化している。この平面の上下には酸素原子からなる面が交互に存在する。酸素欠陥により、6 配位と 7 配位が複雑に並ぶ構造であるが、6 配位を形成する部分の酸素欠陥が減少する場合には、7 配位に接近する。

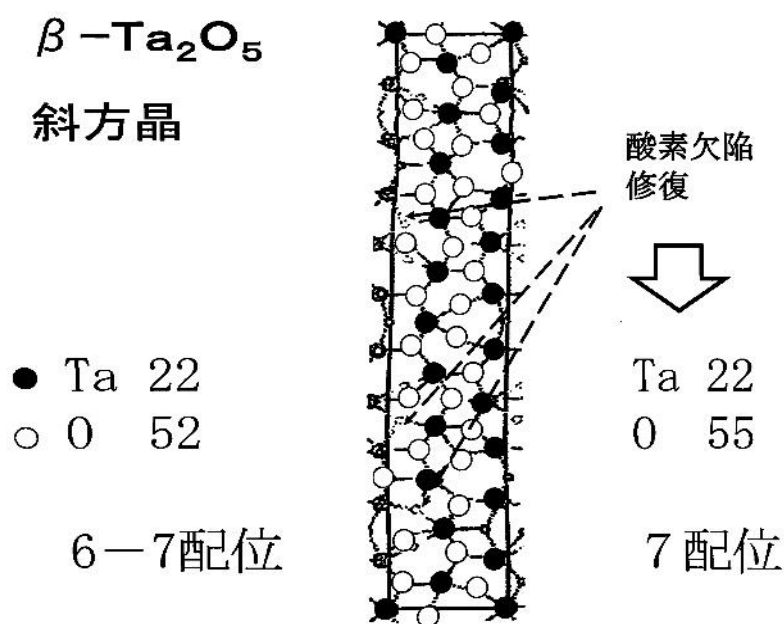


図 6-22 $\beta\text{-Ta}_2\text{O}_5$ 結晶ユニット

スパッター膜では、酸素欠陥は十分に低い場合は最大 7 配位となったことから、ウィークスポット酸化結晶化熱処理により結晶化したものは、 $\beta\text{-Ta}_2\text{O}_5$ 結晶構造

であり、図 6-22 に示したように、酸素欠陥が少なくなれば、7 配位に近くなると思われる。

6.8 スパッターTa₂O₅膜、CVD-Ta₂O₅膜の構造変化モデルの検討

これまでの Ta₂O₅ 膜の薄膜の組成、配位数、Ta-O 結合距離についての分析結果から構造変化モデルについて検討する。ERDA/RBS, XPS 等の検討結果は、O / Ta 組成比はスパッター膜では熱処理前後での変動はないものの、CVD 膜では UV-O₃ 処理、二段階熱処理により O / Ta 比は大きく増加することがわかった。従って、CVD 膜は堆積時には酸素不足の状態にあるが、十分な UV-O₃ 処理をすることで O / Ta 比が増加する。堆積時のスパッター膜と CVD 膜の膜構造の違いが、結晶化した際の構造の違いをもたらすと推定される。それぞれの成膜工程について考察する。

6.8.1 極薄スパッターTa₂O₅膜の製造工程での構造変化モデル

反応性スパッター膜では、Ta ターゲット表面でプラズマ中の酸素で酸化されながら、Ar スパッターリングにより Ta-O が結合した状態で、基板に堆積する。活性な酸素が十分にある雰囲気中で堆積するので、O / Ta 比は 2.53 であり、酸素欠陥は生成されにくい。Ta-O 結合距離は、プラズマによる酸化工程によって決定される。また、この状態で活性酸素により、十分に酸素欠陥が除かれている。CVD 膜との違いはこの堆積時の Ta-O 結合距離がスパッター膜の方が長いことにより、最終的には、より配位数の少ない斜方晶の結晶構造 β-Ta₂O₅ が生成しやすいものと考えられる。

6.8.2 極薄 CVD-Ta₂O₅膜の製造工程での構造変化モデル

CVD 工程では Ta(OC₂H₅)₅ の原料の熱分解によるために、膜中を構成する Ta-O 結合は Ta(OC₂H₅)₅ 分子内にすでに生成されている Ta-O 化学結合である。炭化水素を多く膜中に含有し、膜自体は低密度で堆積される。図 6-23 に示すように、堆積時の Ta-O 結合距離は短く、原料の分子構造を反映している。この Ta-O 結合距離の短さが、結晶化の際により配位数の大きい構造を可能としたと考える。堆積時の CVD 膜は Ta-O 結合距離は短いがポーラスな膜である。このため、膜中の酸素欠陥は、UV-O₃ などの活性酸素のガスの拡散により修復できる。UV-O₃ 処理により、O / Ta 比は 4 % 増加するが、この酸素の増加が、結晶化の際の配位数を決定する段階で重要となると考えられる。十分に酸素欠陥を除いてない場合には、より Ta-O 結合が長く、配位数の少ない構造で安定化する。この場合には、結晶化した Ta₂O₅ 膜中に酸素欠陥が残存し、リーク電流を低減することはできない。一方、酸素欠陥を非晶質の状態ですでに十分に低減させることで、ウィークス

ポット酸化結晶化熱処理により理想的な 8 配位で酸素欠陥のない六方晶の結晶 δ - Ta_2O_5 を生成すると考えられる。

6.9 まとめ

2~5 章に報告するように、シリコン半導体メモリ素子の容量絶縁膜としてスパッター Ta_2O_5 膜、CVD- Ta_2O_5 膜を初めて適用することができた。この開発にあたって、スパッター Ta_2O_5 膜ではウィークスポット酸化結晶化熱処理（800 °C 乾燥酸素熱処理）工程が製品適用を可能とする高い信頼性の確保に必須であることがわかった。堆積時の CVD- Ta_2O_5 膜の漏れ電流は、堆積時のスパッター Ta_2O_5 膜の漏れ電流より大きく、ウィークスポット酸化結晶化熱処理によっても、漏れ電流を低減することはできなかった。この原因として、堆積時の CVD- Ta_2O_5 膜中には酸素欠陥が多く、ウィークスポット酸化結晶化熱処理によっても、酸素欠陥を修復できなかった。そのため、堆積時の CVD- Ta_2O_5 膜中の酸素欠陥の修復を可能とする UV- O_3 等の活性酸素処理を開発した。UV- O_3 処理とウィークスポット酸化結晶化熱処理（800 °C での乾燥酸素熱処理）の二段階熱処理を開発することにより、CVD- Ta_2O_5 膜を 64 メガビット DRAM 用積層容量型メモリセルの容量絶縁膜に適用することに成功した。

これらの熱処理によって、 Ta_2O_5 膜の構造がどのように変化するかについて、検討した結果、以下の結論を得た。

- ① スパッター膜は熱処理有無によらず、配位数、Ta-O 結合距離、O/Ta 比は大きな変化はなかった。ウィークスポット酸化結晶化熱処理により結晶化するものの、非晶質での状態から Ta への酸素の配位数、Ta-O 結合距離、O/Ta 比に大きな変化はない。配位数は約 7 であることから、斜方晶の β - Ta_2O_5 結晶格子において、酸素欠陥を低減した結晶構造が考えられる。
- ② CVD 膜は UV- O_3 処理をウィークスポット酸化結晶化熱処理前に行うかどうかで、大きく異なる構造となり、UV- O_3 処理を行うことで、O/Ta 比が増加し、更に、ウィークスポット酸化結晶化熱処理では 8 配位であり、Ta-O 結合距離がより短い結晶構造となる。これは六方晶の δ - Ta_2O_5 構造と考えられる。一方、UV- O_3 処理を行わずに、ウィークスポット酸化結晶化熱処理を行うと、配位数は 7.3、Ta-O 結合距離はより長くなり、 δ - Ta_2O_5 膜の酸素欠陥が多い結晶構造となると考えられる。

本研究により、世界ではじめて、シリコン半導体メモリ素子製品の容量絶縁膜として高誘電率誘電体を適用することに成功した。高誘電率膜として選択し

た Ta_2O_5 膜は、成膜後の熱処理工程により、酸素欠陥の少ない結晶膜となっていることがわかった。酸素欠陥の少ない極薄 Ta_2O_5 結晶膜によりメモリ素子の容量絶縁膜として必要な容絶縁膜特性と、高信頼性を実現することができた。これらの極薄領域の Ta_2O_5 膜の構造は、これまで明確になっていなかった。しかしながら、薄膜構造、組成の評価により、反応性スパッター法と CVD 法で成膜した極薄 Ta_2O_5 は異なる Ta への酸素配位数、Ta-O 結合距離を有する結晶となることがわかった。この要因として、極薄 Ta_2O_5 膜は堆積時の構造である酸素欠陥が少ない非晶質状態での構造に依存して、結晶化により安定となる Ta_2O_5 膜の結晶構造は異なるものになったと考える。

これらの結晶構造、酸素欠陥に関する知見は今後の高誘電率膜の改良や、酸素欠陥を制御する抵抗可変メモリ素子などの開発においても、有益な知見になると考える。

6.10 参考文献

- [1] Y. Nishioka, N. Honmma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta and K. Ogiue "Ultra-Thin Ta_2O_5 Dielectric Film for High-Speed Bipolar Memories" IEEE Transactions on Electron Devices Vol.34, No.9, September p.1957, 1987.
- [2] H. Shinriki and M. Nakata, "UV- O_3 and Dry- O_2 : Two-Step Annealed Chemical Vapor-Deposited Ta_2O_5 Films for Storage Dielectrics of 64-Mb DRAM's" IEEE Transactions on Electron Devices Vol.ED-38, No.3, March p.455, 1991.
- [3] T. Kaga, T. Kure, H. Shinriki, Y. Kawamoto, F. Murai, T. Nishida, Y. Nakagome, D. Hisamoto, T. Kisu, E. Takeda, K. Itoh "Crown-shaped stacked-capacitor cell for 1.5-V operation 64-MbDRAMs" IEEE Trans. Electron Devices, vol. 38, p. 255, 1991.
- [4] H. Shinriki, M. Hiratani, A. Nakano and S. Tachi, "Effect of Oxygen Addition on Structure and Current Conduction Mechanism of Amorphous and Crystallized Extremely Thin CVD- Ta_2O_5 Films" Extended Abstracts of the 1991 Conference on Solid State Devices and Materials, Yokohama, 1991, pp.198-200.
- [5] 神力 博：応用物理 第 60 巻、第 11 号 (1991) "高誘電率材料の LSI 容量絶縁膜への応用"

第7章 結論

高誘電率誘電体の研究着手時には、高誘電率誘電体が最先端のシリコン素子に使われる時代が来ると想像もしていなかった。その後、従来使用されてきた SiO_2 、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 膜が薄膜化とともにリーク電流が増大し、また、欠陥密度増加することから、半導体素子を高速、高集積化していくためには、更に、薄膜化できる高誘電率誘電体が必須となった。1980年代前半より、日立製作所中央研究所では、高誘電率誘電体のなかでも Ta_2O_5 を最も有望な材料と選択し、開発に着手し、高速バイポーラメモリ素子用容量絶縁膜に Ta_2O_5 膜を適用することができた。これは、シリコン半導体素子製品への高誘電率材料の適用において、世界で最初の成果となった。この適用を皮切りに、1991年には64メガビットDRAMの試作に成功した、また、1995年以降、 Ta_2O_5 膜製造装置の開発に従事し、DRAM製造ラインへの製造装置導入に貢献することができた。その結果、2000年前後より、64メガビットDRAM、256メガビットDRAM製品のメモリ素子用容量絶縁膜として Ta_2O_5 膜を適用するに至った。

本研究の重要な分岐点をあげると以下のようになる。

第一段階では、高誘電率誘電体として Ta_2O_5 を選択したこと。

第二段階では、Si半導体素子への適用をめざして、反応性スパッターによる Ta_2O_5 を導入するプロセスを検討し、ウィークスポット酸化結晶化工程により製品適用を可能とする高い信頼性が得られることを見いだした。これにより、 SiO_2 換算膜厚で3~4nmの領域での極薄の Ta_2O_5 膜の信頼性をSi半導体メモリ製品に適用可能なレベルに飛躍的に高めることができた。この信頼性は従来の SiO_2 、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 膜よりも優れたものであり、むしろ、 Ta_2O_5 膜を適用することで、より高い信頼性の製品を製造できると確信できた。

第三段階では、64メガビットDRAM素子の容量絶縁膜は、 SiO_2 膜換算の3nm以下で、かつ、立体化した容量電極表面に均一に被覆する必要があった。CVD- Ta_2O_5 膜の被覆性は極めて良好であるが、リーク電流が大きいという課題があった。リーク電流の原因となる膜中の酸素欠陥はUV- O_3 処理などの活性酸素処理で修復できることを見だし、この問題を解決した。更に、UV- O_3 処理とウィークスポット酸化結晶化熱処理の二段階の熱処理を用いることで、DRAM素子に要求される SiO_2 換算膜厚3nm以下の薄膜化と極めて高い信頼性を達成することができ、64メガビットDRAMの製品化、256メガビットDRAMの製品化に実を結ぶことができた。

第四段階では、これらの Ta_2O_5 は10nm以下と極薄膜でありながら、酸素欠陥の少ない結晶膜となっていることがわかった。従来、シリコン半導体素子に用い

られる誘電体は非晶質状態が安定で、均一と考えてきたが、 Ta_2O_5 膜は極薄結晶膜であるにもかかわらず、シリコン半導体メモリ素子製品に適用することを可能とする高い信頼性を実現できたことは驚きである。また、反応性スパッター法で形成する場合と CVD 法により形成する場合で、低酸素欠陥の結晶膜の構造が異なることも極薄膜の構造分析方法を用いて明らかとなった。

本論文で述べた高誘電率 Ta_2O_5 膜は低酸素欠陥の極薄結晶膜であることがわかった。低酸素欠陥の極薄 Ta_2O_5 結晶膜は DRAM の容量絶縁膜に適用できる極めて信頼性の高い材料であり、今後の高誘電率ゲート絶縁膜、抵抗可変メモリ素子などの固体素子の材料として活用することが望まれる。本論文には高信頼の低酸素欠陥の極薄 Ta_2O_5 結晶膜についての様々な知見が含まれており、次世代の固体素子開発に有益なものとなると考える。

謝辞

日本大学理工学部精密機械工学西岡泰城教授には、”高誘電率 Ta₂O₅ 膜のシリコン半導体用容量絶縁膜への適用”に関する研究を博士論文にまとめることにご理解頂き、主査を引き受けて頂きまして、心より感謝いたします。

日本大学理工学部精密機械工学科の入江教授、内木場教授には、副査を引き受けて頂き、論文審査にご尽力頂きまして、大変感謝申し上げます。また、日本大学理工学部の諸先生からも、貴重なご意見を頂き、論文の完成度を向上することができましたことを感謝致します。

本研究は 1981 年前後より日立製作所中央研究所で着手され、プログラムマネージャーであった向喜一郎氏、西岡先生とともに開発を進め、高誘電率誘電体 Ta₂O₅ 膜の世界初の製品適用に成功しました。その後、CVD 法による Ta₂O₅ 膜製造方法を開発し、1991 年の 64 メガビット DRAM の最初の試作に CVD-Ta₂O₅ 膜を適用することで、世界に先駆けて、高誘電率容量絶縁膜を実装した DRAM の試作に成功しました。2000 年前後に本研究による Ta₂O₅ 容量絶縁膜技術が 64 メガビット DRAM、更に、256 メガビット DRAM 製品に採用されたことにより、2015 年 9 月に応用物理学会より 2015 年度 SSDM AWARD (Solid State Devices and Materials)を西岡泰城先生、向喜一郎氏とともに受賞することができました。本研究は日立製作所中央研究所における、向喜一郎氏、西岡先生をはじめとする多くの関係者、また、DRAM プロジェクトメンバーの皆様との共同研究の賜であり、当時の関係者の皆様に感謝申し上げます。

1995 年より東京エレクトロン総合研究所にて Ta₂O₅ 膜製造装置の開発に着手した際には、東京エレクトロンの多くの仲間に支えられ、CVD-Ta₂O₅ 膜形成室と UV-O₃ 処理等の活性酸素処理室とを有するマルチチャンバー装置を開発することができました。更に、高誘電率誘電体膜製造装置として、世界の半導体メーカーの開発製造ラインに導入することができました。東京エレクトロンにてこれらの製造装置の開発、生産、顧客対応にあつた多くのエンジニアに感謝申し上げます。

2000 年前後からのコンピュータ、スマートホンの主メモリとなる DRAM 製品への Ta₂O₅ 容量絶縁膜の実装に向け、DRAM 製造会社である日立製作所、三菱電機、NEC、エルピーダ、三星等の多くのエンジニアが本技術の実用化、製品化のために多大の努力をされたことに敬意を表したいと存じます。

最後に、常に支援してくれた妻、励ましてくれた母に深く感謝します。本研究論文が、今後の研究に役立つ知見となれば幸いと存じます。