

## 論文審査の結果の要旨

氏名：神 力 博

博士の専攻分野の名称：博士（工学）

論文題名：高誘電率 Ta<sub>2</sub>O<sub>5</sub>膜のシリコン半導体メモリ用容量絶縁膜への適用に関する研究

審査委員：（主査） 教授 西 岡 泰 城

（副査） 教授 内木場 文 男                      教授 入 江 寿 弘

本論文は、大規模集積回路(ULSI)の代表的な製品であるダイナミックランダムアクセスメモリ (DRAM) に必要な容量絶縁膜の研究開発に関わってきた申請者が、いかにこの容量絶縁膜の技術課題を克服してきたかについてまとめたものである。DRAM とは、微細なトランジスタ一個とキャパシタ（静電容量）一個からなる記憶素子の単位が、約 1 cm<sup>2</sup>程度の面積のシリコン基板上に数十億個集積化されている ULSI である。この記憶素子の面積の大部分がキャパシタによって占められており、この面積をいかに小さくするかが DRAM の高集積化の最大の課題であった。申請者らがこれらの DRAM 技術の開発に加わった 1980 年代の DRAM キャパシタは、平面状シリコン基板の上に形成されていた。また、その容量絶縁膜としては ULSI 製造プロセスの相性の良い SiO<sub>2</sub>や Si<sub>3</sub>N<sub>4</sub>などのシリコン系絶縁膜が使用されていた。これらの、DRAM は、約 3 年間に 4 倍の集積度の増加を期待されていたが、キャパシター一個当たりの静電容量はソフトエラーと呼ばれる回路動作の揺らぎによる誤動作を避けるために、ある一定値よりも下げることが難しかった。そのために、1990 年代の初めには、これらのシリコン系絶縁膜の厚さも 3nm 以下となり、印加される電界強度も数 MV/cm にも達し、漏れ電流を抑えることが出来なくなった。これらのシリコン系の絶縁膜の物理的限界から、DRAM のさらなる高集積化は不可能であろうと考えられていた。

申請者は、これらのシリコン系絶縁膜に代わる材料として、遷移金属酸化物である酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)膜が、有望であると考えた。シリコン系絶縁膜以外の容量絶縁膜は、シリコン ULSI に適用することが不可能であろうと考えられていた時代に、申請者は Ta<sub>2</sub>O<sub>5</sub>膜の技術課題の多くを乗り越えて来た。本論文は、その新材料の実用化に対して行ってきた技術の総まとめを行ったものであり、その最も大切な部分は以下の 2 点であるとする。それらは、(1) Ta<sub>2</sub>O<sub>5</sub>膜が、シリコン半導体メモリ用の容量絶縁膜として適用可能であることを実証したこと、(2) 立体化した電極上に均一な Ta<sub>2</sub>O<sub>5</sub>膜を気相化学成長法(CVD)によって作製し、この Ta<sub>2</sub>O<sub>5</sub>膜の絶縁特性を向上させるための二段階ポストアニール処理技術を考案したことである。

第 1 章では、研究対象とした ULSI の DRAM の動作原理を説明し、このデバイスの集積度が上昇するにつれて、小面積かつ大容量のキャパシタ素子が必要になってきた技術課題を説明している。特に、キャパシタ容量の下限は、宇宙線の一種である α 線によるメモリ動作の誤動作を起こさない最低値であることも説明している。また、従来の DRAM キャパシタ絶縁膜 SiO<sub>2</sub>や Si<sub>3</sub>N<sub>4</sub>が使用されてきたが、これらの絶縁膜が高性能であったために却って、Ta<sub>2</sub>O<sub>5</sub>のような新しい絶縁膜の開発が遅れてきた点なども説明している。

第 2 章では、高誘電率容量絶縁膜の材料選択にあたって、Ta<sub>2</sub>O<sub>5</sub>膜を選択した理由について議論している。ここでは、従来報告されていた各種絶縁膜の比誘電率と漏れ電流の比較を行った。その結果、残念ながら比誘電率の大きい材料ほど漏れ電流が大きくなってしまおうという報告が多いことに気が付いた。従来使用されていた SiO<sub>2</sub>や Si<sub>3</sub>N<sub>4</sub>のシリコン系絶縁膜の比誘電率は、3 から 4 程度であるが、申請者は比誘電率が 20 以上の遷移金属酸化物に注目した。その中でも、ディスクリット容量素子に使用されていた Ta<sub>2</sub>O<sub>5</sub>に注目した。この、Ta<sub>2</sub>O<sub>5</sub>でさえもシリコン系絶縁膜に比べて漏れ電流が高いという報告がなされていた。ところが、これらの絶縁膜の膜厚が数 nm 以下という極限の状況では、直接トンネルによる漏れ電流は、この領域で比較してみると Ta<sub>2</sub>O<sub>5</sub>の漏れ電流がシリコン系絶縁膜よりも小さくなるという現象を見出した。すなわち、Ta<sub>2</sub>O<sub>5</sub>のような高誘電率絶縁膜においては、必要な容量を確保しつつ膜厚を大きくできるために、直接トンネルが抑えられるという事実気が付いた。これにより、高誘電率絶縁膜を研究する意義に関して明確な根拠を与えることができた。

第3章では、 $Ta_2O_5$ 膜の超高速16Kバイポーラメモリ素子への応用に関して説明している。 $Ta_2O_5$ 膜の製造工程を従来のシリコンULSIプロセスに導入する際にはコストの増加を伴うために、現場のプロセスエンジニアからの理解を得ることは難しかった。そのために、申請者らは、当時のスーパーコンピュータのキャッシュメモリとして使用されていた超高速バイポーラメモリにおいても、 $\alpha$ 線によるメモリ誤動作の問題が解決できないことに気が付いた。この、メモリはスーパーコンピュータの性能に直接影響するため、チップ価格に関する制限が少なかった。そのために、この $Ta_2O_5$ 膜技術を高速バイポーラメモリに導入することにより、技術の成熟化を狙うこととした。

この高速バイポーラメモリ素子の容量部は、平坦な単結晶シリコン基板上に反応性スパッター法によって膜厚10nm以下の $Ta_2O_5$ 容量膜を形成した。そのさい、プロセスにおける熱処理に伴う結晶構造の変化などにより、 $Ta_2O_5$ 膜に微細なピンホールなどの欠陥が発生してしまい、良好な絶縁性が確保できなかった。そのさい、堆積した $Ta_2O_5$ 膜を800°Cの乾燥酸素で熱処理することにより、静電容量を変化させずに欠陥を解消できることを確認した。欠陥救済に効果のあるこの熱処理方法を、ウイークスポット酸化と呼ぶこととした。この欠陥修復技術を利用して生産した高速バイポーラメモリ素子は、スーパーコンピュータを実現するための基礎技術の一つとなった。

第4章では、DRAMへ $Ta_2O_5$ 膜を適用する際に行った基礎検討の結果をまとめている。当時のDRAMの微細化は著しく、 $Ta_2O_5$ のような高誘電率絶縁膜を使用したとしても平坦なシリコン上のキャパシタでは必要な容量を確保することは難しくなっていた。そのために、キャパシタの構造はトランジスタの上の領域にまで堆積した多結晶シリコン電極上に形成され、さらにその多結晶シリコン構造にもさまざまな3次元構造を作りこまなければならないほどの状況になっていた。ここでは、申請者は様々な多結晶シリコン上に形成した各種絶縁膜の絶縁特性と信頼性の評価を行っている。そのさい、 $Ta_2O_5$ の下の多結晶シリコンの酸化膜 $SiO_2$ が信頼性確保の鍵となることを議論している。

第5章では、3次元化したDRAMの容量部の構造として、3種の構造について比較検討した。それらは、金属/絶縁膜/金属(MIM)構造、金属/絶縁膜/多結晶シリコン(MIS)構造、多結晶シリコン/絶縁膜/多結晶シリコン(SIS)構造である。MIM構造においては、多結晶シリコン表面に必然的に発生してしまう低誘電率の $SiO_2$ が存在しないために、静電容量が大きくなるが、ウイークスポット酸化ができないために信頼性の確保はできなかった。また、MIS構造は $Ta_2O_5/SiO_2$ 積層構造によって、多結晶シリコン上でも良好な長期信頼性が得られ、 $SiO_2$ 換算で3nmの容量絶縁膜が確保できることが分かった。一方、SIS構造は膜厚の薄膜化にともなって、絶縁破壊に関わる長期信頼性を確保することは難しかった。従って、当時の64メガビットDRAMを実現するためには、3次元構造のMIS構造が最も有望であることを明らかにした。

第6章では、3次元構造の多結晶シリコン電極上に、十分な容量と信頼性を確保した $Ta_2O_5$ 膜を適用するために開発した二段階ポストアニール処理技術について説明している。CVD法により形成した $Ta_2O_5$ 膜は反応性スパッター法による $Ta_2O_5$ 膜と比較して絶縁耐圧が劣っていた。また、ウイークスポット酸化をしても、十分な絶縁耐圧が得られなかった。その原因として考えたのは、有機金属 $\{Ta_2(C_2H_5)_5\}$ を利用したCVD法によって形成した $Ta_2O_5$ 膜中には、残留酸素や酸素欠陥が多いためと推測した。そのため、CVD法により形成した $Ta_2O_5$ 膜に活性酸素処理を施すことにより、酸素欠陥と炭素不純物の混入を低減することを検討した。その結果、紫外線オゾン処理の活性酸素処理を行うことにより、大幅に漏れ電流が減少するとともに、ウイークスポット酸化処理を行うことにより、高信頼かつ漏れ電流の低い $Ta_2O_5$ 膜を実現できることを確認した。本技術は、64メガビットDRAMメモリセルに適用されている。

第7章では、反応性スパッター法およびCVD法により形成した $Ta_2O_5$ 膜の欠陥のミクロな構造について検討している。X線吸収微細構造分析技術と薄膜X線回折技術を用いて、Taへの酸素の配位数とTa原子と酸素原子の結合距離を議論した。その結果、紫外線オゾン処理をしないCVD法による $Ta_2O_5$ 膜は800°Cのウイークスポット酸化処理によっても、酸素の配位数は7.6配位であったが、紫外線オゾン処理と800°Cのウイークスポット酸化処理の二段階ポストアニール処理技術により、配位数が8配位の酸素欠陥のない六方晶となると推定された。つまり、活性な酸素ラジカルにより、膜中の酸素欠陥が修復されたことにより、絶縁耐圧が向上したと考えられた。一方、反応性スパッターによる $Ta_2O_5$ 膜はウイークスポット酸化

処理の有無によらず、酸素の配位数が約7配位であり、酸素欠陥の少ない斜方晶とCVD膜とは異なる構造が推定された。これらの検討によって、申請者が提案した二段階ポストアニール処理技術の効果のミクロな解釈が加えられた。

このことは、本論文の提出者が自立して研究活動を行い、又はその他の高度な専門的業務に従事するに必要な能力及びその基礎となる豊かな学識を有していることを示すものである。

よって本論文は、博士（工学）の学位を授与されるに値するものと認められる。

以 上

平成28年10月20日