

論文の内容の要旨

氏名：神 力 博

博士の専攻分野の名称：博士（工学）

論文題名：高誘電率 Ta₂O₅膜のシリコン半導体メモリ用容量絶縁膜への適用に関する研究

本論文は、シリコン半導体メモリ素子、とりわけ、コンピュータの主メモリであるダイナミックランダムアクセスメモリ（DRAM）の高集積化を実現するために、情報の記憶に必要な容量絶縁膜の技術的課題をいかに克服してきたかについてまとめたものである。従来の容量絶縁膜である SiO₂/Si₃N₄ 複合膜（比誘電率 7）は薄膜化の限界（SiO₂ 換算膜厚 5 nm：比誘電率 3.82 と仮定）に達すると、漏れ電流が雪崩的に増大し、電荷として記憶された情報を保持するという容量絶縁膜としての機能を失ってしまう。この技術的課題を克服するため、これまでシリコン半導体素子に適用実績のない比誘電率が 20 以上の高誘電率酸化タンタル（以下、Ta₂O₅）を容量絶縁膜材料として選定した。シリコン半導体素子の製造に適合できる Ta₂O₅ 膜製造方法を確立することにより、SiO₂ 換算膜厚 2.8 nm まで薄膜化した Ta₂O₅ 容量絶縁膜を搭載した 64 メガビット DRAM 素子の試作に初めて成功することができた。以下、各章の内容の要旨を示す。

第 1 章では、研究の背景と目的および半導体素子に必要な高誘電率容量絶縁膜として、Ta₂O₅ 膜を選択した理由について述べる。DRAM は 3 年毎に 4 倍の高集積化を行いながら、メモリセル面積は 1/3 に微細化されてきた。一方、メモリ素子では、半導体素子のパッケージ、配線材料中に含まれる微量の放射性元素から放出される α 線が半導体基板中で電離を引き起こし、電離により生成される電荷の流入により、メモリ素子に記憶された情報が意図せずに書き換えられる現象（ソフトエラー）を防止する必要がある。DRAM のメモリセルは一對のトランジスタと容量よりなる。従って、容量部には、α 線により生成される電荷より十分に大きい蓄積電荷量を保持することが必要となる。DRAM の最大の課題は、世代毎のメモリセル面積の 1/3 の縮小と低消費電力のための電源電圧低減にもかかわらず、微細化されたメモリセル内に一定以上の蓄積電荷量をいかに確保するかという課題となる。容量部は上下の電極に挟まれた容量絶縁膜により構成される。容量部に蓄積される電荷量は容量絶縁膜厚（SiO₂ 換算膜厚）に反比例し、下部電極表面積に比例する。メモリ素子の安定した動作に必要な蓄積電荷量は容量絶縁膜の薄膜化と立体化等による容量電極表面積の増大により確保することになる。Ta₂O₅ 膜は単体コンデンサ材料として実績があり、組成が安定しており、比誘電率が 20 以上であり、薄膜化しても絶縁耐圧が高く、誘電損失が小さく、耐熱安定なタングステン等の電極がある。従って、Ta₂O₅ 膜は容量絶縁膜の技術的課題を克服でき、より薄膜化可能な材料と判断した。Ta₂O₅ 膜の製造方法を研究し、64 メガビット DRAM に必要とされる SiO₂ 換算膜厚 3nm 以下の容量絶縁膜の実現をめざすこととした。

第 2 章では、シリコン半導体メモリ素子のひとつであるバイポーラメモリ素子のメモリセル面積を 1/3 に縮小するために、高濃度シリコン基板上に SiO₂ 換算膜厚 3~4 nm の高誘電率 Ta₂O₅ 膜の適用について述べる。反応性スパッターにより形成した Ta₂O₅ 膜は耐熱性に課題があった。600 °C の熱処理で絶縁耐圧が劣化し、800 °C の熱処理では結晶化によりクラックが発生する。しかしながら、Ta₂O₅ 膜の膜厚を 10 nm 以下とすると、乾燥酸素雰囲気において 800 °C の熱処理（以下、ウィークスポット酸化結晶化処理）を行っても、結晶化はするものの、漏れ電流の増加もなく、むしろ、欠陥密度が低減し、絶縁破壊信頼性が顕著に向上することがわかった。この大幅な信頼性の改善は、Ta₂O₅ 膜が 10 nm より薄くなるほど、Ta₂O₅ 膜中を乾燥酸素分子がより拡散しやすくなり、より厚い SiO₂ 膜が Ta₂O₅/Si 界面に成長する現象に加え、10 nm 以下の Ta₂O₅ 膜が結晶化する際に発生するピンホール、結晶粒界などの絶縁耐圧を低下させるウィークスポット部分にも、より厚く界面 SiO₂ 膜が成長し、絶縁耐圧の低下が防止されたものと考えられる。また、Ta₂O₅ 膜が結晶化することにより、絶縁耐圧分布が均一化、膜中トラップの減少による C-V 特性の安定化、比誘電率の増加などの膜特性の向上も顕著であった。形成された SiO₂ 膜換算 3 nm の Ta₂O₅/SiO₂ 積層膜の絶縁破壊寿命は、単層 SiO₂ 膜の絶縁破壊寿命よりも 5 桁優れており、製品に適用できる高い信頼性があることを示した。これらの優位性により、世界で初めてシリコン半導体メモリ素子製品に高誘電率容量絶縁膜を適用することが可能となった。

第3章では、DRAM への Ta_2O_5 膜適用の基礎検討として、多結晶シリコン電極上への反応性スパッター法により形成した Ta_2O_5 膜の漏れ電流特性、及び、長期信頼性について述べる。従来、多結晶シリコン電極上の熱酸化膜は単結晶シリコン上の熱酸化膜と比較して、多結晶シリコン表面の複数の結晶面を反映して、不均一な酸化膜成長による大幅な絶縁破壊信頼性の低下がみられる。 Ta_2O_5/SiO_2 積層膜では、 Ta_2O_5 膜形成後のウィークスポット酸化結晶化熱処理により、多結晶シリコン表面においても、単結晶シリコン表面と遜色のない優れた信頼性が得られることを発見した。乾燥酸素分子は Ta_2O_5 膜中の拡散律速により、多結晶シリコンとの界面に均一に供給され、多結晶表面の面方位によらず、界面に SiO_2 膜が均一に成長したと解釈できる。多結晶シリコン上に形成した SiO_2 膜厚換算 3 nm の容量絶縁膜により、DRAM に適用可能な低い漏れ電流を、初めて実現することができた。

第4章では、DRAM 容量部の構造として、3種の構造について比較検討した。MIM 構造、MIS 構造、SIS 構造である。M は金属電極、S はシリコン電極、I は容量絶縁膜を示す。MIM 構造は漏れ電流の観点から、 SiO_2 換算で 2 nm までの薄膜化が可能であるが、金属電極表面の凹凸に起因する欠陥密度が多く、信頼性に課題がある。第3章にて説明した MIS 構造は Ta_2O_5/SiO_2 積層構造によって、多結晶シリコン上でも SiO_2 換算膜厚 3 nm までの容量絶縁膜が得られる。SIS 構造では、 Ta_2O_5 膜とシリコン電極の反応を防止するため、 Ta_2O_5 膜上に SiO_2 もしくは Si_3N_4 膜からなる反応防止膜が必要となるが、絶縁破壊の長期信頼性は、MIS 構造に劣る上に、 SiO_2 換算膜厚 3 nm までの薄膜化は難しい。従って、64 メガビット DRAM を実現するには、MIS 構造の適用が最も有望である。従来的高温プロセスを用いた DRAM プロセスへの Ta_2O_5 膜の適合性を評価するために、SIS 構造を適用した DRAM を試作し、デバイス特性への影響、高温プロセスの Ta_2O_5 膜特性への影響を評価し、DRAM プロセスに適合できることを実証した。

第5章では、立体構造の容量部に Ta_2O_5 膜を適用するために、CVD 法による Ta_2O_5 膜の製造方法について述べる。CVD 法により形成した Ta_2O_5 膜は反応性スパッター法による Ta_2O_5 膜と比較して、漏れ電流が大きく、絶縁耐圧が劣る。また、ウィークスポット酸化結晶化熱処理をしても、反応性スパッターによる Ta_2O_5 膜の絶縁耐圧より劣っている。その原因として、CVD 法による Ta_2O_5 膜中には酸素欠陥が多く、酸素欠陥を低減する形成技術が必要となった。紫外線照射したオゾンによる熱処理 (UV- O_3 処理) 等の活性酸素処理を行うことにより、大幅に漏れ電流が減少するとともに、更に、ウィークスポット酸化結晶化熱処理を二段階で行うことにより、反応性スパッター法による Ta_2O_5 膜と遜色のない絶縁破壊信頼性を有する Ta_2O_5 膜を実現することができた。CVD 法と二段階熱処理により、立体構造の容量電極上に良好な被覆性、十分に低い漏れ電流を確保しながら、 SiO_2 換算 2.8 nm の容量絶縁膜を実現することができた。この SiO_2 換算 2.8 nm の高誘電率容量絶縁膜の適用により、世界に先駆けて 64 メガビット DRAM メモリ素子を実現することができた。

第6章では反応性スパッター法、および、CVD 法による Ta_2O_5 膜の構造について検討した。結晶性、O/Ta 組成比、酸素の配位数と Ta-O の結合距離について比較評価を行った。CVD 法による Ta_2O_5 膜に UV- O_3 処理とウィークスポット酸化結晶化熱処理を二段階で行うことにより、O/Ta 比が増加し、Ta 原子への酸素配位数が 8 まで増加し、絶縁耐圧も向上する。活性酸素処理により、膜中の酸素欠陥が修復されるとともに、二段階熱処理により Ta 原子への酸素配位数が 8 となる低酸素欠陥の六方晶の結晶膜になると考える。一方、反応性スパッターによる Ta_2O_5 膜はウィークスポット酸化結晶化熱処理後では、Ta 原子への酸素配位数が 7 となる低酸素欠陥の斜方晶の結晶膜になると考えられる。成膜方法の違いにより、結晶構造が異なることは注目できる。

第7章では本論文の内容を総括する。シリコン半導体メモリ素子製造プロセスに適合できる高誘電率 Ta_2O_5 膜の製造技術の確立により、16 キロビットバイポーラメモリ素子の製品化、更に、64 メガビット以降の DRAM 素子の高集積化の展望を開くことができた。本論文で示した高誘電率容量絶縁膜と王冠型容量構造の組み合わせは、現在の DRAM の基本的構成となり、また、本論文で示す高誘電率膜の製造プロセスはシリコン半導体素子に適用する高誘電率膜の基本的な製造プロセスとなっており、高誘電率膜のシリコン半導体メモリ素子への実用化の先駆けとなる研究となった。