

## 論文の内容の要旨

氏名：山 崎 紘 史

博士の専攻分野の名称：博士（工学）

論文題名：スキャンテストにおけるコスト及び消費電力削減のためのテスト生成法に関する研究

近年、半導体の微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits : VLSI) の集積度が増大している。また、設計自動化技術の進歩により、大規模なデジタルシステムを VLSI 上に実装することが可能となった。VLSI 回路は、社会においても幅広く利用されており、製造された VLSI に故障 (物理的な欠陥) が無いことを保証しなければならない。このため、VLSI のテスト設計が非常に重要になっており、その自動化は必要不可欠になっている。VLSI のテスト設計にはテスト生成 (Automatic Test Pattern Generation : ATPG) とテスト容易化設計 (Design For Testability : DFT) の 2 つが挙げられる。テスト生成とは VLSI 製造後の出荷検査に用いるテストパターンを生成することをいう。また、テスト容易化設計とはテストパターンの生成を容易にするために VLSI の回路構造を変更することをいう。

VLSI のテストでは、製造された VLSI に対してテストパターンを外部入力 (Primary Input : PI) に印加し、その出力応答を外部出力 (Primary Output : PO) で観測する。このとき、外部出力の観測値とテストパターンによる出力期待値を比較することで VLSI 内部の故障の有無を判定する。そのため、テスト生成では、VLSI 内部に欠陥をモデル化した故障モデルを仮定し、その故障モデルの故障影響を外部出力で観測できるテストパターンを生成する。このとき、故障検出効率という概念を導入し、出荷した VLSI の市場不良率をできるだけ低減するには、故障検出効率が高い (例、99%以上) テストパターンを用意する必要がある。

VLSI の微細化技術の進歩により、VLSI の集積度が増加している。また、テストパターン数はゲート数の 0.5 乗から 1.5 乗に比例して増加すると報告されている。VLSI の微細化により従来の縮退故障モデルのテストパターンでは検出困難なタイミング遅延を伴う欠陥が存在する。そのため、縮退故障モデルのテストパターンの他に遷移故障モデルやパス遅延故障モデルなどのテストパターンが必要である。テストパターン数の増加に伴いテスト実行時間が増加し、テストコストの増大につながる。このことから、VLSI におけるテスト実行時間の削減が重要である。

一方、VLSI の低消費電力化設計に伴い、実速度スキャンテストにおけるテスト時消費電力の増大が問題となっている。実速度スキャンテスト特有の消費電力として、キャプチャ時消費電力とシフト時消費電力が挙げられる。キャプチャ時消費電力は、テスト応答をフリップフロップ (Flip-Flop : FF) へ格納するキャプチャ動作時に発生する。シフト時消費電力は、スキャン FF へのテストパターンの印加とテスト応答の観測を行うシフト動作時に発生する。過度なキャプチャ時消費電力による問題として、電圧降下 (IR ドロップ) による誤テストが挙げられる。また、過度なシフト時消費電力による問題として、発熱による回路の熱破壊が挙げられる。そのため、VLSI のテスト時消費電力の増大は歩留まり低下の原因の一つとして挙げられる。したがって、歩留まりの損失を抑制するために VLSI のテスト時消費電力の削減が重要である。

本研究は、テストパターン数削減のためのドントケア判定法と、キャプチャ時消費電力削減のためのマルチサイクルキャプチャ・テスト生成法を提案する。

本論文は序論および結論を含め 7 つの章から構成される。

第 1 章は序論である。本研究の目的と意義および背景について述べ、本論文の概説を行っている。

第 2 章では、故障モデル、テスト生成、スキャン設計、スキャン設計回路における遷移故障のテスト方式などの、VLSI のテストに関する技術について概説する。

第 3 章では、相補型金属酸化膜半導体 (Complementary Metal Oxide Semiconductor : CMOS) 回路の消費電力と、VLSI のテスト時消費電力その影響として、キャプチャ時消費電力とシフト時消費電力についてまとめている。また VLSI の消費電力の見積り手法として広く用いられている重み付き信号遷移 (Weighted Switching Activity : WSA) について概説する。

第 4 章では、ドントケア、故障シミュレーション、テスト圧縮などの、VLSI のテストコスト削減に関する技術を概説する。テスト圧縮には、テスト生成中にテスト圧縮を行う動的圧縮と、テスト生成後のテスト集合に対してテスト圧縮が存在する。本章では、故障シミュレーションに基づく静的圧縮手法と、テス

トパターン中のドントケアに基づく静的圧縮手法について概説する。

第 5 章では、テスト圧縮を考慮したドントケア判定法を提案する。一般に、生成されたテストパターンの各外部入力値は、全て 0 または 1 の論理値(ケアビット)に設定されている。しかしながら、生成されたテストパターンの中には、逆の値に変更しても故障検出率が低下しない外部入力値が存在する。このような外部入力値をドントケアという。テスト集合からドントケアを判定する技術には、ドントケア判定法が提案されている。

過去に提案されたドントケア判定法では、テスト集合中のドントケアの最大化や、テスト時消費電力の分野を考慮したドントケア判定法が提案されている。

しかしながら、過去に提案されたドントケア判定法では、各外部入力に対してはドントケア数の均一化を考慮していない。そのため、テスト圧縮の分野において、特定の外部入力にケアビットが集中するとテスト圧縮効率が低下する可能性が存在する。本論文では、各外部入力のドントケア数を均一にし、ドントケア数を最大化するテスト圧縮に効果的なドントケア判定法を提案し、ISCAS' 89, ITC' 99 ベンチマーク回路に対して実験を行った。

テスト圧縮を未適用な初期テスト集合に対する実験結果では、従来のドントケア判定法と比較して、ドントケア判定率は平均約 1%の増加、外部入力のドントケア分散は平均約 30%の削減を達成した。また、テスト圧縮後のテストパターン数に関しては、従来のドントケア判定法と比較して、平均約 12%の削減を達成した。また、テスト圧縮を適用済みの初期テスト集合に対する実験結果では、従来のドントケア判定法と比較して、ドントケア判定率は平均約 1%の増加、外部入力のドントケア分散は平均約 10%の削減を達成した。テスト圧縮後のテストパターン数に関しては、従来のドントケア判定法と比較して、平均約 3%の削減を達成した。

第 6 章では、キャプチャ時消費電力を考慮したマルチサイクルキャプチャ・テスト生成法を提案する。フルスキャン設計をした回路では、一般的なテスト生成は機能動作を考慮せず、テスト生成の容易性を優先してテスト生成を行う。このため、生成されたテストパターンは、スキャン FF の状態が機能動作では起こりえない状態(無効状態)となる可能性がある。無効状態では、回路内の多くの信号線に遷移を発生させ WSA を増加させている可能性がある。

一方、過去の文献において、一般的なテスト生成で生成した遷移故障モデルのテストパターンを印可した後に、キャプチャ動作を 20 サイクル行うことで WSA が減少することが報告されている。また、テスト生成時に、時間展開モデル(マルチサイクルキャプチャ・テスト生成モデル)を用いてテスト生成を行うことで、テスト不可能故障を同定する手法も提案されている。

本論文では、この現象に着目し、キャプチャ時消費電力を考慮したマルチサイクルキャプチャ・テスト生成法を提案し、ISCAS' 89, ITC' 99 ベンチマーク回路に対して実験を行った。提案手法の 20 時間展開モデルにおいて WSA 閾値 50%では最大 78%(平均 45%)、WSA 閾値 60%では最大 85%(平均 62%)、WSA 閾値 70%では最大 100%(平均 72%)、WSA 閾値 80%では最大 100%(平均 75%)のアンセーフ故障数の削減ができた。また、他のテスト生成法との比較実験として、平均約 22%から 40%のアンセーフ故障数の削減が確認できた。

第 7 章は結論であり、以上の研究成果を述べるとともに、今後の研究課題について議論している。