

電力用ショットキバリアダイオードと
電力用 MOSFET の
低電力損失化および高耐圧化に関する研究

平成 25 年 9 月

九里伸治

<目 次>

1. 序論
2. 電力用ショットキバリアダイオード (SBD) の開発課題
3. トレンチ構造を有する低耐圧ジャンクションバリアショット
キダイオード (LL-SBD)
4. 高耐圧 120V 級スーパージャンクション (SJ) -JBS
5. 高耐圧 200V 級 SJ-MOSFET (TR-MOSFET)
6. トレンチ埋め込み領域のボイド非破壊評価法の開発
7. 総論

謝辞

第 1 章

序論

1-1 内部損失低減を目指したパワーデバイスの開発動向と本研究の位置づけ

電力用ショットキバリアダイオード (SBD) は、電気信号ではなく電気エネルギーを扱うパワーエレクトロニクスの世界で幅広く用いられている。パワーエレクトロニクスとは、電力、電子および制御の技術を融合した、電力変換および電力開閉に関する技術分野と定義されている¹⁾。さらに、電力変換とは、スイッチングデバイスのオン・オフを制御するスイッチング技術を利用して、周波数・電流・電圧・位相・相数・波形などの電気特性のうち、一つ以上を実質的な電力損失なしに変えることと定義される²⁾。この電力変換には、スイッチングデバイスとして代表的なデバイスであるパワーMOSFET や IGBT が用いられ、それ以外に整流デバイスとして、パワーSBD や PiN ダイオードなどが利用される。また、インダクタやキャパシタなど一時的な電力貯蔵部品 (受動部品) も用いられる。受動部品の小型化のためには、1回のスイッチングで受動部品が蓄える電力エネルギー量を小さくすることが必要である。そのためには、スイッチング周波数を高くすることが求められる。よって、スイッチングデバイスや整流デバイスには、高速でのスイッチングが可能な半導体素子であるパワーデバイスが必要となる³⁾。

表 1-1 に、主要なパワーデバイスの分類と注目すべき素子開発例を一覧として示す。

表 1-1 各種電力用デバイスの開発年表

年代	SBD	バイポーラ トランジスタ	サイリスタ	MOSFET	IGBT
1945		○バイポーラトランジスタ(1949)			
1950					
1955			○サイリスタ(1957) ○トライアック(1959)		
1960		○2重拡散技術(DSA) ○エピタキシャルウェーハ利用			
1965					
1970	○パワー-SBD(1970)		○逆導通サイリスタ(1970) ○GTO(1973)	○パワー-MOSFET(1970) ○溝ゲートMOSFET(1974)	
1975				○プレーナゲートMOSFET(1977)	
1980	○ピンチ整流器(1984)				○IGR(1982) ○伝導度変調FET(1983) ○IGT(1983)
1985	○JBS(1985)			○トレンチゲートMOSFET(1985)	○ラッチアップフリーIGBT(1985)
1990	○プレーナJBS(1992) ○トレンチJBS(1992) ○TMBS(1993)				
1995				○マルチエビ法SJ-MOS(1998)	
2000	○OSJ-JBS(2002) ○OSJ-PNダイオード(2004)			○トレンチ埋め込みSJ-MOSFET(2002) ○トレンチ埋め込みSJ-MOSFET(2003)	
2005	○トレンチ埋め込みボイド検出法(2007)				

電力用スイッチングデバイスが実用化された最初の事例としては、1956年に発表されたサイリスタ⁴⁾が挙げられる。このサイリスタは、水銀整流器やサイラトロン³⁾の代替を狙ったものであり、1957年には米国GE社よりSCR(Silicon Controled Rectifier)という名称で商品化された。その後、トライアック⁵⁾、逆導通サイリスタ⁶⁾、GTO(Gate Turn-off Thyristor)⁷⁾などが開発され、大容量化・高耐圧化が現在も進められている。

サイリスタと比較して、ゲート(ベース)電極により電流のオン・オフが容易で(自己ターンオフ機能を有する)より高速スイッチング動作が可能なバイポーラトランジスタの開発も進められてきた。バイポーラトランジスタは1947年のベル研究所で開発された点接触型トランジスタ⁸⁾が端緒であるが、パワーデバイスとしてのバイポーラトランジスタは、1959年の二重拡散技術(DSA)⁹⁾や、1960年のエピタキシャルウェーハ技術¹⁰⁾などを採用し、進化を続けてきている。

バイポーラトランジスタは、ベース・エミッタ間のPN接合に電流を流すことをトリガとして駆動する電流駆動デバイスであるため、ベース・エミッタ間の駆動電力が大きいとい

う欠点がある。これに対し、ゲート・ソース（エミッタ）間に誘電体膜を介したゲート構造を有する MOS(MIS)FET は電圧駆動デバイスであるため、駆動電力をバイポーラトランジスタよりも低減できるという長所がある。シリコン MOSFET の開発は D.Kahng による試作の成功 ¹¹⁾に端を発する。パワーMOSFET は、代表的な性能指数である特性オン抵抗 $R_{DS(ON)}*A$ （デバイス活性面積 $S_a=1cm^2$ でのデバイス導通時の電気抵抗 $R_{DS(ON)}$ ）の低減を主に目指して開発が進められてきた。その方策として、ドレイン電極がデバイス裏面に形成された縦型デバイス構造、二重拡散技術（DSA）を利用した自己整合プレーナゲート構造 ¹²⁾、ウェットエッチング技術を用いた V 溝ゲート構造 ¹³⁾、ドライエッチング技術を用いた U 溝（トレンチ）ゲート構造 ¹⁴⁾、および単位トランジスタセルの微細化などの技術が開発されてきた。

パワーMOSFET は単一の伝導キャリアを用いるユニポーラデバイスであるため、少数キャリアの蓄積効果によるスイッチング速度の低下がなく、高速スイッチング用途に適している。しかし、デバイスがオフ状態の際にデバイスのソース・ドレイン間に印可可能な電圧を増加（高耐圧化）させるためには、デバイス内部の不純物濃度の低減とソース・ドレイン間距離の増大が必要となり、大幅な $R_{DS(ON)}*A$ の増加を招くという欠点がある。

IGBT は、 $R_{DS(ON)}*A$ の増加を抑制するために、電圧駆動が可能な MOS ゲート構造とバイポーラトランジスタの伝導度変調効果による低 $R_{DS(ON)}*A$ 化を組み合わせるというコンセプトで開発が進められた。1982 年の IGR(Insulated Gate Rectifier) ¹⁵⁾や、伝導度変調型 FET (Conductivity Modulated FET) ¹⁶⁾、IGT(Insulated Gate Transistor) ¹⁷⁾などを経て、1985 年に発表された寄生サイリスタ動作の抑制に成功した IGBT¹⁸⁾により、その後の大きな開発の進展がみられるようになった。

IGBT は、2つのキャリアを電気伝導に利用するバイポーラデバイスであるため、MOSFET と比較すると高速スイッチングには不適であるという欠点を有する。これに対し、ユニポーラ高耐圧デバイスでも $R_{DS(ON)}*A$ の低減に対する試みが継続されてきた。ユニポーラデバイスの $R_{DS(ON)}*A$ は、所望の耐圧に対して求められるデバイス内部の不純物濃度とソース・ドレイン間距離によって決定される。シリコンの場合、その物性から決定される耐圧と $R_{DS(ON)}*A$ の物理的限界線のことをシリコンリミットと呼ぶ。そのシリコンリミットの打破を目指した構造の原型として、1979 年の Apple らによる RESURF 構造が挙げられる ¹⁹⁾。RESURF 構造はソース・ドレイン電極がデバイスのおもて面に配置された横型デバイスである。この RESURF 構造を縦型デバイスに適用することで、シリコンリミットの打破を図ったデバイスがスーパージャンクション構造デバイスである ²⁰⁾。スーパージャンクションデバイスの単位構造は、デバイスの深さ方向に延伸する P 型カラムと N 型カラムの一対で構成される。実際のデバイスはこの P/N 対が水平方向に複数配置された構成である。この P/N 対を、不純物イオンの選択的なイオン注入とエピタキシャル成長の繰り返しにより形成する方法（マルチエピタキシャル法）で実現した 1998 年の Cool-MOS™ の発表 ²¹⁾により、600V 級の耐圧でシリコンリミットの打破が実証され、その後の開発が急激に進展

した。また、スーパージャンクション構造デバイスの $R_{DS(ON)} \cdot A$ は、単位構造（一对の P/N カラム）の微細化により低減できることが、Fujihira により明らかにされた²²⁾。上記の理由で、マルチエピタキシャル法に代わる単位構造の研究が進められている。その代表的な方法がトレンチ埋め込み法である。2001 年の Yamauchi らのトレンチ内への P 型エピタキシャル層の埋め込みの検討²³⁾を端緒として、2002 年の Oonishi らによる MOSFET の試作²⁴⁾、著者による 2003 年の高耐圧 MOSFET の報告²⁵⁾、などデバイスの試作報告がなされるようになった。

電力用スイッチングデバイスは、高耐圧化・低 $R_{DS(ON)} \cdot A$ 化・高速化をその主要な開発テーマとして現在も研究開発が継続されている。

スイッチングデバイスと並んで多く使用される電力用 SBD の開発として、1970 年に P.Polger,らにより成された本格的な電力用 SBD の報告²⁶⁾が挙げられる。

本 SBD の特性は耐圧 20[V]で $V_F=0.5[V]$ 程度であった。SBD の開発当初の最大の課題は耐圧の確保であったが、素子構造上の工夫であるガードリング構造により課題は解決された²⁷⁾。その後、用途にあったショットキバリア金属種を有する電力用 SBD が開発され、耐圧も 20[V]~90[V]までラインアップされるようになった。また、耐圧が 100[V]を超える電力用 SBD においては、逆方向漏れ電流を抑制するために N 型層に対するショットキ障壁高さ Φ_{bn} を大きくすることで対応を図ってきたが、高い Φ_{bn} に起因して、少数キャリアである正孔の注入現象が問題となった^{28) 29)}。また、電力用 SBD の順方向電圧降下 V_F と逆方向漏れ電流密度 J_R （デバイス活性面積 $S_a=1\text{cm}^2$ での逆方向バイアス時の漏れ電流 I_R ）の相関関係である $V_F \cdot J_R$ トレードオフを改善するためのアプローチとして、1985 年の Baliga らによる JBS(Junction Barrier Shottky diode)³⁰⁾や、著者らによる 1992 年のトレンチ構造を用いた JBS(LL-SBD)³¹⁾、1993 年の Baliga らによるトレンチ MOS 構造を採用した TMBS(Trench MOS Barrier Shottky rectifier)³²⁾が報告されている。ただし、これらの報告は 100[V]以下の低耐圧 SBD に関するものである。電力用 SBD の 100[V]以上の高耐圧化の試みとしては、厚いシリコン酸化膜を利用した TMBS や、トレンチ埋め込み法を用いたスーパージャンクション構造の採用による JBS の報告が、著者らの報告を端緒にみられるようになった^{33) 34)}。その後、PN ダイオードではあるが、2004 年の Yamauchi らの報告では 200[V]以上の耐圧が示された³⁵⁾。

電力用 SBD は、高速性を失うことのない高耐圧化と $V_F \cdot J_R$ トレードオフの改善を開発の主要テーマとして、現在も研究開発が進められている。

1-2 本研究の目的と意義

パワーデバイスの特性改善には、デバイスの持つ電氣的な内部損失成分の低減が重要である。デバイスの内部損失成分が大きければ、デバイスの内部損失すなわち電力損失が大きくなり、電力変換システムの電力変換効率が低下してしまう。また、デバイスでの電力損失はジュール熱として熱エネルギーに変換されることとなる。その結果として、デバイス

自身が高温に晒されるため、デバイスの温度特性、特に高温特性の考慮も非常に重要な項目となる。

電力用 SBD においては、主な内部損失成分となるのは、順方向バイアス時の電圧降下 V_F と逆方向バイアス時の逆方向漏れ電流密度 J_R である。その他にスイッチング時の残留電荷 Q_{rr} による損失も存在するが、SBD はユニポーラ素子であるため、一般的には Q_{rr} 損失は V_F や J_R による損失に比べると小さい³⁶⁾。 J_R は温度依存性が極めて大きく、 V_F は耐圧に対する依存性が大きい。したがって、内部損失を低減するためには、逆方向漏れ電流を低減する方策、ならびに、高耐圧化しても V_F の増加を抑制する方策が有効であり、それらの方策を探索することは電力用 SBD の高性能化を図るための重要な研究課題であると認識される。

一方、電力用 MOSFET (パワーMOSFET) における主な内部損失成分 (要因) としては、制御端子である MOS ゲート電極にオン信号 (ゲート電圧) が入力された際の特性オン抵抗 $R_{DS(ON)}*A$ と、スイッチング (ゲート電極にオン信号が入力、あるいはオフ信号が入力) 時の遅延時間がある。遅延時間の主要因としてはゲートとドレイン間の帰還容量 C_{GD} がある³⁷⁾。MOSFET も SBD と同様にユニポーラ素子であるため、 $R_{DS(ON)}*A$ も耐圧に対する依存性が大きい (おおよそ耐圧の 2.5 乗に比例して $R_{DS(ON)}*A$ は増加する)。よって、パワーMOSFET の内部損失の低減には、高耐圧化しても $R_{DS(ON)}*A$ の増加を抑制する方策と、ゲートとドレイン間の帰還容量 C_{GD} を低減させる方策が重要な開発課題となる。

上記の観点に立ち、本研究の目的は、電力変換において用いられる電力用 SBD と電力用 MOSFET の低電力損失化を実現する指針を明確にし、それを実験的に検証することとした。具体的には、まず低耐圧電力用 SBD における低電力損失化という視点での特性改善を図り、それを推し進めた高耐圧 SBD の低電力損失化についても実験的に検討を加えた。また、高耐圧 SBD 中で得られた知見を応用した電力用 MOSFET の低電力損失化に関する検討を行った。さらに、前記の低電力損失化を実現する上で用いられた、トレンチ埋め込み法において見出される欠点を解決する独自の手法の開発も行った。

1-3 本論文の構成

本論文の構成は次の通りである。

第1章 序論

第2章 電力用ショットキバリアダイオード (SBD) の開発課題

第3章 トレンチ構造を有する低耐圧ジャンクションバリアショットキダイオード (LL-SBD)

第4章 高耐圧 120V 級スーパージャンクション (SJ) -JBS

第5章 高耐圧 200V 級 SJ-MOSFET (TR-MOSFET)

第6章 トレンチ埋め込み領域のボイド非破壊検出法の開発

第7章 総論

第1章「序論」において本研究の位置づけと目的ならびに意義について述べた後、第2章では電力用SBDの動作原理と特性を示し、逆方向漏れ電流の抑制の方策、高耐圧化した際の V_F の抑制方策、高耐圧化構造の課題を提案する。第3章では、低耐圧ジャンクションバリアショットキダイオード(JBS)を取り上げ、逆方向漏れ電流の抑制の方策として、ショットキ接合面の電界強度の緩和策としてのピンチオフ効果を効果的に利用した結果を示す。高耐圧化した際の V_F 増加の抑制方策としては、第4章においてトレンチ埋め込み法を用いたスーパージャンクション(SJ)構造を適用したSBDの試作結果を示す。また、パワーMOSFETに上記トレンチ埋め込み法を用いたスーパージャンクション構造を適用し、特性改善を図った成果を第5章で述べる。最後にトレンチ埋め込み法の欠点である埋め込み時のボイド(空隙)の非破壊検査法について著者の開発した成果を第6章で示した後、第7章「総論」において本論文の成果をまとめる。

参考文献

- 1)W. Newell, "Power Electronics-Emerging from Limbo," *IEEE Trans. Ind. Applicant.*, **IA-10**, 1, 7 (1974)
- 2) 電気学会・半導体電力変換システム調査専門委員会編, 「パワーエレクトロニクス回路」, オーム社,2,(2000)
- 3)電気学会・半導体電力変換システム調査専門委員会編, 「パワーエレクトロニクス回路」, オーム社,9,(2000)
- 4)J. L. Moll, M.Tannenbaum, J. M. Golday and N. Holonyak, *Proc. IRE.*, **44**, 9, 1174(1956)
- 5) R. W. Aldrich and N. Holonyak, *J. Appl. Phys.*, **30**, 11, 1819(1959)
- 6) R. A. Kokosa, *IEEE*, **ED-17**, 9, 667(1970)
- 7)E. D. Wolley, F. M. Matteson, R. Yu and R. L. Steigerwald, "Characteristics of a 200 amp gate turn-off thyristor", *IEEE Conf. Rec.*, Industry Application Society Meeting, 251 (1973)
- 8)W. Shockley, "the theory of p-n junction transistors", *Bell System Tech. J.*, **28**, 435(1949)
- 9) J. F. Archner, et al , *J. of Electrochem. Soc.*, **106**, 415 (1959)
- 10) J. A. Hoerni, *IEEE Electron Device Meeting*, Washinton D.C, (1960.10)
- 11)D. Kahng and M. Atalla, "Silicon – Silicon Dioxide Field Induced Surface Devices", *IRE., Solid State Device Res. Conf.*, Pittsburg PA , 頁(1960)
- 12)Y. Tarui, Y. Hayashi and T. Sekigawa, "Diffusion Self Aligned MOST : A New Approach for High Speed Device", *Suppl. of J. Japan Soc. of Appl. Phys.*, **39**, 105 (1970)
- 13)T. J. Rodgers and J. D. Meindol, "Short Channel V-Groove MOS (VMOS) logic", *IEEE Int. Solid State Circuits Conf.*, THAM104, 112 (1974)

- 14) D. Ueda, H. Takagi and G. Kano, "A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance", *IEEE Trans. Electron Devices*, **ED-32**, 2 (1985)
- 15) B.J.Baliga, M.S.Adler, P.V.Gray, R.Love, and N.Zommer, "The insulated gate rectifier (IGR): A new power switching device" *IEEE IEDM Tech. Digest*, 264 (1982)
- 16) J.P.Russell, A.M.Goodman, L.A.Goodman, and J.M.Nielson, "The COMFET : A new high conductance MOS gated device" *IEEE EDL*, **EDL-4**, 63 (1983)
- 17) M.F.Chang, G.C.Pifer, B.J.Baliga, M.S.Adler, and P.V.Gray, "25 amp 500 volt insulated gate transistors" , *IEEE IEDM Tech. Digest*, 83 (1983)
- 18) A.Nakagawa, Y.Yamaguchi, K.Watanabe, H.Ohashi, and M.Kurata, "Experimental and numerical study of non-latch-up bipolar-mode MOSFET characteristics" *IEEE IEDM Tech. Digest*, 150 (1985)
- 19) J. A. Apples and H. M. J. Vaes, "High voltage thin layer Devices (Resurf devices)", *IEEE IEDM Tech. Digest*, 238 (1979)
- 20) X.B.Chen, U.S Patent, No.5216275
- 21) L. Lorenz, "Cool-MOS An important milestone toward a new power MOSFET generation ", *Proc. of Power Conversion*, 151 (1998)
- 22) T. Fujihira, "Theory of Semiconductor Superjunction Devices", *Jpn. J. Appl. Phys.*, **36**, 6254 (1997)
- 23) S. Yamauchi, Y. Urakami, N. Suzuki, N. Tsuji, H. Yamaguchi, "Fabrication of High Aspect Ratio Doping Region by Using Trench Filling of Epitaxial Si Growth", *Proc. of ISPSD*, Osaka, 363 (2001)
- 24) Y. Oonishi et al., "24mohmcm² 680V Silicon Super Junction MOSFET", *Proc. of ISPSD2002*, 241 (2002)
- 25) T. Kurosaki, H. Shisido, M. Kitada, K. Oshima, S. Kunori and A. Sugai, "200V Multi RESURF Trench MOSFET ", *Proc. of ISPSD2003*, 211(2003)
- 26) P. Polger, A. Mouyard and B. Shiner, *IEEE Trans. Electron Devices*, **ED-17**, 725(1970)
- 27) M. P. Lepseltor and S. M. Sze, "Silicon Schottky Barrier Diode Near-Ideal I-V Characteristics", *Bell System Tech. J.*, **47**, 195 (1968)
- 28) D. L. Scharfetter, "Minority Carrier Injection and Charge Storage in Epitaxial Schottky Barrier Diodes", *Solid State Electron.*, **13**, 1011 (1970)
- 29) K. Ichikawa and K. Yamazaki, "Design Consideration for Power Schottky Barrier Diodes", *Interec.*, 520 (1983)
- 30) B. J. Baliga, "The Pinch Rectifier : A Low-Forward-Drop High-Speed Power Diode", *IEEE Trans. Electron Devices Letter*, **EDL-5**, 194 (1984)
- 31) S. Kunori, J. Ishida, M. Tanaka, M. Wakatabe and T. Kan, "The Low Power Dissipation Schottky Barrier Diode with Trench Structure", *Proc. of ISPSD1992* , 66

(1992)

32)M. Mehrotra and B. J. Baliga, “The Trench MOS Barrier Schottky (TMBS) Rectifiers”, *IEDM*, 675(1993)

33)T. Shimizu, S. Kunori, M. Kitada and A. Sugai, “100V Trench MOS Barrier Schottky Rectifier using Thick Oxide Layer (TO-TMBS)”, *Proc. of ISPSD2001*, 243 (2001)

34)S. Kunori, M. Kitada, T. Simizu, K. Oshima and A. Sugai, “120V Multi RESURF Junction Barrier Schottoky Rectifier”, *Proc. of ISPSD2002*, 97(2002)

35)S. Yamauchi, Y. Hattori, and H. Yamaguchi, “Influence of Trench etching on Super Junction Devices Fabricated by Trench Filling”, *Proc. of ISPSD2004*, 193 (2004)

36)高性能高機能パワーデバイス・パワーIC 調査専門委員会編, 「パワーデバイス・パワーIC ハンドブック電気学会」, コロナ社, 93(1996)

37) 山崎浩, 「パワーMOSFET の応用技術」, 日刊工業新聞社, 43(1988)

第2章

電力用ショットキバリアダイオード (SBD) の開発課題

2-1) 電力用ショットキバリアダイオード (SBD)

電力用 SBD は主にスイッチング電源の整流用デバイスとして用いられる¹⁾。PN 接合を利用した PiN ダイオードと比べて V_F が低いことを利用して、DC/DC コンバータの低電圧 2 次側回路の整流素子として多く使用される。図 2-1 に通信用 DC/DC コンバータで主に用いられるフォワード方式回路の主回路部分を示す²⁾。通信用 DC/DC コンバータは、主に電話局の基地局で用いられ、出力電力は 48[V] の直流を供給する方式が一般的である。

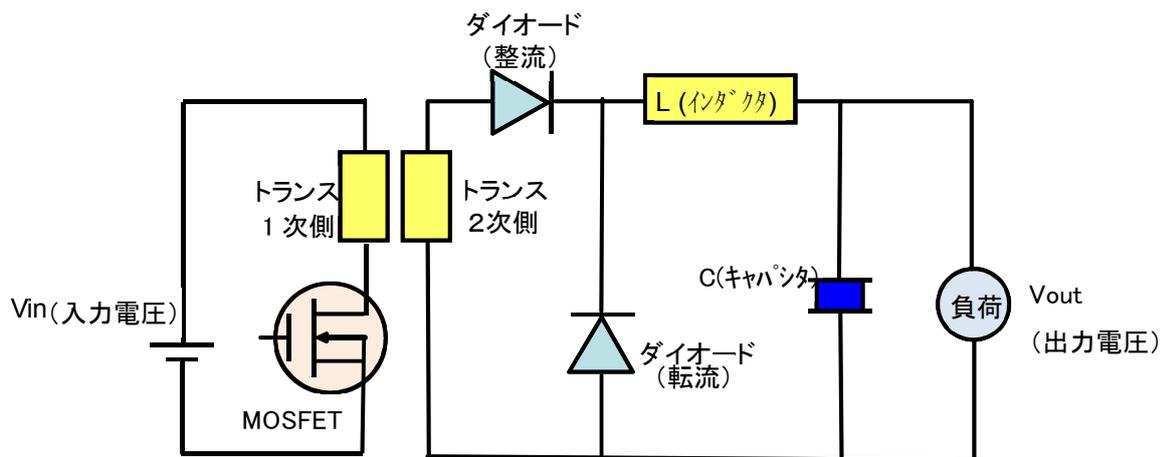


図 2-1 通信用 DC/DC コンバータの主回路図

1 次側のスイッチである MOSFET をスイッチングさせることで、MOSFET がオン状態時には 1 次側のトランスに蓄えられた電力を 1 次側と 2 次側の巻き数比に従い電圧変換し、2 次側のトランスに電力を供給する。2 次側トランス⇒整流ダイオード⇒インダクタ⇒キャパシタと負荷、の経路で電力は供給される。MOSFET がオフ状態時には、1 次側からの電力の供給はなく、インダクタとキャパシタ⇒負荷⇒転流ダイオードの経路で電力は供給される。このスイッチング動作が (繰り返し) 行われる際に、1 次側の MOSFET、2 次側のダイオードの内部での電力損失が主な電力変換損失となる。ダイオードの内部損失の主なものとしては、順方向通電時の順方向降下電圧 V_F がある。PiN ダイオードに比べ、電力用

SBDは V_F を低く設定できるため、通信用DC/DCコンバータの整流・転流デバイスとして多く利用される。また、スイッチング周波数が高いほど、受動部品であるインダクタやキャパシタは、1回のスイッチングにおける電力貯蔵量が少なくて済むため、その体積を小型化できるメリットがある。よって、パワーデバイスには高周波でのスイッチングにおけるスイッチング損失も小さいことが求められる。バイポーラデバイスであるPiNダイオードよりもユニポーラデバイスであるSBDの方が、ダイオード内部の蓄積電荷量 Q_{rr} が小さいため、スイッチング損失($=Q_{rr} \times \text{出力電圧} \times \text{スイッチング周波数}$)も抑制出来る。よってSBDの使用により、電源の小型化に寄与できることになる。

以上の理由でSBDはPiNダイオードに代わって使用されることになる。ただし、第3章以降で詳説するが、逆方向漏れ電流密度 J_R がPiNダイオードよりも大きいことによる使用可能な環境温度の制限があることや、高耐圧（目安として100[V]以上）化すると V_F がPiNダイオードよりもかえって大きくなってしまふことなど、デメリットも十分に理解した上で使用する必要がある。

2-2) 電力用SBDの整流の原理

電力用SBDの整流特性の原理は、金属と半導体を接合させる際に発生する両者のエネルギー差であるショットキ障壁に起因する³⁾。図2-2に金属およびN型半導体のエネルギーバンド図と、両者を接合させた場合のエネルギーバンド図を示す。

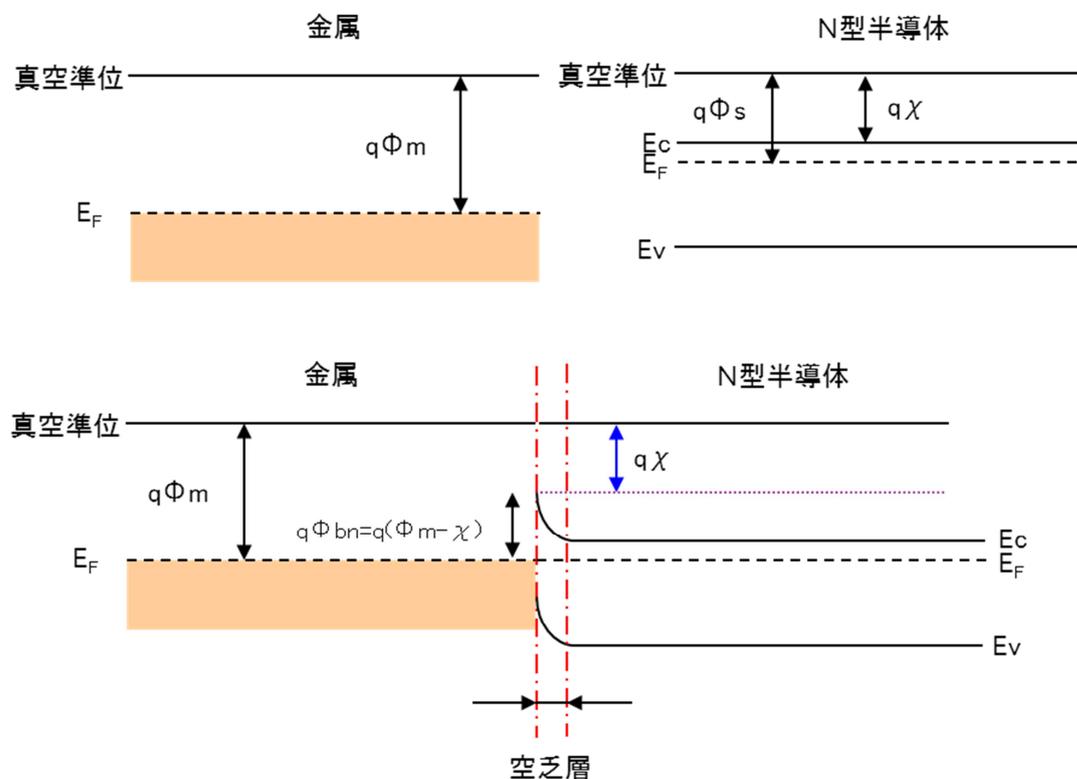


図 2-2 ショットキ障壁形成時のエネルギーバンド図

すなわち、金属の仕事関数 Φ_m と半導体の仕事関数 Φ_s が $\Phi_m > \Phi_s$ の関係である場合、 Φ_m と半導体の電子親和力 χ の差 $[\Phi_m - \chi]$ で与えられるショットキ障壁高さ Φ_{bn} が整流性の起源である。SBD はこのショットキ障壁の整流性を利用したダイオードである。

また、電力用 SBD においては、キャリア移動度の大きな電子を多数キャリアとする N 型半導体がいられることがほとんどである。また、パワーデバイス用の半導体材料としてのシリコン (Si) は、ゲルマニウム (Ge) よりもバンドギャップ (E_g) が広い (Si の $E_g=1.1$ [eV]、Ge の $E_g=0.7$ [eV]) 高温動作が可能であること、さらに Si よりバンドギャップが広いガリウム砒素 (GaAs) やシリコンカーバイド (SiC) などと比較すると、シリコン酸化膜 (SiO_2) という界面準位密度が低い良好な半導体表面保護膜が得られることより、Si が電力用 SBD 用の材料として広く用いられる。よって本稿では、これ以降の記述は、特に断りがない限り、N 型半導体、その中でもシリコン (Si) 単結晶を用いたものについて述べることにする。

2-3) 電力用 SBD のデバイス構造

電力用 SBD の一般的な構造を図 2-3 に示す⁴⁾。電力用 SBD は、基本的に図の縦方向に電流を流す「縦型構造」であり、上から次の順で構成される。

- ・ ショットキ電極 (アノード電極)
- ・ 誘電体膜 (半導体表面保護用。一般的には SiO_2)
- ・ N 型ドリフト層 (N 型の低不純物濃度層。耐圧確保)
- ・ P 型ガードリング領域 (N 型ドリフト層の表面から熱拡散法で形成)
- ・ N 型基板層 (N 型の高不純物濃度層。デバイスの機械的強度の確保のため)
- ・ オーミック電極 (カソード電極)

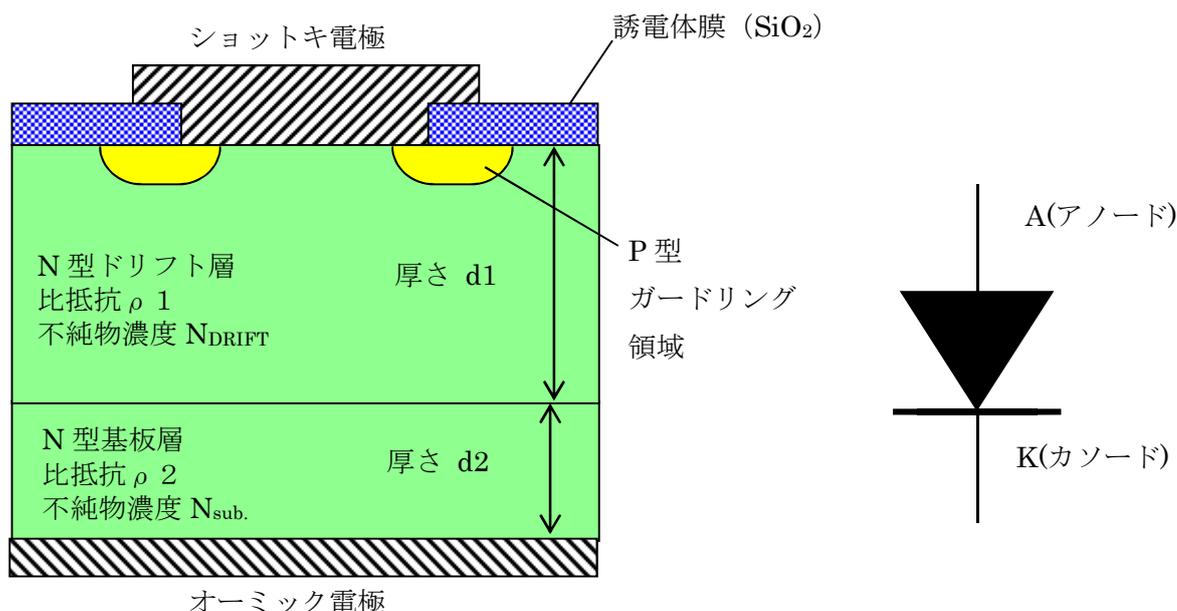


図 2-3 一般的な電力用 SBD の断面構造図

カソード電極の電位に対し、アノード電極の電位が+の場合が順方向バイアス、アノード電極の電位が-の場合が逆方向バイアスである。

導通時に電流が流れる領域である活性領域=ショットキ接合部の特性については後述するが、電力用 SBD において特に構造上重要となるのが素子の周辺領域の構造である。

一般的に、(電力用) 半導体素子 1 個 1 個は、素子を分割する切り取り線であるダイシングラインに沿ってウェーハを細かく分割することで得られる。各素子の活性領域は、当然ながらダイシングラインの内側に配置されることになる。ダイシングラインから活性領域の端部までに何も構造上の工夫をしなければ、活性領域の端部は構造の連続性が途切れているため、そこが電界強度の強い部分(空乏層幅が活性領域より狭い領域)になる。すなわち、素子耐圧は活性領域の端部で決定してしまうことになる。素子活性領域の端部の耐圧を向上させるために N 型ドリフト層の不純物濃度を低濃度化することで同一逆バイアス時の空乏層幅を広げる(電界強度を弱める)という方策をとった場合、不純物濃度は活性領域の電気抵抗値におおよそ反比例するため、活性領域の電気抵抗値が増大する。すなわち V_F の増大を招くこととなる。よって素子周辺領域で著しく耐圧が低下することは避けなければならない。図 2-4 に SBD の素子周辺領域に何も工夫をしない場合の素子断面構造と、逆バイアス時(小・中・大)の空乏層の延伸の様子の模式図を示す。周辺領域においては、ショットキ電極終端部(=活性領域の端部)において活性領域よりも強い電界強度になることと半導体表面準位の影響を受けることで、空乏層は活性領域に比べて延伸しづらくなる。その結果、周辺領域の耐圧は活性領域よりも著しく低下することになる。

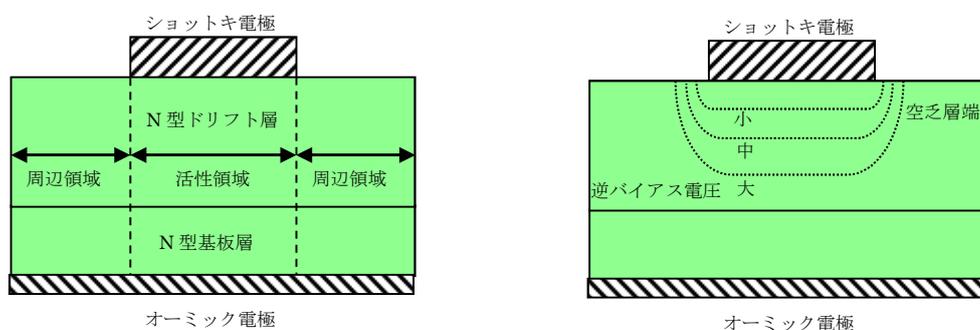


図 2-4 周辺構造を有しない SBD の断面構造と逆バイアス時の空乏層の分布の模式図

周辺領域の耐圧設計の基本は、逆バイアス印加時に活性領域のショットキ接合部の電界強度以下に周辺領域の電界強度を設計することである。すなわち活性領域の縦方向に延伸する空乏層よりも周辺領域の水平方向に延伸する空乏層が広がるようにすることである。通常の構造においては、図 2-5 に示すようなフィールドプレート (FP) ⁵⁾ や、図 2-6 に示すフィールドリミッティングリング (FLR) 構造 ⁶⁾ を採用する。FLR 構造はガードリング構造とも呼ばれる。

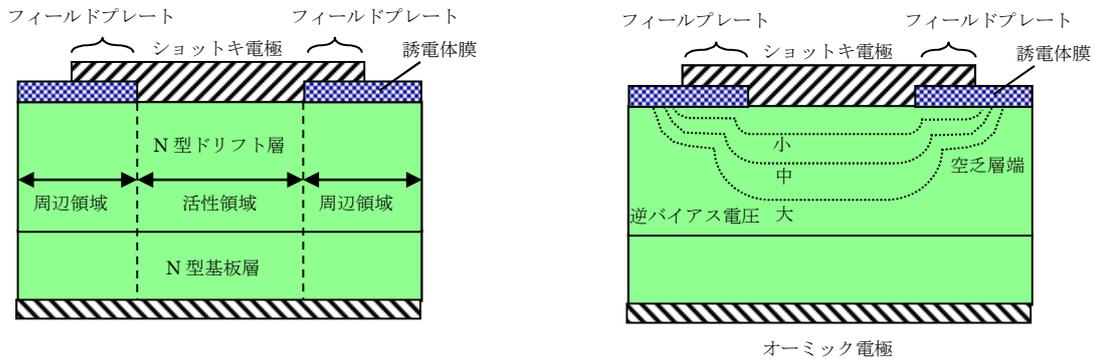


図 2-5 フィールドプレート構造を有する SBD の断面構造と逆バイアス時の空乏層の分布の模式図

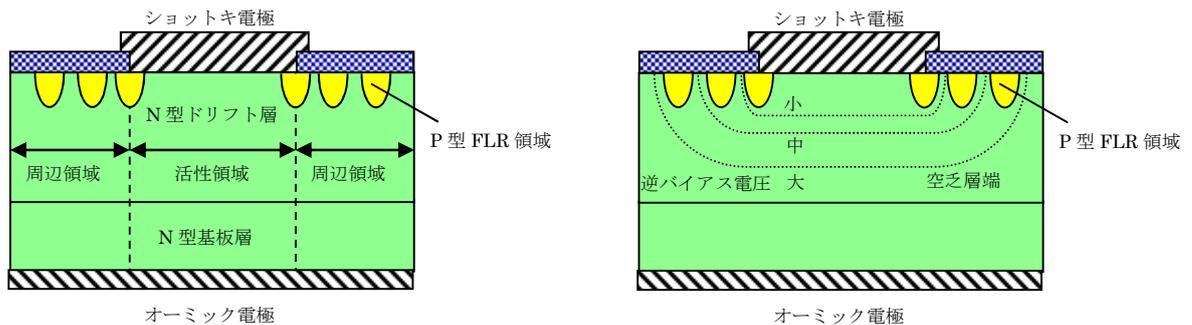


図 2-6 フィールドリミッティングリング構造を有する SBD の断面構造と逆バイアス時の空乏層の分布の模式図

フィールドプレート構造は、周辺領域に配置した誘電体膜(Si の場合、主に SiO_2 や Si_3N_4) 上にアノード電極をオーバーラップさせることで、逆バイアス時の周辺領域への空乏層の延伸を行うものである。空乏層の延伸の仕方は、誘電体膜の材質や厚さや形状、および、誘電体膜と Si の界面準位密度などにより影響を受ける。

フィールドリミッティングリング (FLR) 構造は、周辺領域に複数の P 型領域を配置し、かつ、これらの複数の P 型領域には電極電位を与えない (フローティング) ことが特徴である。デバイスのアノード・カソード電極間に逆バイアス電圧 V_1 を印加した場合、水平方向に延伸した空乏層が、活性部に最近接の P 型領域に到達するとする。その場合、最近接 P 型領域はカソード電位 V_1 と同一となる。更に逆バイアス電圧 $V_2 (V_2 > V_1)$ が印可されると、最近接 P 型領域と N 型領域で形成される PN 接合には $V_2 - V_1$ の電圧が印可されるため、更に外側に向かって空乏層が延伸する。こうして逆バイアス電圧が増加していくにつれて

順々に水平方向の空乏層幅は広がっていくことになる。すなわち、周辺構造がない場合より空乏層幅は水平方向に広がりやすくなり、チップ周辺部の電界強度も局所的に高くなることを防止できる。このため、高い耐圧を実現できることになる。FLR 構造における空乏層の延伸の仕方は、P 型領域の間隔や本数、誘電体膜の材質や厚さや形状、および、誘電体膜と Si の界面準位密度などにより影響を受ける。

2-4) 電力用 SBD に要求される特性

電力用 SBD においては、小信号用 SBD に対し、以下の特徴が要求される。

- ① 順方向バイアス時の電圧降下 V_F の低減
- ② 逆方向バイアス時の逆方向漏れ電流密度 J_R の低減
- ③ 順方向から逆方向に SBD のバイアスが切り替わる際の遅れ時間 t_{rr} の短縮
- ④ 逆方向耐圧 V_{BR} の確保
- ⑤ 高温動作

上記の要求が発生する理由は、電力用 SBD は、小信号用 SBD に比べて大電力が印加されるため、SBD の内部電力損失が無視出来ないためである。また、この内部電力損失は熱エネルギーに変換されるために SBD の温度が上昇する。この理由により、SBD の高温特性の考慮も極めて重要となる。

以下に、**図 2-3** に示された構造を基に、SBD の内部電力損失について詳説する。今後の説明においては、簡略化の為、素子の活性領域面積 $S_a=1[\text{cm}^2]$ とする。また、特に断りのない限り、示されている V_F や J_R の数値は、 $\Phi_{bn}(V_R=0V)=0.68[\text{eV}]$ 時の値である。なお、製造方法などの影響があるために一概には言えないものの、 $\Phi_{bn}(V_R=0V)=0.68[\text{eV}]$ という値は、ショットキ電極金属としてモリブデン (Mo) を用いた際に得られる値である。

先ず、順方向バイアス時の電圧降下 V_F について述べる。 V_F は式 2-1 で表される ⁷⁾⁸⁾。

$$V_F = \Phi_{bn} + \frac{kT}{q} \ln\left(\frac{J_F}{AT^2}\right) + R_{SBD}J_F \quad \text{式 2-1}$$

$$R_{SBD}=(\rho_1d_1+\rho_2d_2) \quad \text{式 2-2}$$

但し、 Φ_{bn} は金属と N 型半導体のショットキ障壁高さ[eV]、 k はボルツマン定数[J/K]、 T は絶対温度[K]、 q は電荷素量[C]、 J_F は素子有効面積 $S_a=1[\text{cm}^2]$ 時の順方向電流（以下、順方向電流密度） $[\text{A}/\text{cm}^2]$ 、 A はリチャードソン定数 $[\text{A}/\text{cm}^2\text{K}^2]$ 、 ρ_1 は N 型ドリフト層の比抵抗 $[\Omega\cdot\text{cm}]$ 、 d_1 は N 型ドリフト層の厚さ[cm]、 ρ_2 は N 型基板層の比抵抗 $[\Omega\cdot\text{cm}]$ 、 d_2 は N 型基板層の厚さ[cm]である。実際の電力用 SBD においては、 $\rho_1d_1 \gg \rho_2d_2$ であるため、これ以

降の R_{SBD} は、 $R_{SBD}=\rho_1 d_1$ として取り扱うものとする。

小信号用 SBD との違いは R_{SBD} の項が考慮されていることである。この式より、SBD の V_F を低減するには、 Φ_{bn} と R_{SBD} を低減すればよいことが判る。

次に、逆方向バイアス時の逆方向漏れ電流密度 J_R (単位[A/cm²]) について述べる。 J_R は式 2-3 で表される⁹⁾。

$$J_R = AT^2 \exp\left[-\frac{q \Phi_{bn}(V_R)}{kT}\right] \quad \text{式 2-3}$$

ここで、 $\Phi_{bn}(V_R)$ は逆バイアス電圧 V_R 印加時におけるショットキ障壁高さであり、 $\Phi_{bn}(V_R) = \Phi_{bn}(V_R=0V) - \Delta\Phi_{bn}(V_R)$ であらわされる。 $\Delta\Phi_{bn}(V_R)$ は SBD に逆バイアス電圧が印加された場合に、鏡像力効果によりショットキ障壁高さが低減する量である。 $\Delta\Phi_{bn}(V_R)$ は式 2-4 で表される。

$$\Delta\Phi_{bn}(V_R) = \sqrt{\frac{qE}{4\pi\epsilon_{si}}} \quad \text{式 2-4}$$

ここで、 E は逆バイアス電圧 V_R 印加時の金属・N 型半導体界面の電界強度、 ϵ_{si} は、Si の誘電率 (=11.5×真空の誘電率 ϵ_0) で与えられる。

さらに、 E は、式 2-5 で与えられる。

$$E = \sqrt{\frac{qN_{DRIFT}V_R}{\epsilon_{si}}} \quad \text{式 2-5}$$

ただし、 N_{DRIFT} は N 型ドリフト層の不純物濃度である。

$N_{DRIFT} = 10^{16}$ [cm⁻³] における (耐圧 40V 級に相当) V_R - $\Delta\Phi_{bn}$ の関係を図 2-7 に、 V_R - J_R 曲線の計算結果を図 2-8 に示す。

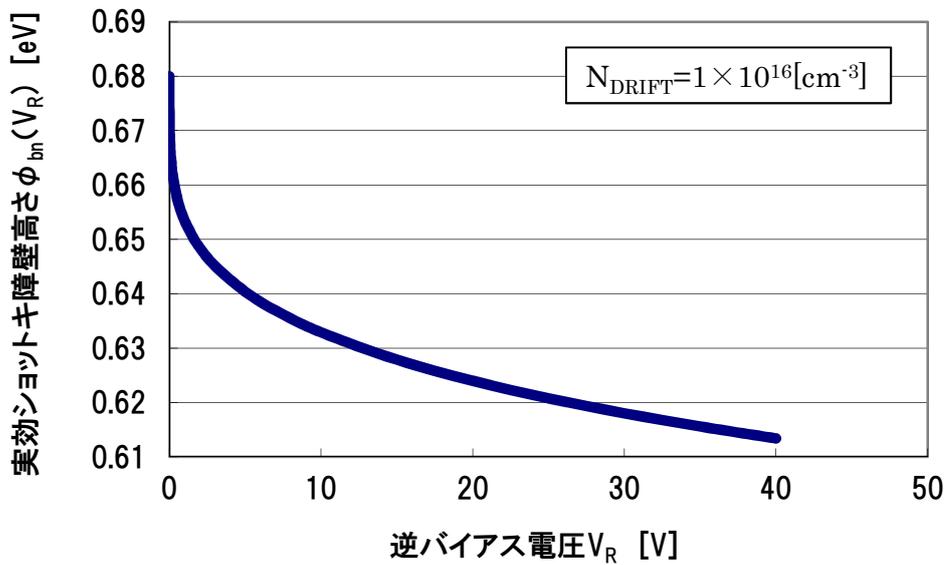


図 2-7 従来構造 SBD の逆バイアス電圧と実効ショットキ障壁高さの相関

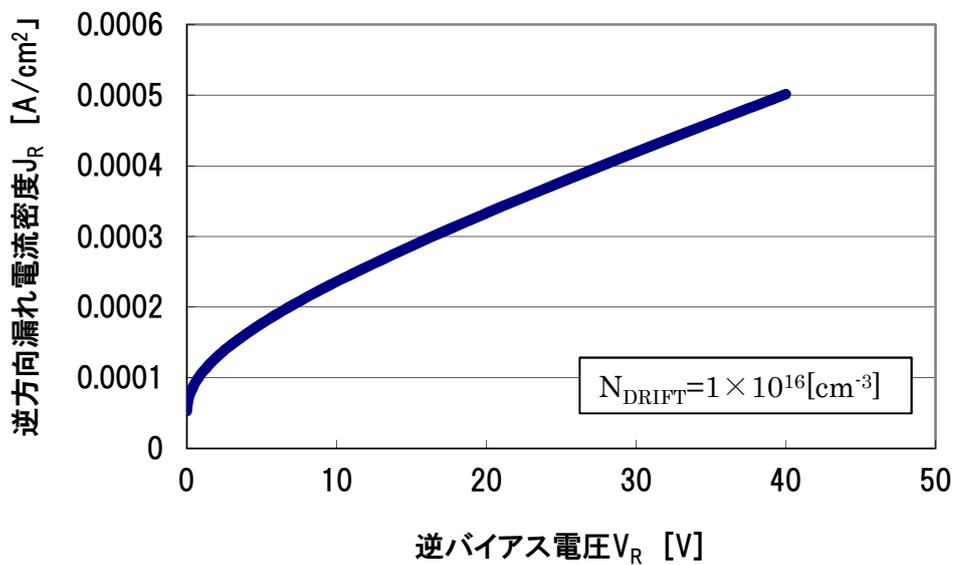


図 2-8 従来構造 SBD の逆バイアス電圧と逆方向漏れ電流密度の相関

図より、逆バイアス電圧 V_R が増加するにつれて、 $\Phi_{bn}(V_R)$ が低下し、 J_R が増加することがわかる。逆バイアス電圧 $V_R=0[V]$ 時の $\Phi_{bn}=0.68[eV]$ であったものが、 $V_R=40[V]$ 時には約 $0.61[eV]$ も Φ_{bn} が低下し、逆方向漏れ電流としては 5 倍も増加することになる。

式より、 J_R を低減するには、 Φ_{bn} を高くするか、 $\Delta\Phi_{bn}$ を低減する必要がある。また、逆

バイアス電圧 V_R 印加時の金属・N型ドリフト層界面の電界強度 E を低減することも有効である。

次に、順方向から逆方向に SBD のバイアスが切り替わる際の遅れ時間 t_{rr} について述べる¹⁰⁾。よく知られているように、金属・半導体接合を利用する SBD は、電子のみが電気伝導に寄与するユニポーラ素子である。それゆえに、PN 接合ダイオードのような少数キャリアの蓄積はないものの、順方向から逆方向に SBD のバイアスが切り替わる際に形成される空乏層相当のキャリアの吐き出しが必要となるため、 t_{rr} は 0 とはならない。

図 2-9 に電力用 SBD が順バイアスから逆バイアスに切り替わった際の電流と電圧の時間変化を示す。

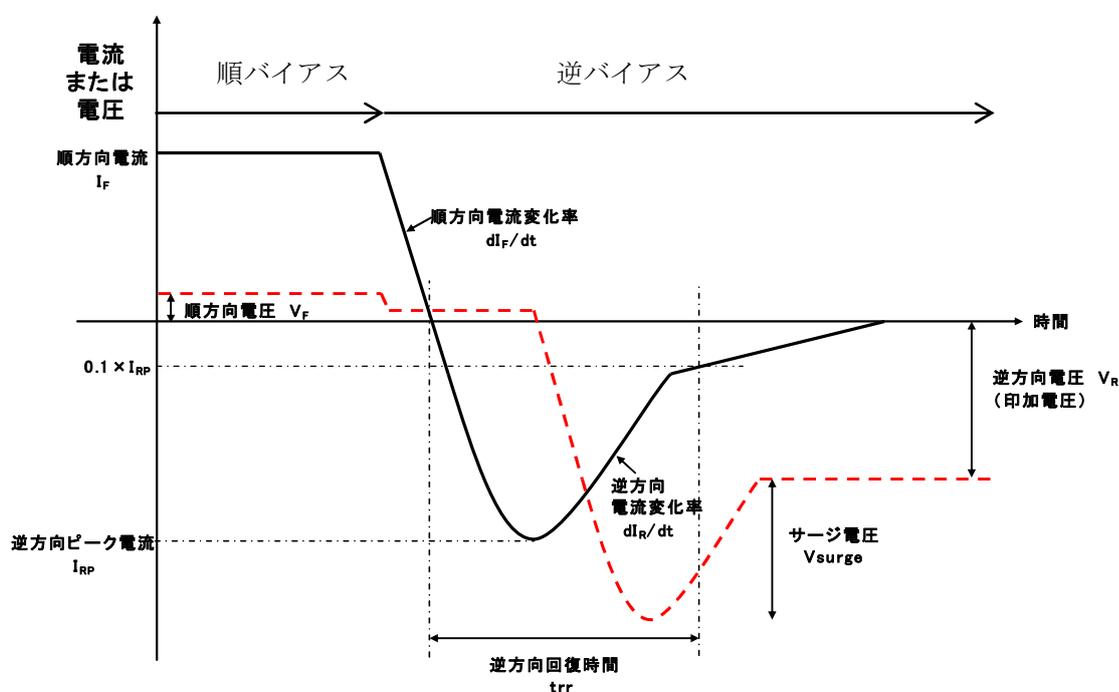


図 2-9 ダイオードの逆方向回復特性の模式図

順方向電流 I_F が流れる順方向バイアス状態から、順方向電流変化率 dI_F/dt で逆方向バイアス状態に切り替わっていく時、ダイオード内部の蓄積キャリアと印加された逆バイアス電圧に応じた空乏層を形成するために必要なキャリアの和である電荷 Q_{rr} がダイオード内部から排出される必要がある。この電荷 Q_{rr} の時間変化量が逆方向回復電流である。実際の回路においては寄生のインダクタンス L_s が存在するため、 $L_s \times dI_R/dt$ で与えられる V_{surge} が印加逆バイアス V_R に重畳されることになる。この V_{surge} は、回路から放出される電磁ノイズの原因になるため、ダイオードの逆方向回復特性は重要である。この観点からも、蓄

積電荷量が少ない（あるいは0）SBDは望ましい特性を有すると言える。

次に、逆方向耐圧の確保について述べる。逆方向バイアス V_R を増加させていくと、SBD 内部（Si 結晶）の電界強度も増加し、ある値（臨界電界 E_c ）を超えるとアバランシェ降伏現象により急激に電流が流れ出す。この急激に電流が流れ出す逆バイアスの値が逆方向耐圧である。逆方向耐圧 V_{BR} は、片側階段接合の場合、N型ドリフト領域の不純物濃度 N_{DRIFT} と厚さ D_{DRIFT} （**図 2-3** では厚さ d_1 ）で決定される。空乏層内の衝突電離係数（イオン化率）の不純物濃度依存性を考慮して、Si の場合の臨界電界 E_c は式 2-7 で表される¹¹⁾。

$$E_c = 4 \times 10^5 / (1 + 0.333 \times \text{Log} (1 \times 10^{16} / N_{DRIFT})) \quad \text{式 2-7}$$

また、

$$E_c = \frac{q N_{DRIFT} D_{DRIFT}}{\epsilon_{si}} \quad \text{式 2-8}$$

$$D_{DRIFT} = \sqrt{\frac{2 \epsilon_{si} V_{BR}}{q N_{DRIFT}}} \quad \text{式 2-9}$$

より、

$$E_c^2 = 2q N_{DRIFT} V_{BR} / \epsilon_{si} \quad \text{式 2-10}$$

$$V_{BR} = \epsilon_{si} \times E_c^2 / 2q N_{DRIFT} \quad \text{式 2-11}$$

と書き換えられる。すなわち N_{DRIFT} を決めれば E_c が定まり、 V_{BR} も一義的に定まり、必要な D_{DRIFT} も決定される。

図 2-10 に E_c と N_{DRIFT} の相関図を、**図 2-11** に V_{BR} と N_{DRIFT} の相関図を示す。

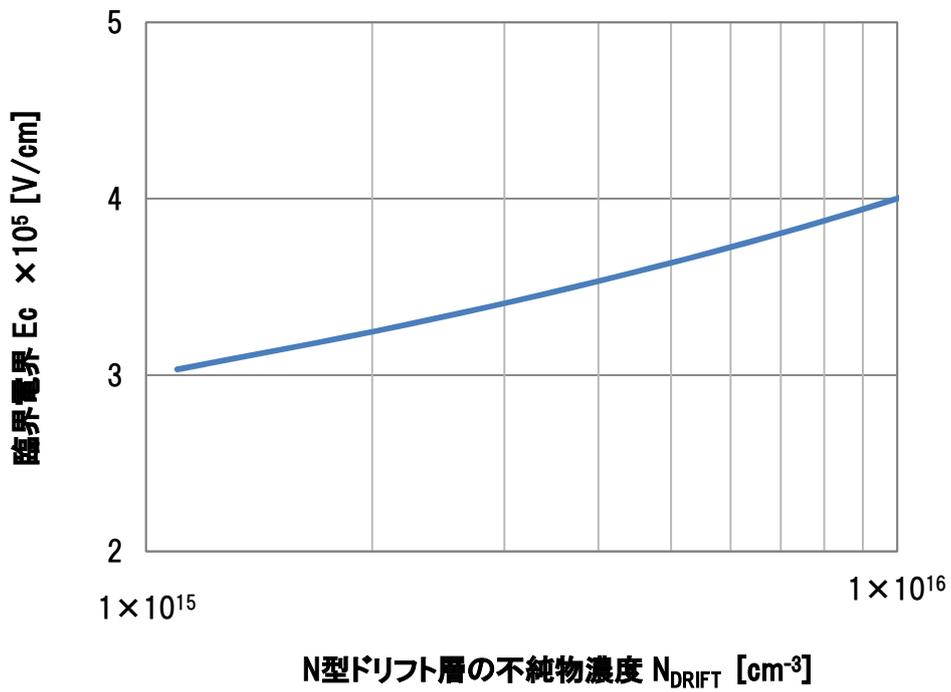


図 2-10 N 型ドリフト層の不純物濃度と臨界電界の関係（計算値）

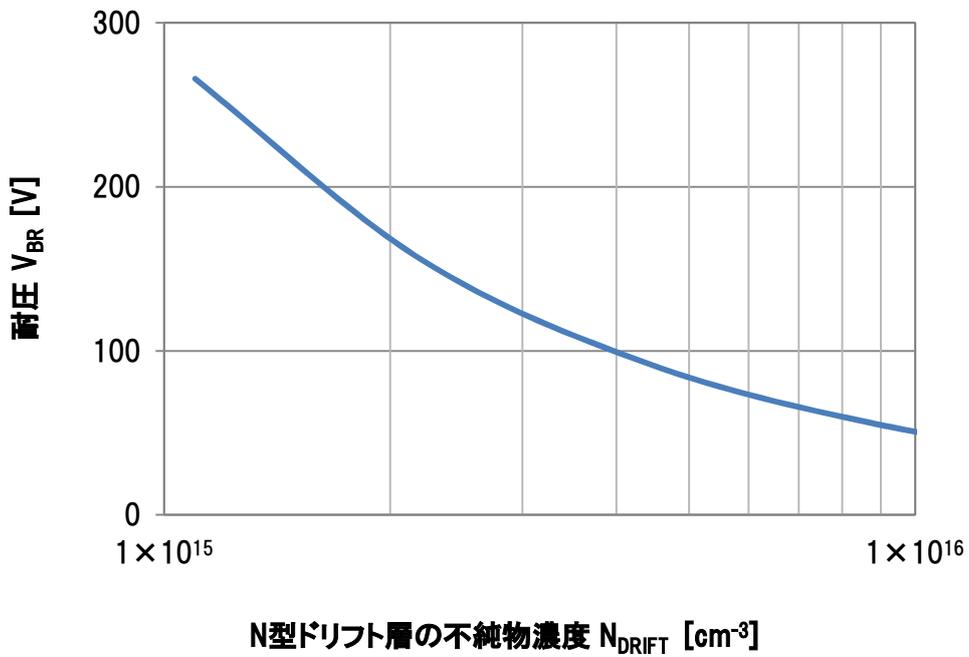


図 2-11 N 型ドリフト層の不純物濃度と耐圧の関係（計算値）

図 2-11 より、 V_{BR} を増加させるには N_{DRIFT} を低下させ、それに伴い D_{DRIFT} を増加させればよいことが分かる。

次に素子の内部抵抗 R_{SBD} について説明する。なお、式 2-1 で示したように、 V_F 低減のためには R_{SBD} の抑制が必要である。 R_{SBD} は、

$$R_{SBD} = \rho D_{DRIFT} \quad \text{式 2-12}$$

$$\rho = 1 / (q N_{DRIFT} \mu_n) \quad \text{式 2-13}$$

で表される。 ρ と N_{DRIFT} の数値換算は、300[K]における N 型シリコンの数値として、参考文献 12 に示されている数値を直読して使用した。

上記の耐圧と N_{DRIFT} の相関から、高耐圧化すると R_{SBD} が増加し、 R_{SBD} が増加すると V_F が増加することが推定される。 N_{DRIFT} を低下させることは単位面積・単位長さあたりの半導体の抵抗値（比抵抗 ρ ）を増加させることに繋がる。

図 2-12 に R_{SBD} と耐圧の相関図を、図 2-13 に耐圧と V_F の相関図を示す。

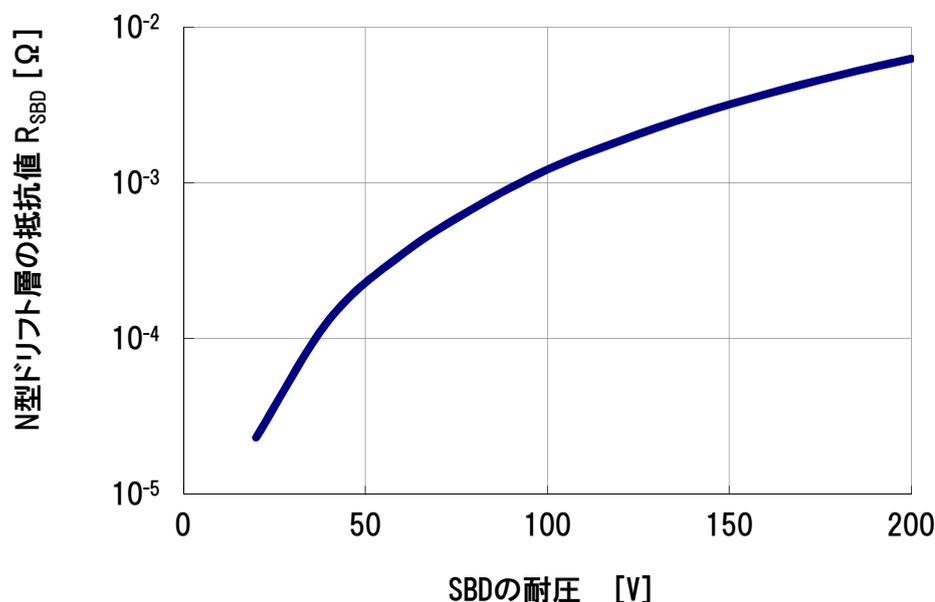


図 2-12 SBD の耐圧と R_{SBD} の関係（計算値）

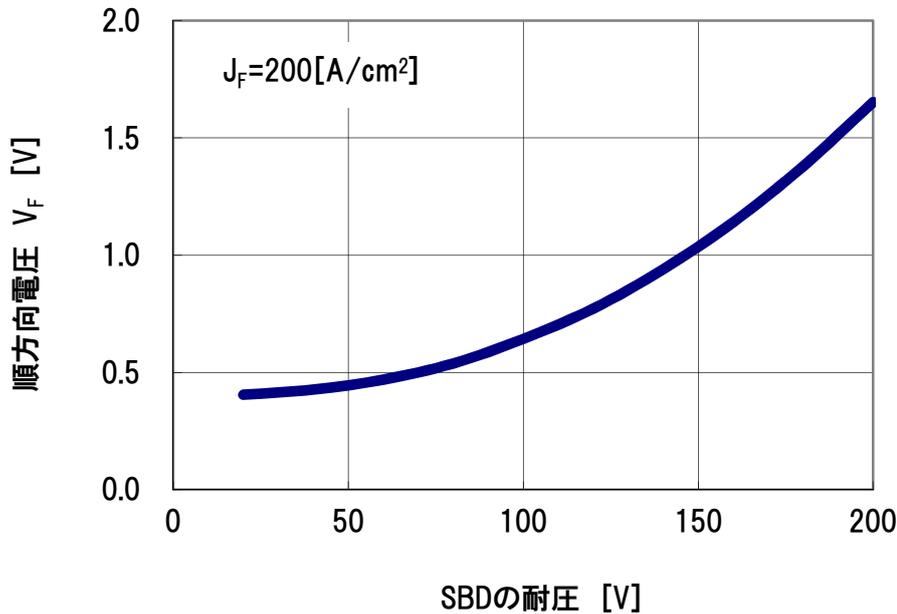


図 2-13 SBD の耐圧と V_F の関係 (計算値)

ここまでの電力用 SBD の各特性の改善策をまとめると以下になる。なお、高温領域における電気的特性については次節で述べる。

- ① 順方向バイアス時の電圧降下 V_F の低減の方策は、 Φ_{bn} の低減および R_{SBD} の低減
- ② 逆方向バイアス時の逆方向漏れ電流密度 J_R の低減の方策は、 Φ_{bn} の増加および $\Delta\Phi_{bn}$ の低減
- ③ SBD のバイアスが切り替わる際の遅れ時間 t_{rr} の短縮の方策は、 Q_{rr} の低減
- ④ 逆方向耐圧の確保の方策は、 N_{DRIFT} の低減および D_{DRIFT} の増加(R_{SBD} の増加)

このことより、 Φ_{bn} は V_F と J_R の両方の特性に関係しトレードオフの関係にあることより、単純に Φ_{bn} を増減しても特性改善には繋がらないことが分かる。

逆方向耐圧の確保の観点から、 N_{DRIFT} と D_{DRIFT} は一義的に決定されるため、 N_{DRIFT} と D_{DRIFT} をパラメータにもつ $\Delta\Phi_{bn}$ と R_{SBD} も何の工夫もしなければ一義的に決定され、電力用 SBD の特性の改善は不可能となる。

2-5) 電力用 SBD の高温特性

次に、電力用 SBD の高温特性に考慮が必要な理由を、SBD の一般的なアプリケーションの一つである降圧チョッパ回路に適用した場合を例として、SBD の内部損失を計算することで説明する ^{13),14)}。

図 2-14 に降圧チョッパの主回路の模式図を示す。

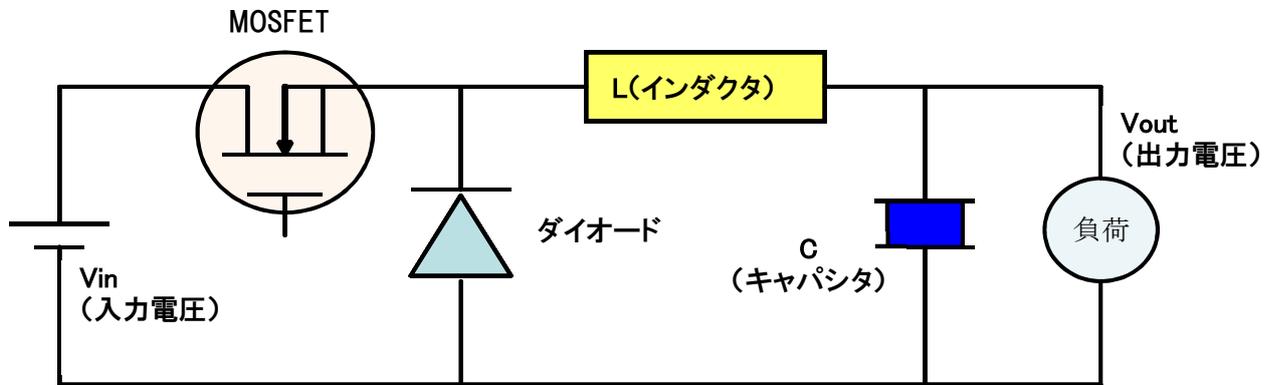


図 2-14 降圧チョップの主回路

図 2-14 の転流用ダイオードとして電力用 SBD が使用される。スイッチ (MOSFET) がオン (導通状態) の場合、電力は $V_{in} \Rightarrow \text{MOSFET} \Rightarrow L$ (インダクタ) $\Rightarrow C$ (キャパシタ) および V_{out} の経路で供給され、MOSFET がオフ (遮断状態) の場合は、 L に蓄積された電気エネルギー ($=0.5 \times L \times I_p^2$) により、 $L \Rightarrow C$ および $V_{out} \Rightarrow$ ダイオードの経路で電力が供給される。MOSFET のオン時間とオフ時間の比をデューティ比 (時比率) D と呼び、 $V_{out} = D \times V_{in}$ (ただし、 $0 \leq D \leq 1$) である。

よってデバイス活性面積 $S_a = 1 \text{ cm}^2$ の電力用 SBD の内部損失 P_{SBD} は、 Q_{rr} の項を無視すると、 D を用いて、以下の様に書ける 15)。

$$P_{\text{SBD}} = V_{\text{F(temp)}} J_{\text{F}} (1 - D) + V_{\text{R}} J_{\text{R(temp)}} D \quad \text{式 2-14}$$

ただし、 $V_{\text{F(temp)}}$ は、実回路上での動作時のデバイスの温度における V_{F} 値であり、 $J_{\text{R(temp)}}$ は同じく逆方向漏れ電流密度である。

40V 耐圧級の電力用 SBD の $J_{\text{F}} = 200 [\text{A/cm}^2]$ における順方向電圧 V_{F} の温度依存性を図 2-15 に示す。

ただし、 R_{SBD} の温度特性は不純物濃度 $N_{\text{DRIFT}} = 10^{16} [\text{cm}^{-3}]$ 時の電子の移動度 μ_n の逆数に比例するものとして近似した 16)。ここでは、 $25 [^\circ\text{C}]$ における $\mu_n (T = 25 [^\circ\text{C}])$ を基準値とし、 $\mu_n (T) = 1000 - 3.6 \times (T - 25)$ と近似し、 $R_{\text{SBD}} (T) = R_{\text{SBD}} (25^\circ\text{C}) \times \mu_n (25^\circ\text{C}) \div \mu_n (T)$ として算出した。ただし、 T は摂氏温度である。

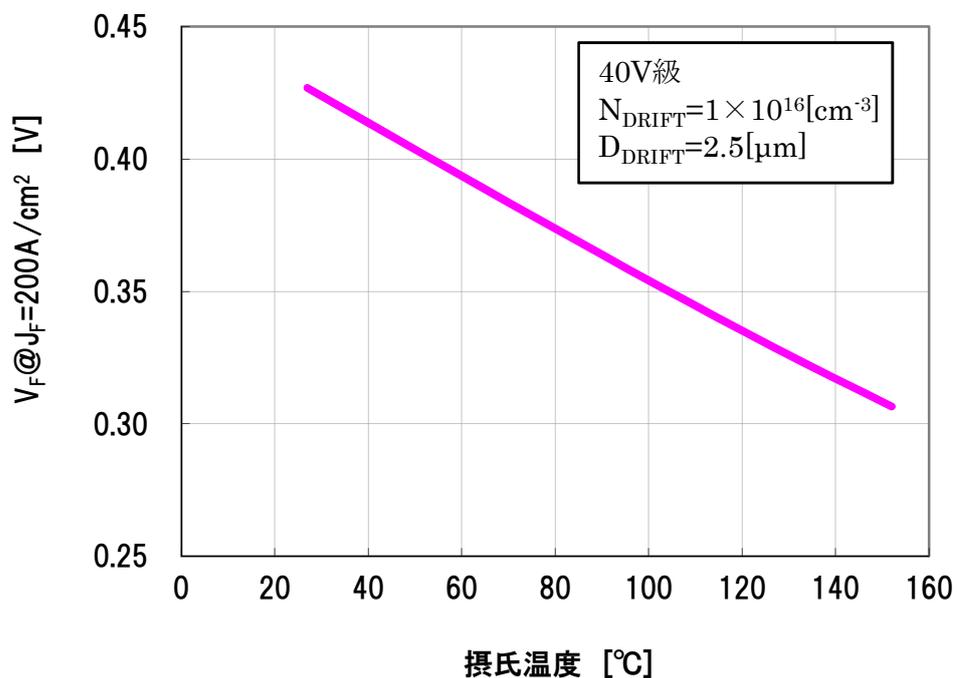


図 2-15 40V 耐圧級 SBD の V_F の温度特性 (計算値)

同様に、80V 耐圧級の電力用 SBD の順方向電圧 V_F の温度依存性 @ $J_F=200$ [A/cm²] を図 2-16 に示す。

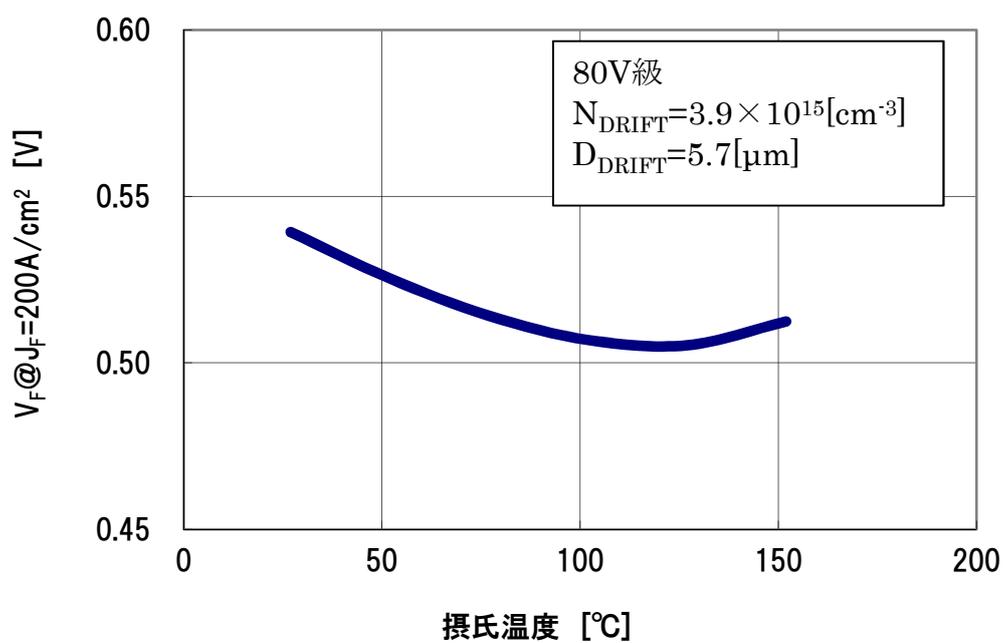


図 2-16 80V 耐圧級 SBD の V_F の温度特性 (計算値)

前述の式 2-1 に示すように、電力用 SBD の V_F は温度上昇と共に、右辺第 2 項が減少（2 項は負の値をとるため、負の値が大きくなる）し、右辺第 3 項が上昇するため、耐圧級によって V_F の温度特性は異なることになる。図 2-15 で示したように、 V_F に占める $R_{SBD} \times J_F$ の比率が小さい 40V 耐圧級の電力用 SBD の場合、25[°C]～150[°C] の範囲では、 V_F の温度特性は負であるが、 $R_{SBD} \times J_F$ の比率が大きい 80V 耐圧級の電力用 SBD の場合、同じ温度範囲でも V_F の温度特性は負から正に変わることが図 2-16 より判る。このことから電力用 SBD の特性が小信号用 SBD とは異なると言える。

次に逆方向漏れ電流の温度特性について説明する。

逆方向漏れ電流密度 J_R は前述の式 2-3 で示したように、指数項の中に T （絶対温度）項があるため、 J_R の温度依存性は指数関数的であることが予想される。

図 2-17 に 40V 耐圧級の電力用 SBD の V_R - J_R 特性の温度依存性を示す。また、図 2-18 に 80V 耐圧級の電力用 SBD の V_R - J_R 特性の温度依存性を示す。

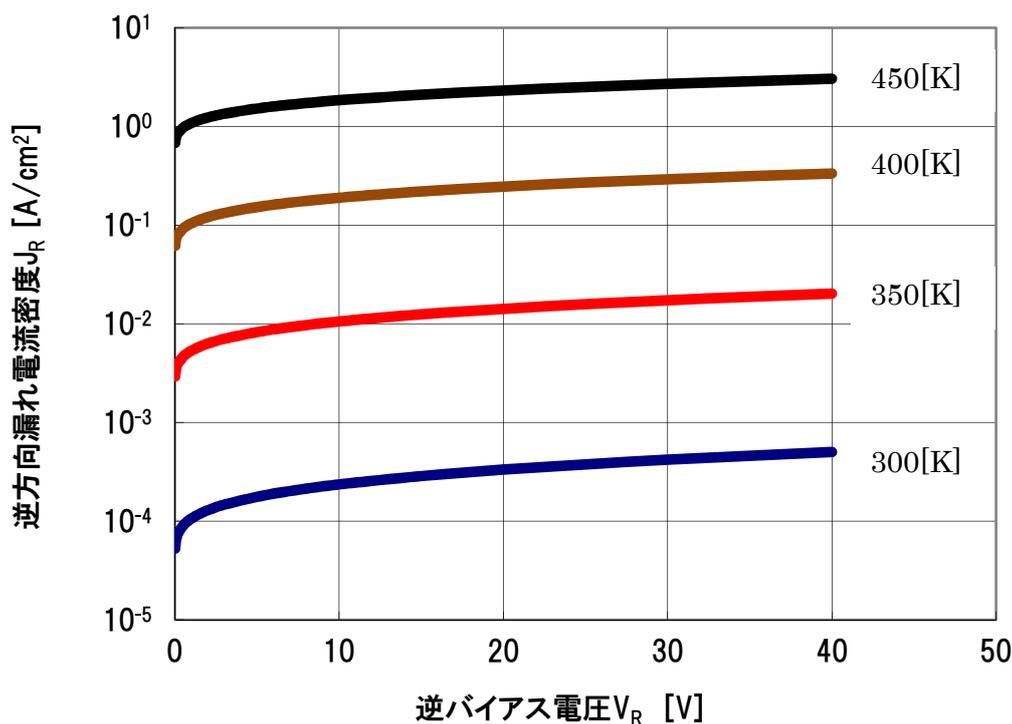


図 2-17 40V 耐圧級 SBD の逆方向漏れ電流の温度特性（計算値）

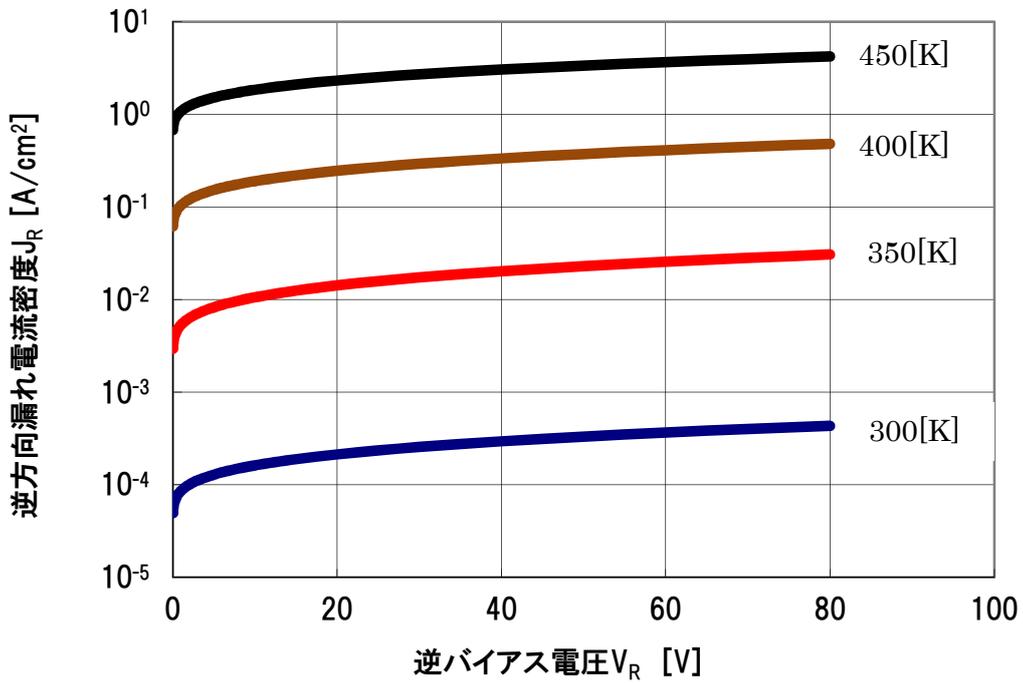


図 2-18 80V 耐圧級 SBD の逆方向漏れ電流の温度特性 (計算値)

上記の計算結果を基に、図 2-14 に示した降圧チョッパ回路で動作させた時の 40V 耐圧級の電力用 SBD の内部損失を、式 2-14 に基づき、 $J_F=200$ [A/cm²]、 $V_R=30$ [V]、時比率 $D=0.5$ の条件で算出した結果を図 2-19 に示す。

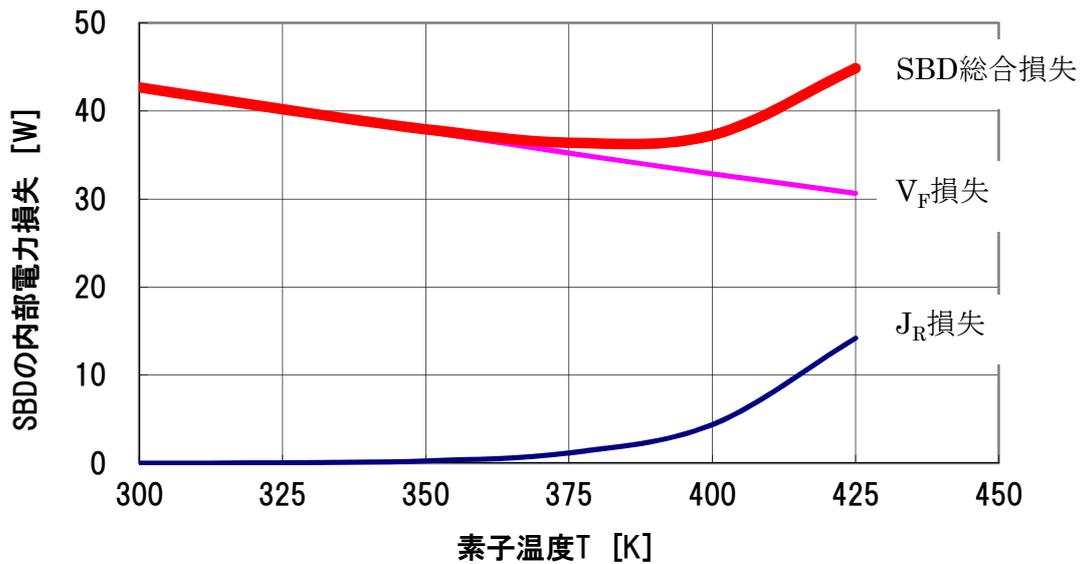


図 2-19 40V 耐圧級 SBD の内部電力損失 (計算値)

図 2-15 より判るように、40V 耐圧級では温度と共に V_F が下がるため V_F 損失は一様に下がるが、逆方向漏れ電流損失は漏れ電流が温度と共に指数的に増加するため、高温においては SBD による全電力損失に対して支配的な電力損失になる。SBD の温度特性に対する考慮が必要となる最大の理由はここにある。

内部損失が増えることで更に逆方向漏れ電流が増加し、それによって更に内部損失が増えるという熱暴走状態になると、最早システムとしては制御出来なくなり、最悪の場合はシステムの破壊に繋がる可能性が高い。本計算例の場合、400[K]が使用温度限界と考えられる。

同様に、80V 耐圧級の電力用 SBD の内部損失を、式 2-14 に基づき、 $J_F=200[A/cm^2]$ 、 $V_R=60[V]$ 、時比率 $D=0.5$ の場合で算出した結果を図 2-20 に示す。

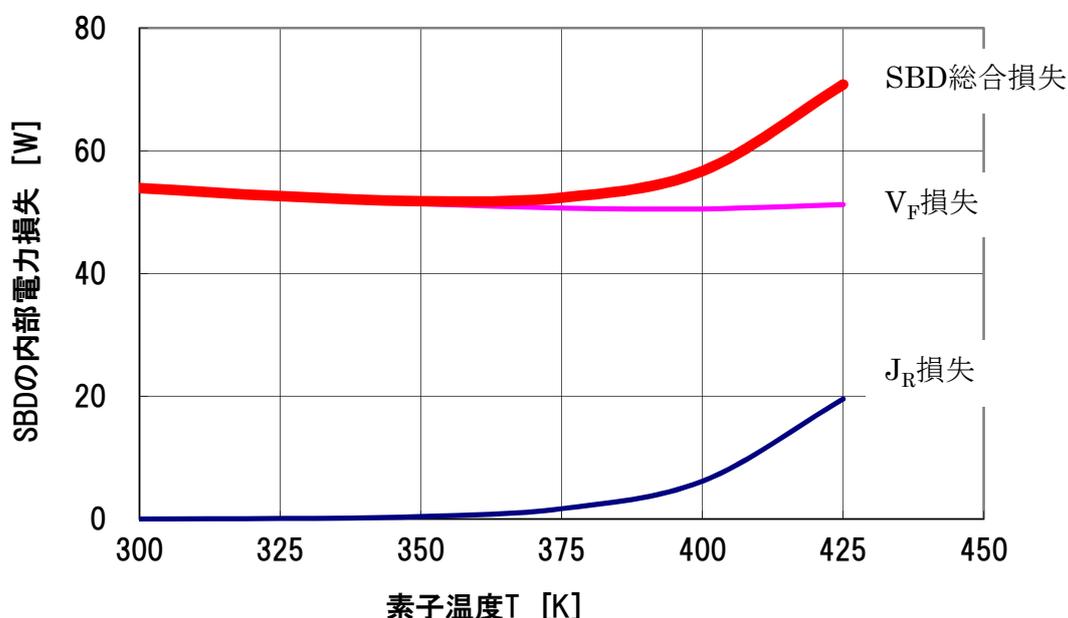


図 2-20 80V 耐圧級 SBD の内部電力損失 (計算値)

80V 耐圧級では、図 2-16 に示すように、ある温度以上では V_F も増加するため V_F 損失は微減から微増し、逆方向漏れ電流損失は逆バイアス電圧 V_R が 40V 耐圧級より高くなる ($V_R=60[V]$ を想定) こともあり、375[K] (102[°C]) が使用温度限界と考えられる。この計算結果からもわかるように、温度特性の観点からも SBD の高耐圧化はより困難になる。

この章の最後にショットキ障壁高さ Φ_{bn} と SBD の内部損失の温度依存性について説明する。前述の様に、ここまでは $\Phi_{bn}=0.68[eV]$ として説明をしてきた。 Φ_{bn} は V_F の項と J_R の項の間でトレードオフの関係にあるため、 $V_F \cdot J_R$ の性能向上の観点からは影響を与えない。しかし、実際にデバイス进行設計の際には、SBD の内部損失の温度特性、すなわち、何°C

まで使用可能か？あるいは、どれくらいの素子冷却機構（一般的にはヒートシンク）が必要かを考慮することが肝要である。よって Φ_{bn} の設計値を決めるためには、上図と同様に内部損失の温度特性がどうなるか、理解する必要がある。

図 2-21 に 40V 耐圧級の SBD の Φ_{bn} をパラメータとした内部損失と温度の相関を示す。

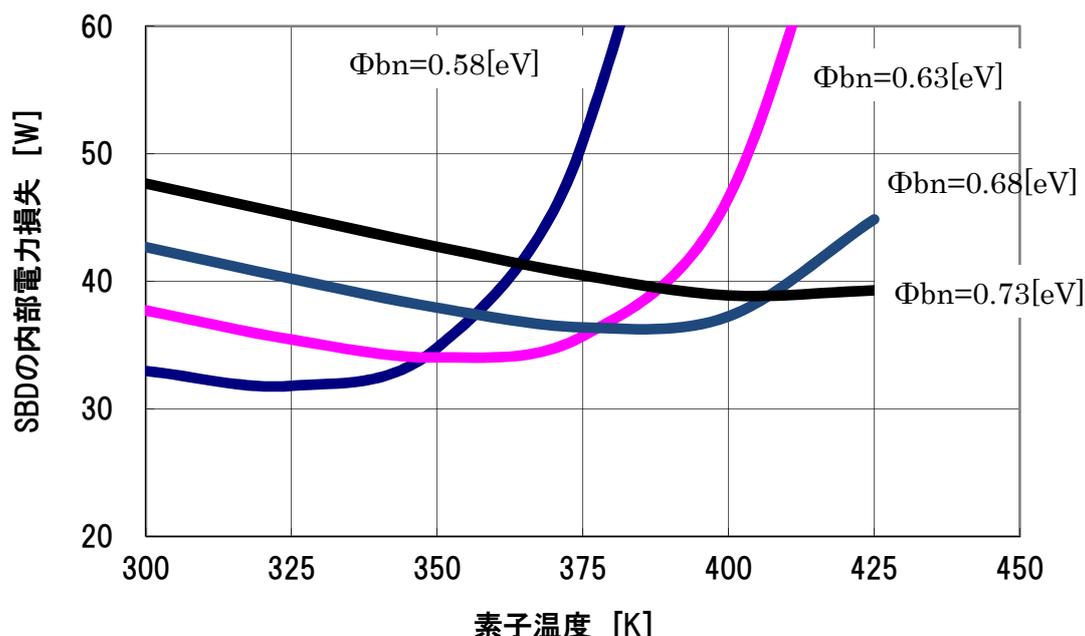


図 2-21 Φ_{bn} 違いによる 40V 耐圧級 SBD の電力損失の温度依存性（計算値）

Φ_{bn} が低い場合、 V_F が低く、 J_R が大きくなる。よって、常温における内部損失は小さくなるが、比較的低い温度でも J_R による損失が増加するため、高温での使用は不可能となる。

一例として、 $\Phi_{bn}=0.58$ [eV] の場合、 $T=350$ [K]（ 77 [°C]）が使用限界となる。逆に $\Phi_{bn}=0.73$ [eV] の場合、常温における内部損失は大きくなってしまいが、比較的高温でも J_R による損失が小さいため、高温（ $T=425$ [K]、 152 [°C]）でも使用可能となる。

以上より、 Φ_{bn} は、電力用 SBD の使用環境温度と許容される冷却機構を考慮して、設定される必要があることが判る。

以上の検討結果より、電力用 SBD においては、順方向電圧降下 V_F と逆方向漏れ電流密度 J_R を低減することの重要性が認識できる。しかし、前述のように SBD の特性パラメータはトレードオフの関係にあるものが多く、何らかの工夫をしない限り、高性能化は困難である。

そこで、著者はまず、 J_R の低減に対し構造上の工夫で対応可能と考えられる $\Delta\Phi_{bn}$ の抑制について検討を加えた。次章においてその詳細を述べる。

2-6) 第2章のまとめ

第2章においては、電力用 SBD と小信号用 SBD との違いを示すことで、その特徴に関して詳説した。

相違点（電力用 SBD 設計に必要なポイント）として、

- ①導通抵抗 R_{SBD} が順方向電圧降下 V_F 特性に与える影響
- ②逆方向漏れ電流密度 J_R の逆方向電圧依存性の（金属・半導体接合面の電界強度の影響）について留意する必要性について述べた。

上記①に付随して、耐圧と R_{SBD} 、 R_{SBD} と V_F の関係についても述べた。

それ以外の重要な検討項目として温度特性の考慮が必要なことを、代表的な電源整流回路を例にとって述べた。電力用 SBD はその電力損失により、素子自体が発熱することで高温となる。電力損失の構成要因は V_F 損失と J_R 損失が主要因であることを示し、 V_F および J_R の温度特性を解説した。その上で、電力損失と素子温度の関係をショットキ障壁高さ Φ_{bn} をパラメータとして示した。

この章の結論として、電力用 SBD の高性能化に必要なことが V_F の低減、 J_R の低減にあることを示した。これにより、次章以降で述べる電力用 SBD の高性能化について、準備を行うことができた。

参考文献

- 1) 電気学会・高性能高機能パワーデバイス・パワーIC 調査専門委員会編, 「パワーデバイス・パワーIC ハンドブック」, コロナ社, p.81 (1996)
- 2) 電気学会・半導体電力変換システム調査専門委員会編, 「パワーエレクトロニクス回路」オーム社, pp266、(2000)
- 3) W.Schottky: "Halbleitertheorie der Sperrschicht", Naturwissenschaften, 26, p843(1938)
- 4) 電気学会・高性能高機能パワーデバイス・パワーIC 調査専門委員会編, 「パワーデバイス・パワーIC ハンドブック」, コロナ社, p.85 (1996)
- 5) P.Polger, A. Mouyard, B. Schiner, : "A High Current Metal Semiconductor rectifier" IEEE Trans Electron Device ED-17 p725 (1970)
- 6) M.P.Lepselter and S.M.Sze : "Silicon Schottky Barrier Diode Near-Ideal I-V characteristics" Bell Syst. Tech J. 47 p195 (1968)
- 7) K.Ichikawa and K.Yamazaki : "Design Consideration for Power Schottky Barrier Diodes" Interec p520 1983
- 8) 電気学会・高性能高機能パワーデバイス・パワーIC 調査専門委員会編, 「パワーデバイス・パワーIC ハンドブック」, コロナ社, p.86 (1996)
- 9) 電気学会・高性能高機能パワーデバイス・パワーIC 調査専門委員会編, 「パワーデバイス・パワーIC ハンドブック」, コロナ社, p.86 (1996)

- 10) 電気学会・高性能高機能パワーデバイス・パワーIC 調査専門委員会編, 「パワーデバイス・パワーIC ハンドブック」, コロナ社, p.84 (1996)
- 11) S.M.Sze (南日・川辺・長谷川訳) “Semiconductor Devices” Bell Tele. Labo. 産業図書 (1985)
- 12) W.F.Beadle, J.C.C.Tsai and R.D.Plummer “Quick Reference Manual for Semiconductor Engineers” Wiley, New York p.2-23 and 2-24 (1985)
- 13) D.J.Page : “Theoretical Performance of the Schottky Barrier Power rectifier” Solid State Electron. 15 pp505 1972
- 14) T.Kawakami, Y.Amemiya, and Y.Mizushima: “Schottky Design for Low Voltage Rectification” Solid State Electron. 28 pp885 1985
- 15) B.J.BALIGA MODERN POWER DEVICES John Wiley & Sons 1987年 p.419
- 16) S.M.Sze (南日・川辺・長谷川訳) “Semiconductor Devices” Bell Tele. Labo. 産業図書 (1985)

第 3 章

トレンチ構造を有する 低耐圧ジャンクションバリア ショットキダイオード (LL-SBD)

3-1) デバイス構造と動作原理

電力用 SBD の特性改善を図るために、逆バイアス電圧 V_R 印加時のショットキ障壁高さの低下量 $\Delta\Phi_{bn}$ を低減することで J_R の増加量を低減することに着目する。すなわち、 V_R 印加時の金属・N 型半導体界面の電界強度をデバイス構造上の工夫で抑制する方策を検討する。

金属・N 型半導体界面の電界強度を抑制するためのデバイス構造上の工夫として、拡散構造で形成した P 型領域(P 型拡散領域)と N 型ドリフト層で構成された PN 接合と、アノード電極金属と N 型ドリフト層で構成されたショットキ接合をデバイス表面に並列に配置した JBS 構造が提案された¹⁾。図 3-1 に JBS 構造の断面図を示す。

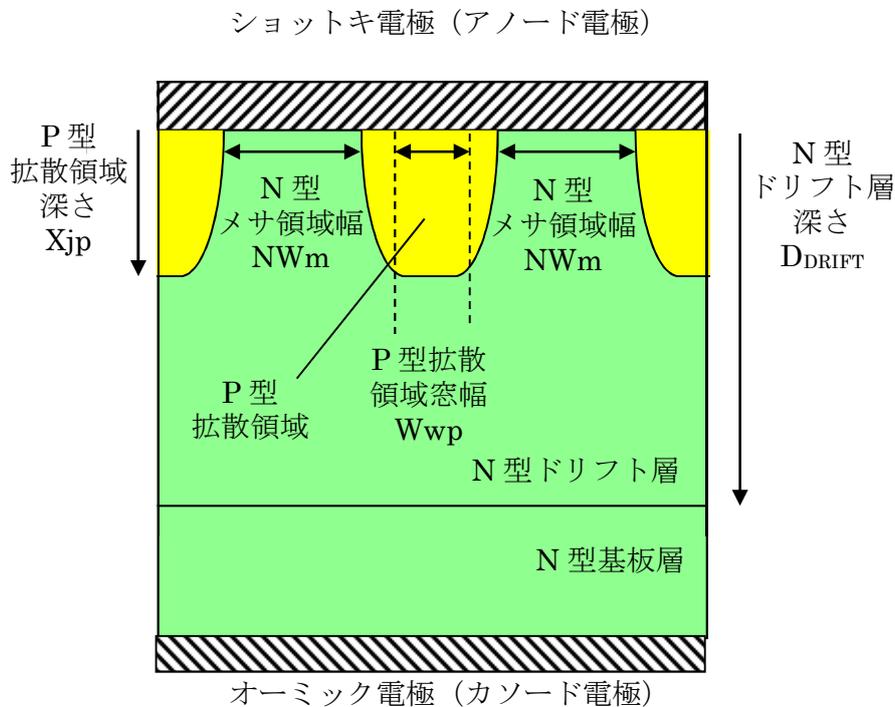


図 3-1 JBS の断面構造図

図 3-1 より分かるように、JBS 構造の特徴は、ショットキ接合部と PN 接合部が、デバイスの表面側において並列に配置された構造にある。JBS の特徴的なデバイスパラメータは、P 型拡散領域の拡散窓幅 W_{wp} 、深さ X_{jp} 、横方向拡散幅 L_{jp} 、P 型拡散領域に挟まれた N 型メサ領域の幅 NW_m 、である。このうち、P 型拡散領域の拡散窓幅 W_{wp} はデバイス加工技術の限界で決定される。本章では、 $W_{wp}=2[\mu\text{m}]$ とした。P 型拡散領域の拡散深さ X_{jp} と横方向拡散長 L_{jp} の関係は、深さ方向はガウス分布に従い、水平方向拡散は補誤差関数に従うという設定を 2 次元デバイスシミュレータソフトの PISCES2B に入力し、深さ X_{jp} を設定し、シミュレータにより得られた L_{jp} 値を使った。おおよそ $L_{jp}\approx 0.75 X_{jp}$ となる。よって、 X_{jp} が深くなるにつれて、P 型拡散領域の拡散窓幅 W_{wp} と横方向拡散幅 L_{jp} の和である P 型拡散領域のトータル幅も広くなるため、同じ NW_m の場合の単位セル構造の幅 (P 型拡散領域のトータル幅 + NW_m) も広くなり、同じデバイス活性面積でのトータルのショットキ接合面積は減少する。なお、デバイス裏面側には従来型電力用 SBD と同様に、カソード電極が高い N 型不純物濃度を有する N 型基板層に対しオーミック接触されている。本デバイスに順方向バイアスを印加した場合は、ショットキ障壁高さ Φ_{bn} の方が PN 接合の内部電位 V_{bi} より小さい場合は (一般的には、この関係となるように設計される)、ショットキ障壁を乗り越えて N 型ドリフト層側からアノード電極側へ電子が移動し、順方向電流が流れることとなる (電流の向きはアノード電極側から N 型ドリフト層側)。PN 接合部にショットキ接合部以上の大電流が流れるには、PN 接合の V_{bi} を超える順方向バイアスが印加される必要があり、 $\Phi_{bn} < V_{bi}$ の関係であれば、順方向電流は、主としてショットキ接合部を流れることとなる。

逆バイアス印加時には、ショットキ障壁を乗り越えてアノード電極側から N 型ドリフト層側へ電子が移動し、逆方向漏れ電流が流れる。PN 接合部からも逆方向漏れ電流は流れるものの、 $\Phi_{bn} < V_{bi}$ の関係であれば、PN 接合部の漏れ電流はショットキ接合部の漏れ電流よりも遥かに小さいため、逆方向漏れ電流も主にショットキ接合部を流れることとなる。

逆バイアス印加時の空乏層は、ショットキ接合部からと PN 接合部の両構造から伸びる。PN 接合部からの空乏層は、図 3-1 の水平方向にも P 型領域形状に沿って伸びるため、ある逆バイアス電圧 V_p ではショットキ接合部直下にまで延伸し、 V_p 以上の逆バイアス電圧ではショットキ接合部 (アノード金属/N 型メサ領域) の電界強度 E は、 $\sqrt{2qN_{\text{DRIFT}}V_R/\epsilon_{\text{si}}}$ で与えられる電界強度にはならない。すなわち、通常構造 SBD のショットキ接合部の電界強度より小さな電界強度となるため、 $\Delta\Phi_{bn}$ が小さく抑えられることになる。そのため、逆方向漏れ電流密度 J_R も低く抑えられる。 V_p はピンチオフ電圧と呼ばれる。P 型拡散領域の P 型不純物濃度 \gg N 型ドリフト層の N 型不純物濃度であることを考慮し、片側階段接合であるとした上で、 V_p は PN 接合領域から伸びる空乏層幅が $0.5NW_m$ となる電圧と定義する。 V_p は N 型ドリフト層の不純物濃度 N_{DRIFT} と N 型メサ領域幅 NW_m をパラメータとして式 3-1 で定義する。(第 2 章 式 2-9 参照)。

$$V_p = \frac{qN_{\text{DRIFT}}NW_m^2}{8\epsilon_{\text{Si}}}$$

式 3-1

よって、40V 耐圧級 JBS で $N_{\text{DRIFT}}=10^{16}[\text{cm}^{-3}]$ 、 $NW_m=2[\mu\text{m}]$ の場合、 $V_p=7.86[\text{V}]$ となる。

3-2) JBS デバイスの設計

図 3-2 に、40V 耐圧級 JBS で $N_{\text{DRIFT}}=10^{16}[\text{cm}^{-3}]$ 、 $NW_m=2[\mu\text{m}]$ 、P 型拡散領域深さ $X_{jp}=2[\mu\text{m}]$ 、P 型拡散領域窓幅 $W_{wp}=2[\mu\text{m}]$ の場合の $V_R=1[\text{V}]$ 、 $3.93[\text{V}]$ ($0.5V_p$)、 $7.86[\text{V}]$ (V_p)、 $11.79[\text{V}]$ ($1.5V_p$)、 $40[\text{V}]$ 時のショットキ接合部の電界分布 E のシミュレーション結果を示す。

シミュレーションは市販の半導体シミュレーションソフト PISCES2B を用いて、2次元シミュレーション（デバイスの水平方向と深さ方向の2次元。奥行方向は一様な構造）を行った。比較のため、従来構造 SBD のショットキ接合部の電界分布 E を図 3-3 に示す。

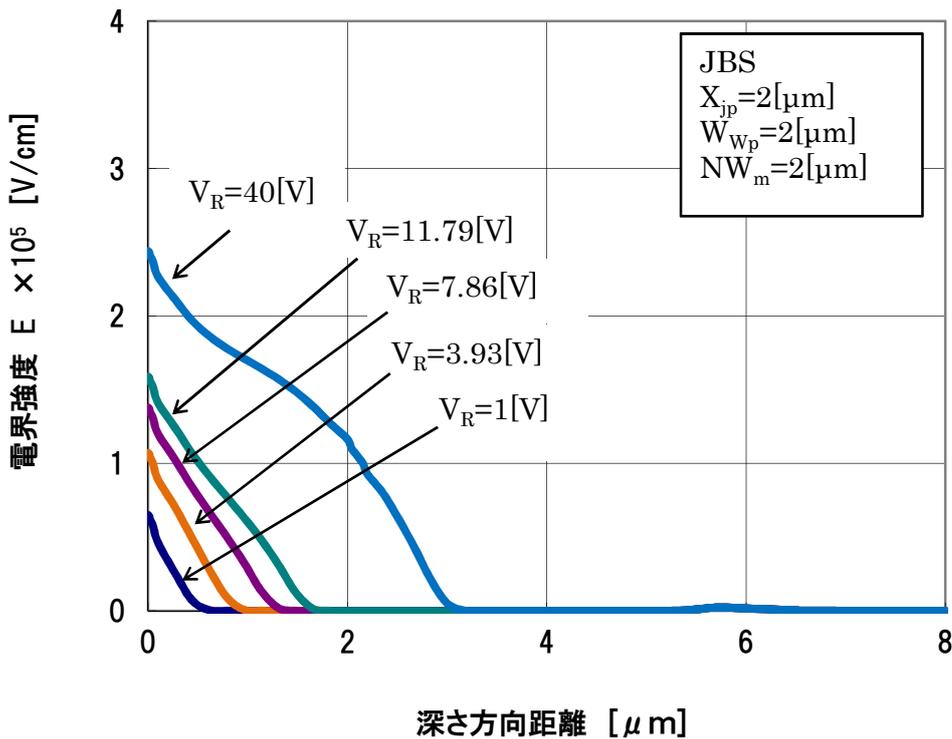


図 3-2 JBS の逆バイアス時の電界分布

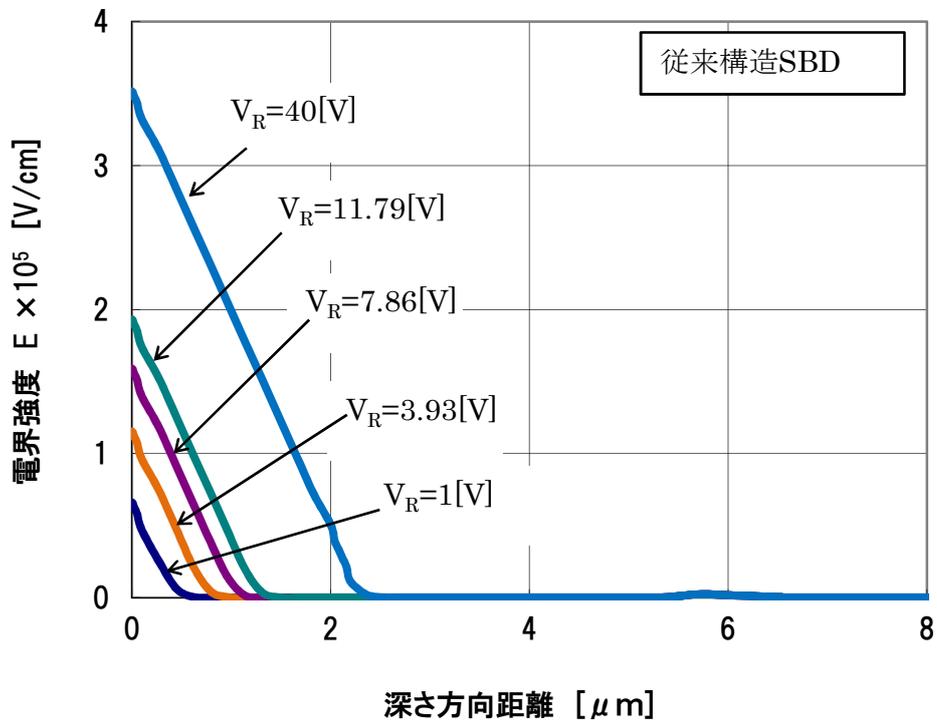


図 3-3 従来構造 SBD の逆バイアス時の電界分布

$V_R=1[V]$ 時の金属と N 型ドリフト層の界面 (ショットキ接合部) における電界強度は JBS と SBD は同様であるが、 $V_R=7.86[V]$ (V_p 点) では JBS が $1.6 \times 10^5 [V/cm]$ に対し、SBD は $1.9 \times 10^5 [V/cm]$ となり、明確な差が出てくる。更に $V_R=40[V]$ 時においては、JBS が $2.4 \times 10^5 [V/cm]$ に対し、SBD は $3.5 \times 10^5 [V/cm]$ と 1.5 倍もの差が発生していることが分かる。このことは、JBS の PN 接合から伸びる空乏層によりショットキ接合面に印加される電界強度が緩和されることを示している。この電界緩和効果により、 $\Delta\Phi_{bn}$ の増加が抑制され、 J_R の増加も抑制されることが示唆される。

次に、40V 級 JBS で P 型拡散領域深さ X_{jp} を $0.5[\mu m]$ 、 $1[\mu m]$ 、 $2[\mu m]$ とした場合 ($NW_m=2[\mu m]$ は一定) の $V_R=40[V]$ 時のショットキ接合部の電界分布 E のシミュレーション結果を図 3-4 に示す。

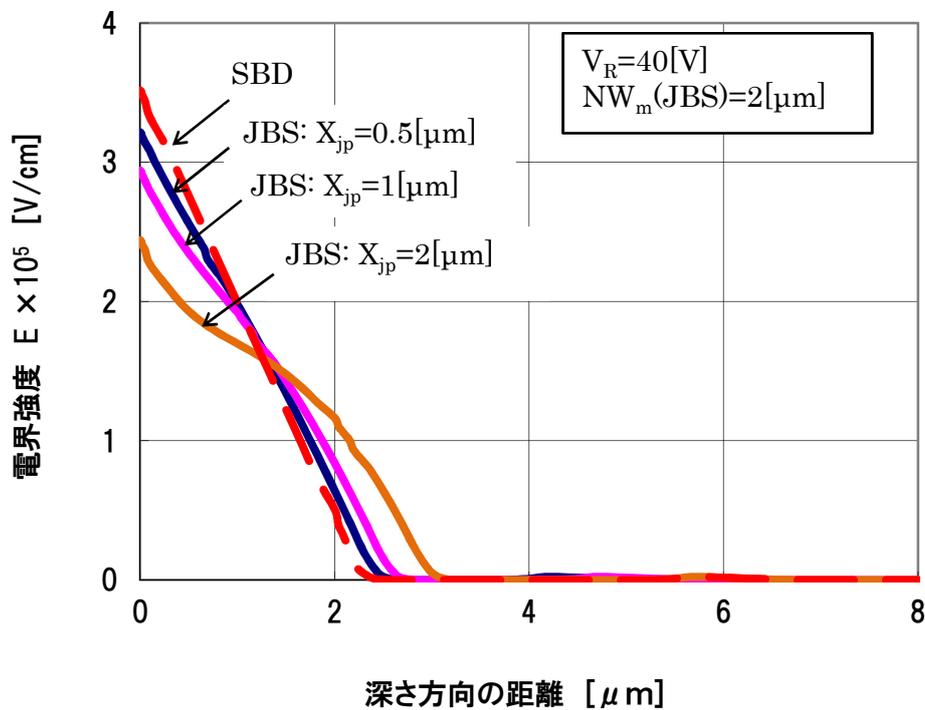


図 3-4 JBS の P 型拡散層深さと逆バイアス時の電界分布

P 型拡散領域の深さ X_{jp} が深くなるにつれて、同じ NW_m であってもショットキ接合面の電界強度が緩和される。但し、 X_{jp} が深くなるにつれ、デバイス表面における P 型拡散領域の拡散窓幅と水平方向への P 型拡散領域の拡散幅の和である P 型拡散領域のトータル幅も増大する。このことは、同じ NW_m の場合、単位セル構造の幅 (P 型拡散領域のトータル幅 + NW_m) も広くなるため、同じチップサイズでのトータルのショットキ整流面積は減少することを意味する。すなわち、 X_{jp} が深くなるにつれて、順方向電圧降下 V_F は大きくなることが予想される。JBS の X_{jp} 違いによる順方向特性のシミュレーション結果を図 3-5 に示す。併せて X_{jp} 違いによる逆方向特性のシミュレーション結果を図 3-6 に示す。

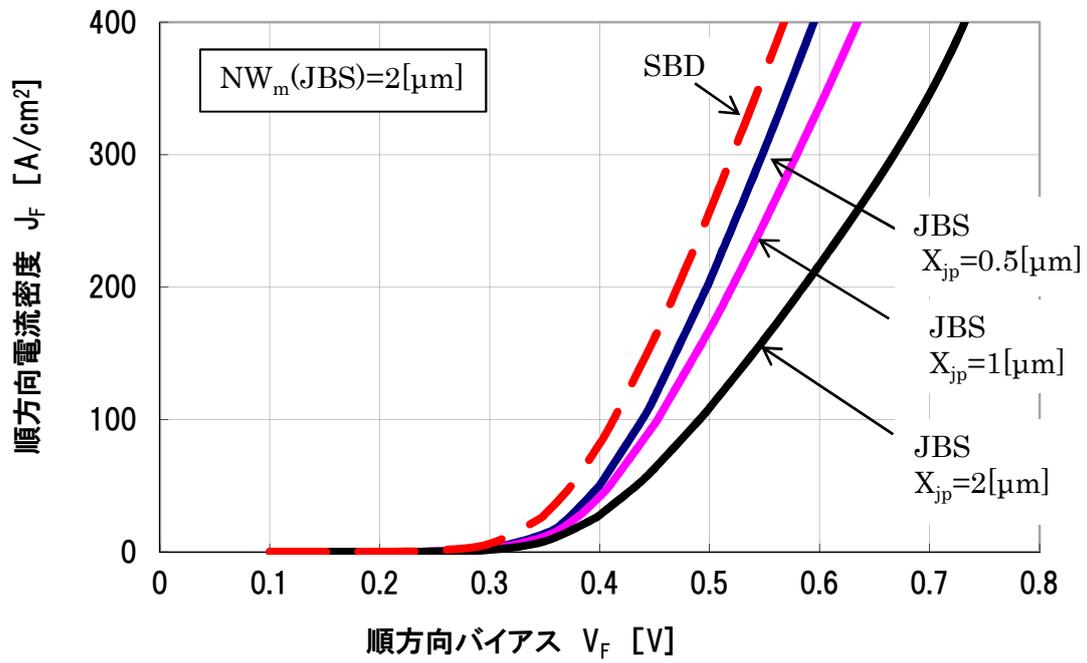


図 3-5 JBS と従来構造 SBD の順方向特性比較 (シミュレーション)

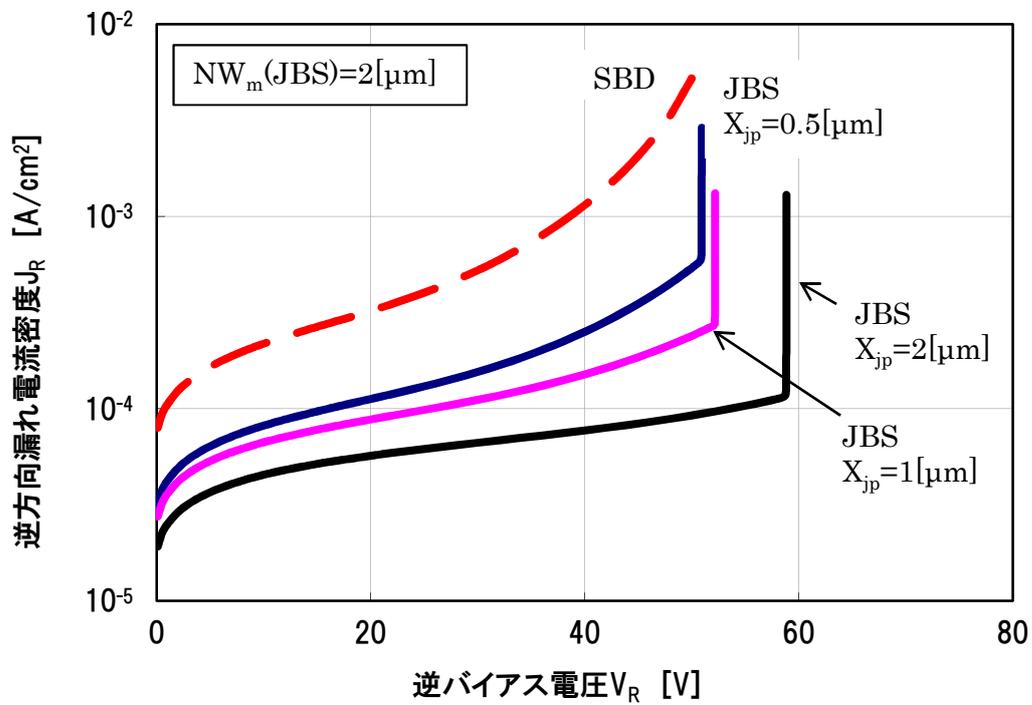


図 3-6 JBS と従来構造 SBD の逆方向特性比較 (シミュレーション)

X_{jp} を深くすると V_F は増大し、 J_R は抑制されることが分かる。また、 V_F の増大を出来るだけ抑制するためには、セル構造の微細化による整流面積の増大も重要であることが推定できる²⁾。

上記のシミュレーション結果を確認するために、 V_F と J_R のトレードオフ比較を行った。結果を図 3-7 に示す。トレードオフ特性は、各デバイスの Φ_{bn} を変化させて算出した。

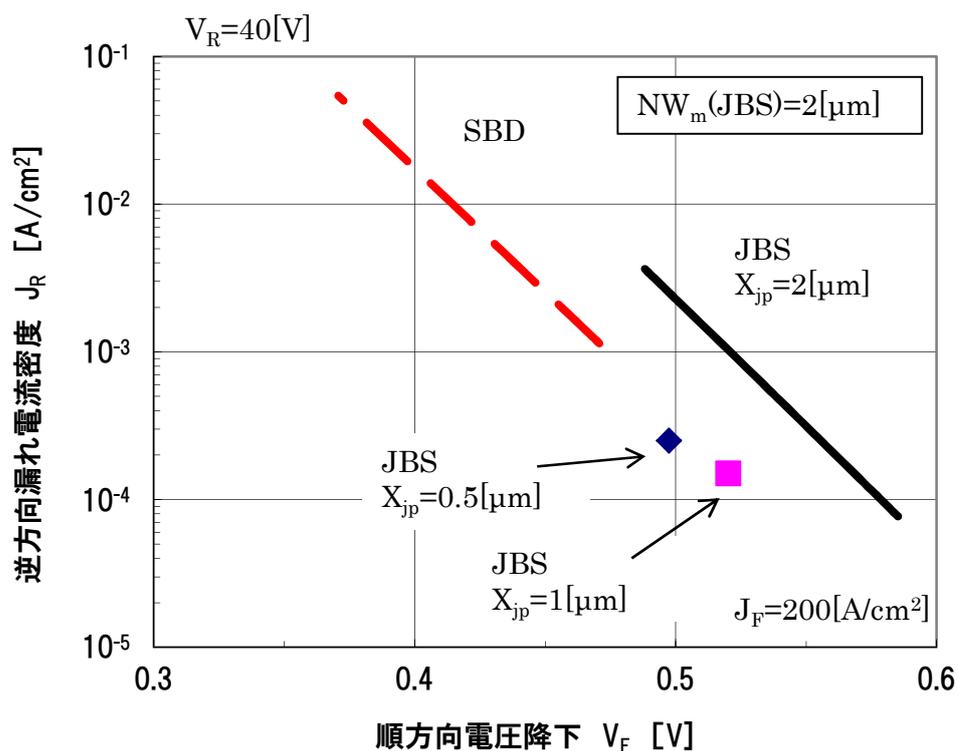


図 3-7 JBS と従来構造 SBD の V_F - J_R トレードオフ比較 (シミュレーション)

逆方向漏れ電流密度 J_R の抑制効果を上回る V_F の増大により、 X_{jp} を深くした JBS 構造は従来構造 SBD より、 V_F - J_R トレードオフの関係は悪くなってしまうことが分かる。

以上の検討結果より、順方向電流密度 $J_F=200[A/cm^2]$ における順方向電圧降下 V_F と逆バイアス電圧 $V_R=40 [V]$ 印可時の逆方向漏れ電流密度 J_R のトレードオフ関係を改善する(電力用 SBD の性能を向上する)には、P 型拡散領域の横方向拡散を極力抑制した JBS 構造が有効であることが推定できる。

3-3) LL-SBD の構造と設計

V_F - J_R トレードオフを改善できる構造として、N 型ドリフト層にトレンチを形成し、トレ

ンチに沿って P 型領域を気相拡散法で形成する JBS (LL-SBD) を考案した³⁾。LL とは Low Loss の頭文字より命名した。図 3-8 に LL-SBD の断面構造図を示す。

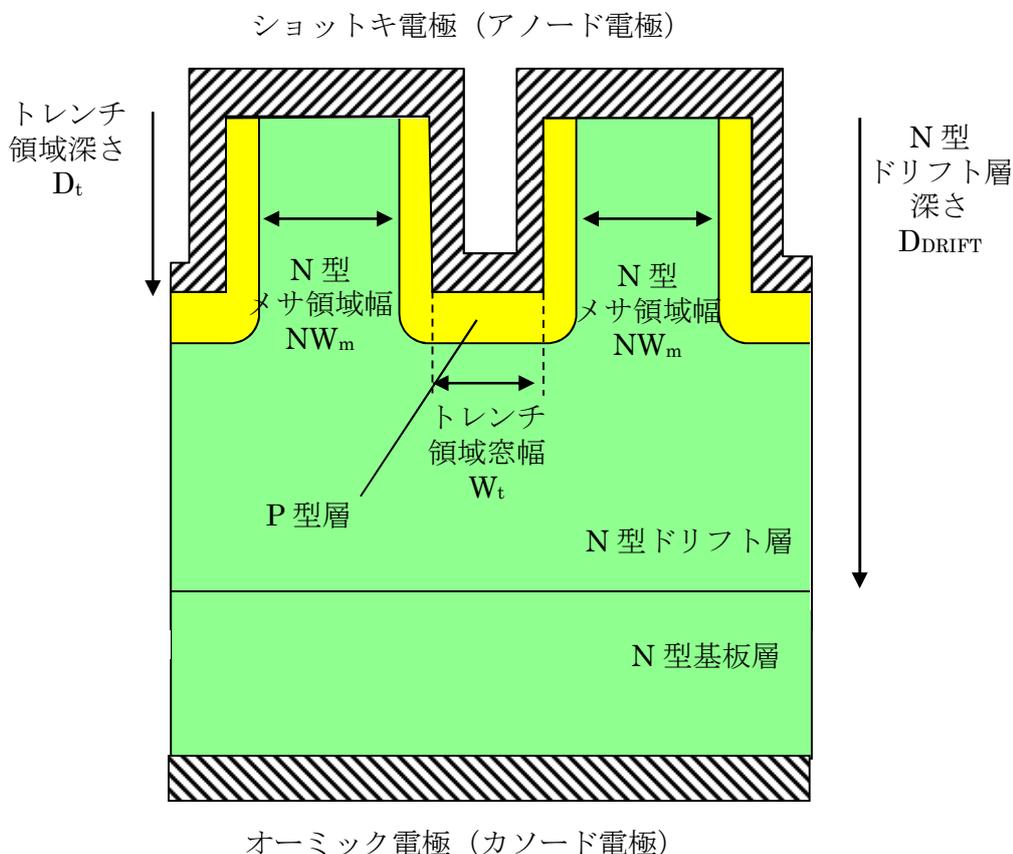


図 3-8 LL-SBD の断面構造図

LL-SBD 構造にすることで、JBS (P 型拡散領域を有する) においてトレードオフとなる以下の関係を打開できる。

- ショットキ接合部の電界強度 E を抑制するために深い P 型拡散領域を形成する
- 深い X_{jp} を有する P 型拡散領域を形成すると横方向拡散幅も広がる
- 横方向拡散幅が広いと、必要な N 型メサ領域幅 NW_m を確保すると、単位セル構造幅が広がる
- 単位セル構造幅が広がると、単位面積内のショットキ接合部面積が減少する
- ショットキ接合部面積が減少すると順方向電圧降下 V_F が増大する

すなわち、深いトレンチに沿って浅い P 型層を形成すれば、P 型拡散領域のトータル幅は狭いままでよく、単位セル構造幅は増大しないため、 V_F を増大させずに済む。

3-3-1) ショットキ接合面における電界強度緩和の設計

図 3-9 に、トレンチ領域窓幅 $W_t=1.5[\mu\text{m}]$ 、トレンチ領域深さ $D_t=1.5[\mu\text{m}]$ 、P 型層幅およ

び深さ $0.5[\mu\text{m}]$ 、N 型メサ領域幅 $NW_m=2[\mu\text{m}]$ の場合の $V_R=1[\text{V}]$ 、 $0.5V_p$ 、 V_p 、 $1.5V_p$ 、 $40[\text{V}]$ 時のショットキ接合部の電界分布 E を示す。LL-SBD の P 型層の深さ X_{jp} は、 D_t と P 型層深さの和で定義し、**図 3-2** の JBS の $X_{jp}=2[\mu\text{m}]$ の場合と同じ X_{jp} 値とした。

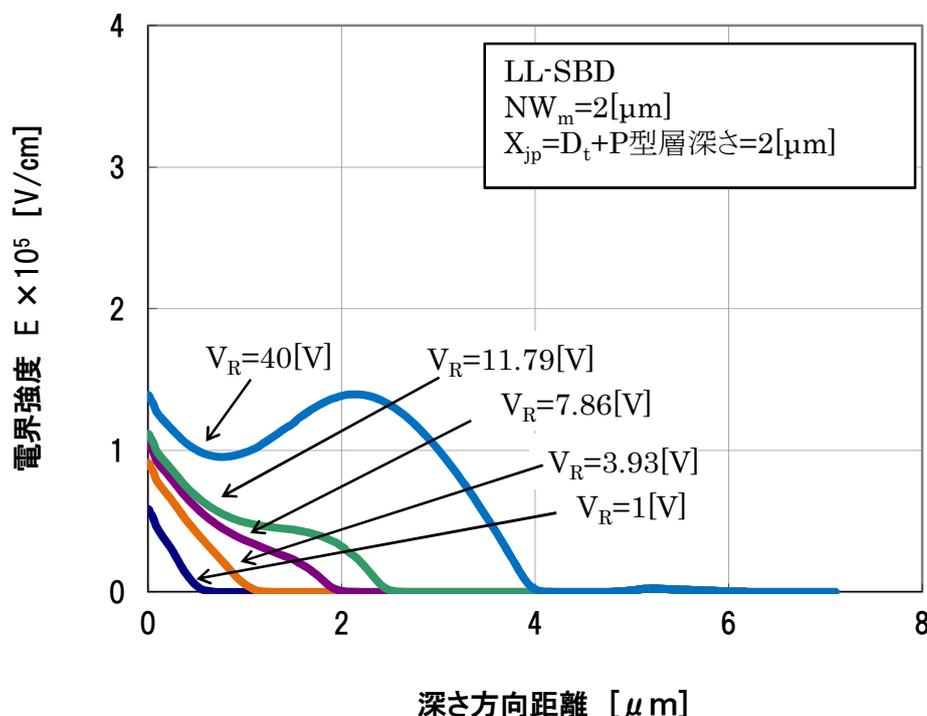


図 3-9 LL-SBD の逆バイアス時の電界分布 (シミュレーション値)

逆バイアス電圧が増加するに伴い、PN 接合領域から空乏層が延伸し、 V_p が $7.86[\text{V}]$ 以上ではショットキ接合部の電界強度 E はほぼ一定となることが確かめられた。従来の JBS 構造における電界強度図である **図 3-2** と比較すると、 $3.93[\text{V}]$ ($0.5V_p$) 時においても電界強度は大幅に低減されていて、 $V_R=40[\text{V}]$ 時には、従来の JBS が $2.5 \times 10^5 [\text{V/cm}]$ に対し、LL-SBD は $1.3 \times 10^5 [\text{V/cm}]$ と更に大きくショットキ接合面の電界強度が低減されている。

3-3-2) デバイス特性の設計

図 3-10 には $NW_m=2[\mu\text{m}]$ の場合の LL-SBD と JBS と SBD の逆方向電圧特性を示す。ただし、P 型拡散領域窓幅 W_{wp} = トレンチ窓幅 $W_t=2[\mu\text{m}]$ 、深さ $X_{jp}=2[\mu\text{m}]$ である。**図 3-11** には $NW_m=2[\mu\text{m}]$ の場合の LL-SBD と JBS と SBD の順方向電圧特性を示す。

LL-SBD は等価の P 層深さを有する従来構造 JBS に比べて、より低い J_R と V_F が得られることがシミュレーションから確認された。

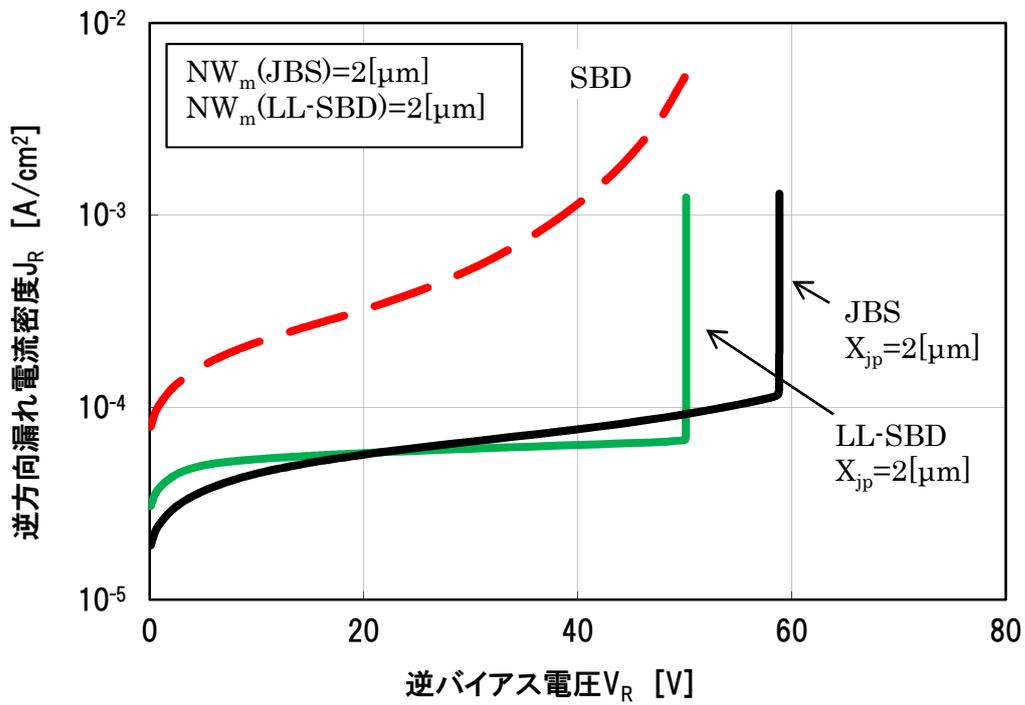


図 3-10 LL-SBD の逆方向特性 (シミュレーション値)

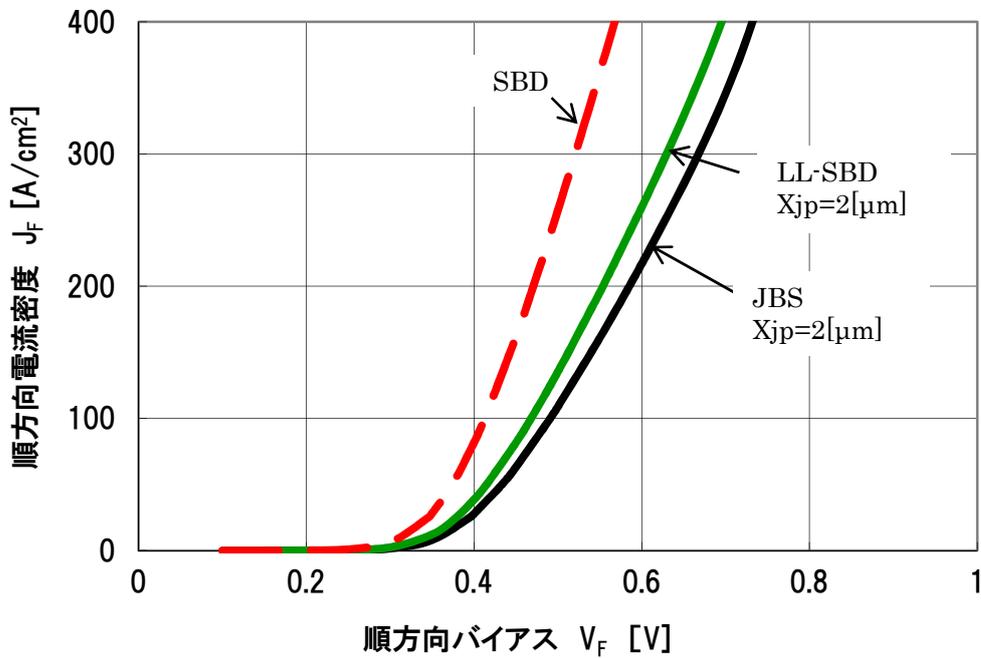


図 3-11 LL-SBD の順方向特性 (シミュレーション値)

図 3-12 に、SBD と JBS ($X_{jp}=2[\mu\text{m}]$ 、拡散窓幅 $2[\mu\text{m}]$) と LL-SBD ($X_{jp}=2[\mu\text{m}]$ 、トレ

ンチ幅 $W_t=0.5[\mu\text{m}]$ 、 $2[\mu\text{m}]$) の V_F と J_R のトレードオフ曲線を示す。トレードオフ曲線の作成にあたっては、各デバイスのショットキ障壁高さ Φ_{bn} を変化させることで求めた。JBS ($X_{jp}=2[\mu\text{m}]$) は SBD より整流面積が減少するため、 V_F が増加する。 J_R は主にピンチオフ効果で抑制することが出来るが、 V_F と J_R のトレードオフで評価すると、かえって悪くなる。LL-SBD も SBD より V_F は増加するが、JBS よりは低い V_F を示す。JBS ($X_{jp}=2[\mu\text{m}]$ 、拡散窓幅 $2[\mu\text{m}]$ 、P 型拡散領域のトータル幅は約 $5[\mu\text{m}]$) と LL-SBD ($X_{jp}=2[\mu\text{m}]$ 、トレンチ幅 $W_t=2[\mu\text{m}]$ 、P 型拡散領域のトータル幅は $(2+0.5+0.5)[\mu\text{m}]$ で $3[\mu\text{m}]$) の V_F と J_R のトレードオフ比較では、LL-SBD が優位である。

さらに、図 3-12 より明らかなように、LL-SBD のトレンチ幅 $W_t=0.5[\mu\text{m}]$ とすると P 型拡散領域のトータル幅は $1.5[\mu\text{m}]$ となり、SBD より良好なトレードオフが得られる。このことより単位セル構造の微細化も必要である。

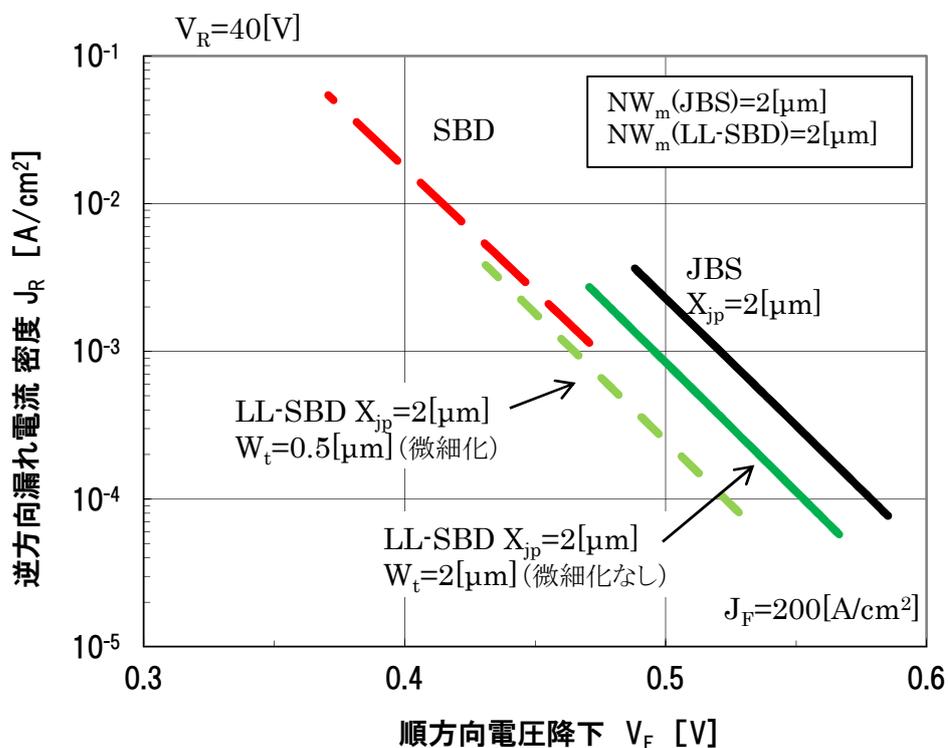


図 3-12 LL-SBD の V_F - J_R トレードオフ特性の JBS・SBD との比較

3-4) LL-SBD の試作結果

試作した LL-SBD の特性について述べる。使用したウェーハは、Si 結晶面方位 (1 1 1) 基板 ($\rho = 3[\text{m}\Omega\cdot\text{cm}]$ 、厚さ $400[\mu\text{m}]$) 上に、比抵抗 $\rho = 0.5[\Omega\cdot\text{cm}]$ (不純物濃度 $N_{\text{DRIFT}}=1\times 10^{16}[\text{cm}^{-3}]$)、厚さ $6.5[\mu\text{m}]$ のエピタキシャル層を成長させたものである。形成したトレンチの平面パターンは、図 3-13 に示すように、P 型 FLR 領域で囲まれたデバイス活

性部内に複数のトレンチが平行に配置されたストライプ形状とした。幅と深さはともに $2[\mu\text{m}]$ である。P 型拡散領域は気層拡散法である BN デポ法を用いて、拡散深さおよび水平方向拡散幅を $1[\mu\text{m}]$ で形成した。

試作した LL-SBD の活性部の断面 SEM 写真を図 3-14 に示す。トレンチ壁面に沿って P 型領域が形成されていることが確認できる。

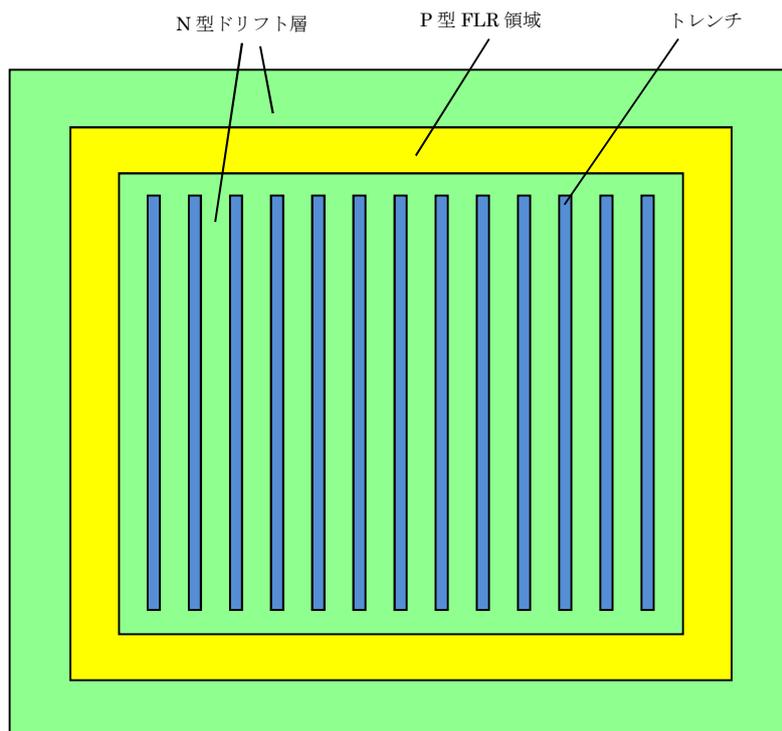


図 3-13 LL-SBD の平面構造 (模式図)

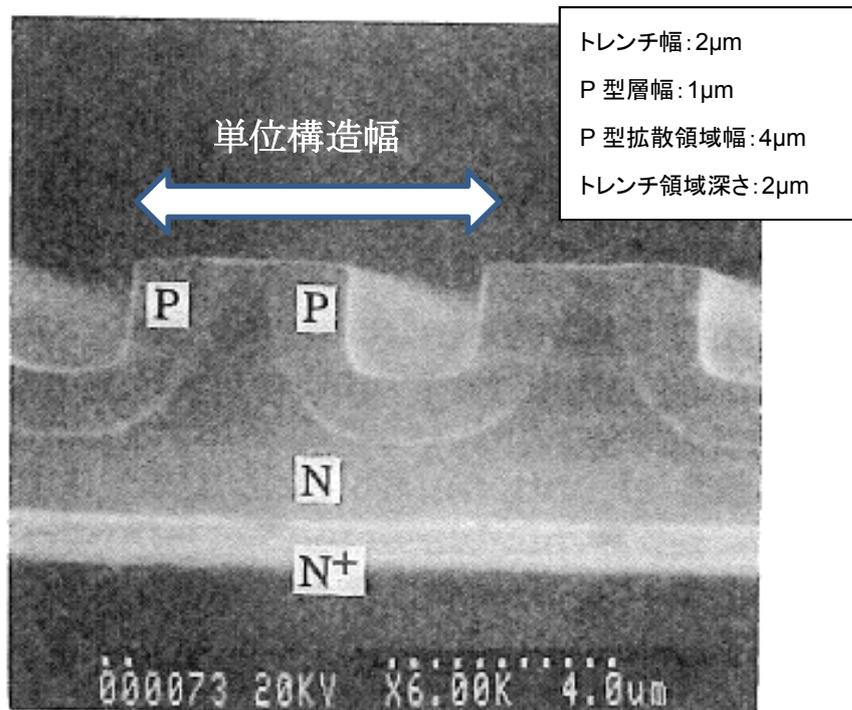


図 3-14 LL-SBD の断面構造 (試作)

素子活性部の試作プロセスフローを図 3-15 に示す。

製造方法の概略を以下に記す。結晶面方位 (1 1 1) の Si エピタキシャルウェーハに SiO₂ 膜を形成し、フォトリソグラフ法によりトレンチ形成部の SiO₂ 膜のエッチング窓開けを行う。SiO₂ 膜をエッチング後、トレンチを幅 2[μm]、深さ 2[μm]となるようにガスエッチする。トレンチを形成したウェーハに、石英拡散炉内で BN ガスドーピング法で P 型拡散領域を形成する。素子活性部の SiO₂ 膜を除去後、Ti または Cr 金属をショットキ電極として形成し、フォトリソグラフ法および液体エッチング法により不要金属部を除去し、アノード金属電極を形成する。最後にウェーハ裏面にオーミック電極として Ti 膜を全面に形成して完成させる。

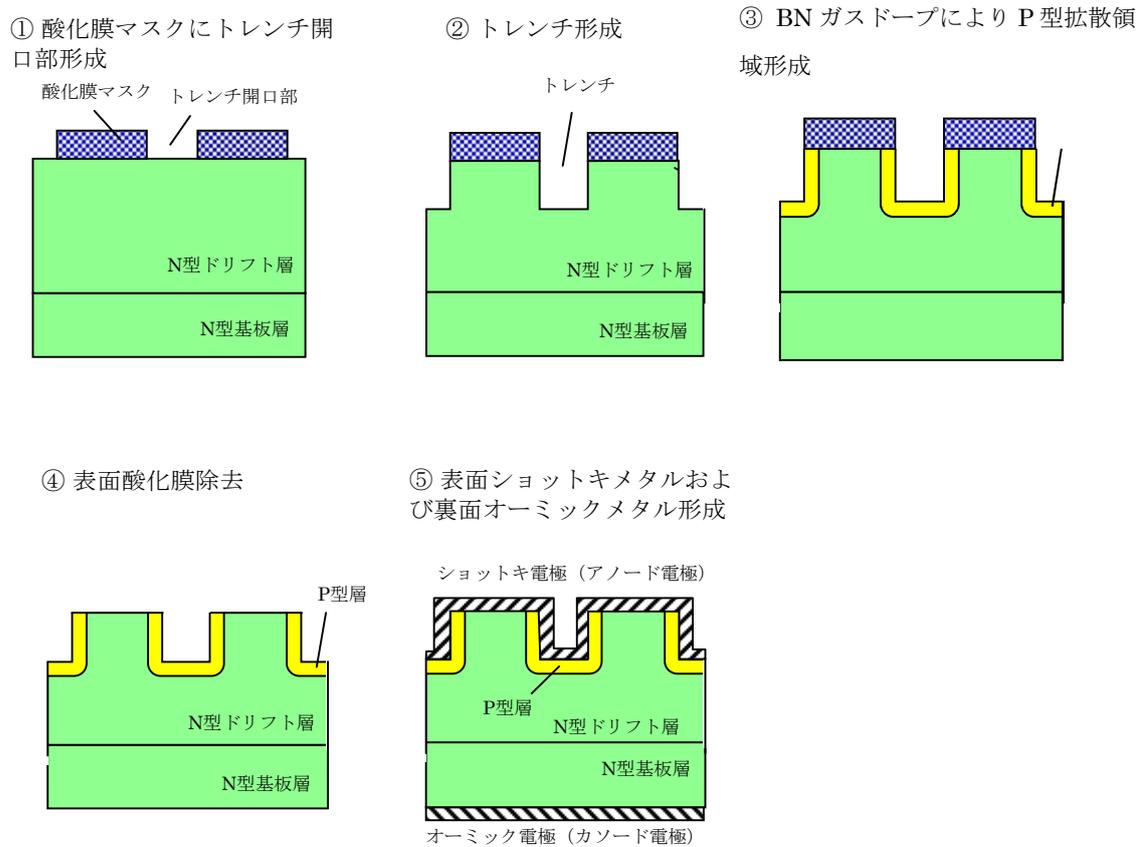


図 3-15 LL-SBD の試作プロセスフロー

3-5) 試作したデバイスの特性

3-5-1) 順方向特性

図 3-16 に試作した LL-SBD の順方向電圧 V_F と電流密度 J_F との関係を示す。ショットキバリア金属は Ti ($\Phi_{bn}=0.5[eV]$) と Cr ($\Phi_{bn}=0.6[eV]$) である。ショットキ面積が減少しているために、LL-SBD の V_F は従来構造 SBD よりも高い結果となっている。

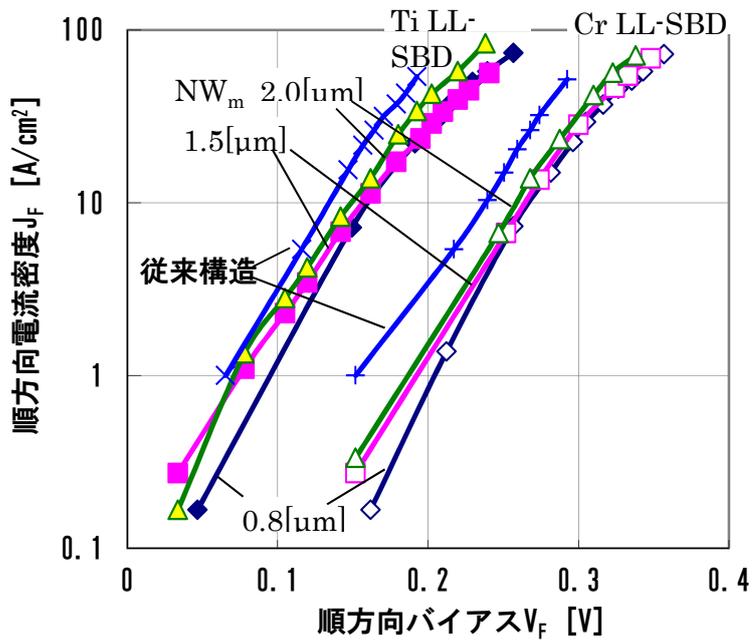


図 3-16 LL-SBD の順方向特性の試作結果

3-5-2) 逆方向特性

図 3-17 に、試作した LL-SBD の逆方向電圧 V_R と電流密度 J_R との関係を示す。

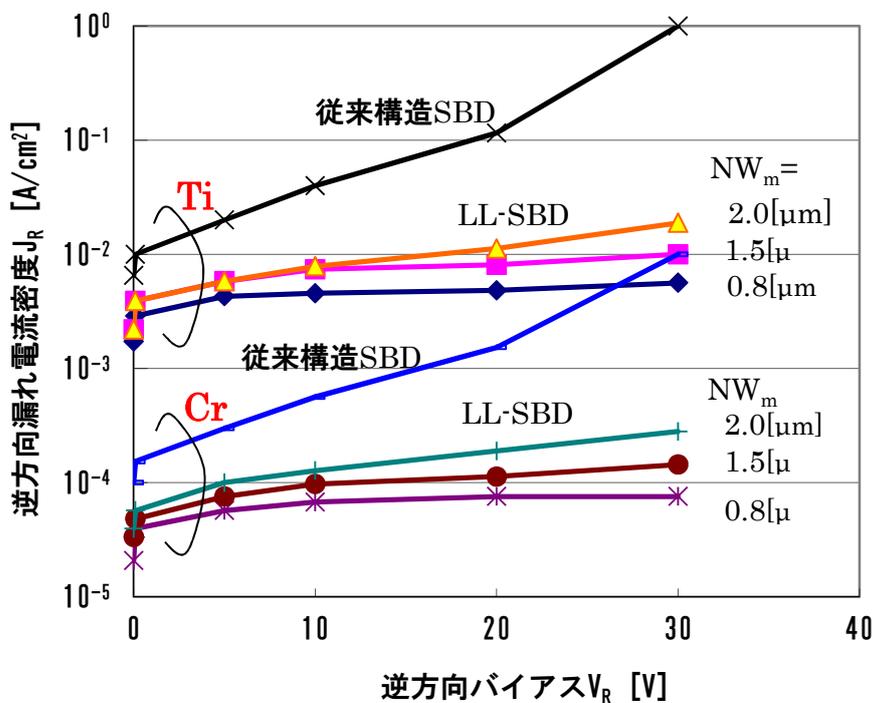


図 3-17 LL-SBD の逆方向特性の試作結果

N型メサ領域幅 NW_m を狭くするに従い、LL-SBD の J_R が V_R に殆ど依存しない特性を確認することが出来た。これは、逆バイアス電圧の増加に伴うショットキ障壁高さの低下現象が、ある逆バイアス電圧以上ではほとんど起こらなくなったことを示している。すなわち、ピンチオフ効果が実デバイスで明確に実証された。 $NW_m=0.8[\mu m]$ においては $V_R=5[V]$ 以上では全く J_R の増加が見られず、ショットキ接合部の電界緩和が J_R 抑制に有効的であることがシミュレーション通り実証できた。

3-6) 特性結果の解析

図 3-18 に、 $NW_m=0.8[\mu m]$ で作製した LL-SBD の順方向電流密度 $J_F=50[A/cm^2]$ における V_F 値と、 $V_R=30[V]$ における逆方向漏れ電流密度 J_R のトレードオフ特性を示す。Ti 金属 ($\Phi_{bn}=0.5[eV]$) を使用した LL-SBD の逆方向漏れ電流は Cr メタル ($\Phi_{bn}=0.6[eV]$) を使用した従来構造 SBD と同等の低い J_R が実現できている。

V_F 値は、トレンチ窓幅や P 型領域の微細化により、高い J_F においても改善が期待される。

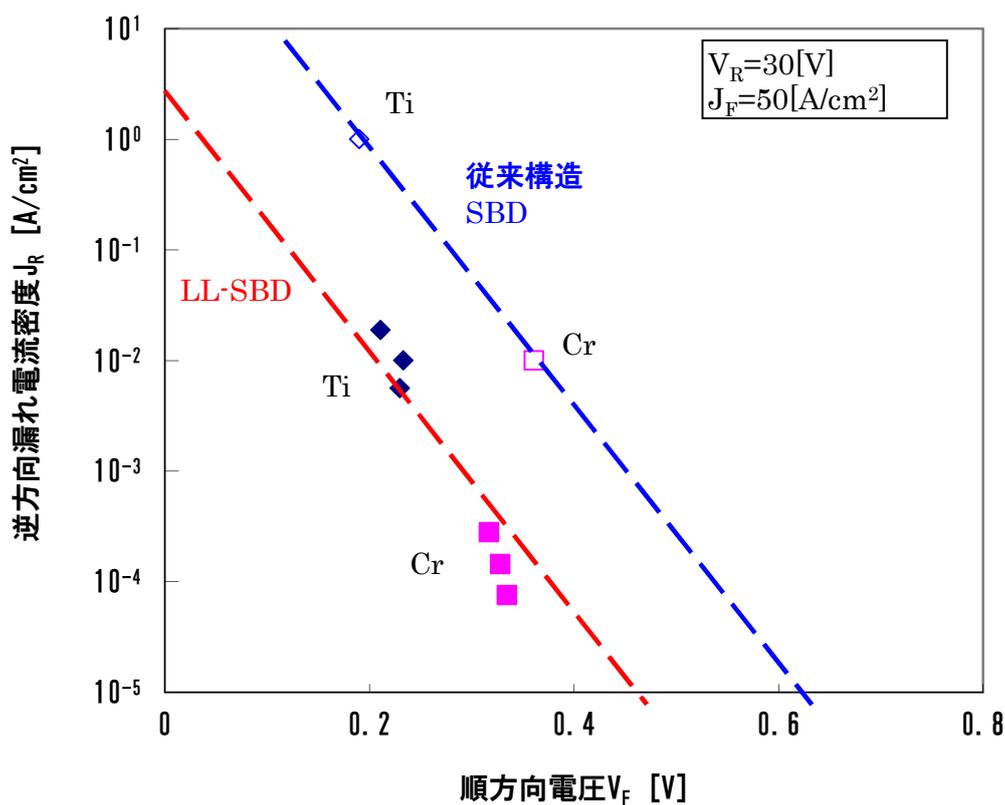


図 3-18 LL-SBD の V_F - J_R トレードオフ比較 (試作結果)

3-7) 3章のまとめ

電力用 SBD の逆バイアス時にショットキ接合部に印加される電界を緩和することを目的とした構造として、従来から JBS 構造があった。しかし、 J_R 抑制と V_F の増加の抑制の両

立の観点から、P型拡散領域の形状の最適設計に関する報告はなかった。これに対し、本論文では、シミュレーションを用いて、P型拡散領域の深さ、窓幅、横方向拡散幅を評価し、深さを深く、窓幅を出来るだけ狭く（微細化）、横方向拡散を極力抑えることが有効であることを明らかにした。

上記の見解を実証するため、N型ドリフト層にトレンチを形成後、P型ドーパントをBNガスドーブ法で形成するLL-SBDを提案し、デバイスを試作した。試作結果より、横方向拡散を抑制することで、 J_R 増加が抑制されたLL-SBDを実現することが出来た。

参考文献

- 1) B.J.Baliga:“The Pinch Rectifier : “A Low-Forward-Drop High-Speed Power Diode” IEEE Trans . Electron Devices Letter EDL-5 ,p194 (1984)
- 2) M.Mehrotra and B.J.Baliga:“Low Forward Drop JBS Rectifiers Fabricated Using Submicron Technology” IEEE Trans . Electron Devices 41, p1665(1994)
- 3) S.Kunori, J.Ishida , M.Tanaka, M.Wakatabe and T.Kan : The Low Power Dissipation Schottky Barrier Diode with Trench Structure” Proc.ISPSD ., p66 (1992)

第 4 章

高耐圧 120V 級

スーパージャンクション(SJ) - JBS

4-1) まえがき

すでに述べた第 2 章・第 3 章の結果より、100[V]を超える高耐圧の電力用 SBD の性能向上には、

- ① N 型ドリフト層の抵抗 R_{SBD} の低減
- ② 逆バイアス時の半導体界面（ショットキ接合部）の電界強度の抑制
- ③ 微細化によるショットキ金属・半導体接合面積の増大

が重要であることが分かった。

②の実現のためには、素子の平面方向に対して垂直な P 型領域の形成が有効であることを第 3 章 LL-SBD の研究 ¹⁾において示した。①の R_{SBD} の低減の方策として、P 型領域とそれに挟まれた N 型メサ領域のキャリアの電荷量を等しくするスーパージャンクション構造の採用が考えられる ²⁾³⁾。スーパージャンクション構造の原理については後述する。③の微細化によるショットキ金属・半導体接合面積の増大においては、上記②のスーパージャンクション構造の P 型領域をトレンチ形成後に P 型単結晶層の埋め込み（トレンチ埋め込み法）で形成することが有効である ⁴⁾⁵⁾。

上記を考慮しトレンチ埋め込み法を用いた 120V 級の SJ-JBS を世界で初めて試作した ⁶⁾。試作した SJ-JBS の詳細について、下記の項目に沿って記述する。

- 1) スーパージャンクション構造の原理
- 2) デバイス設計（活性部構造と周辺耐圧構造・平面構造）
- 3) 製造工程設計
- 4) 試作結果
- 5) 特性解析
- 6) 実機評価結果

4-2) スーパージャンクション構造の原理

図 4-1 に n チャンネル型のスーパージャンクション(SJ)構造 MOSFET の単位セル構造の断面図を従来構造 MOSFET の断面図と併せて示す ⁷⁾。従来構造 MOSFET では、電流経路かつ耐圧保持層である N 型ドリフト層は、低い N 型不純物濃度で所定の厚さを有する一様

な N 型領域である。これに対し、SJ 構造 MOSFET では、P カラムと N 型メサ領域 (P カラムで挟まれた N 型ドリフト層の領域) が交互に並んだ構造となる。SJ 構造では、P カラムの不純物濃度 N_a と幅 W_t の積 (Q_p : P チャージ量) と、N 型メサ領域の不純物濃度 N_{DRIFT} と幅 NW_m の積 (Q_n : N チャージ量) を等しくする。この状態で、ソース接地、かつ、ゲートオフ状態で、ドレインを+バイアスした場合、P カラムと N 型メサ領域で構成される P N 接合からはデバイスの水平方向に空乏層が延伸する。ドレインバイアスを大きくしていくと、 $Q_p=Q_n$ なので、P カラムと N 型メサ領域の双方が完全空乏化することとなる。完全空乏化した領域は、+の空間電荷 (N メサ) と-の空間電荷 (P カラム) が等量存在するため、深さ方向 (縦方向) に見た空間電荷量は 0 となる。すなわち、この領域の深さ方向の電界強度分布は均一となる。これに対し、従来構造においては、ソース接地された P 型拡散領域と N 型ドリフト層間の PN 接合から深さ方向に空乏層が延伸する。N 型ドリフト層内の空乏層においては、+の空間電荷のみが存在することになり、PN 接合部をピークとする三角形の電界分布となる。従来構造で高耐圧化するには、前記のピーク電界強度を臨界電界強度 E_c に保ったまま三角形の面積を増やす必要があるため、N 型ドリフト層の不純物濃度 (抵抗率に反比例) を低く、かつ、深さ方向の厚みを厚くする事が必要となる。このため特性オン抵抗 $R_{DS(ON)} \cdot A$ は耐圧 V_B の 2.5 乗におおよそ比例することになる。これに対し、SJ 構造では高耐圧化するために N 型ドリフト層を低不純物濃度化する必要がなく、厚みだけを増加させればよいため、 $R_{DS(ON)} \cdot A$ は V_B のほぼ 1 乗に比例することとなり、高耐圧化しても低 $R_{DS(ON)} \cdot A$ 化が可能となる。しかしながら、SJ 構造では不純物濃度や幅の製造バラツキに起因して $Q_p \neq Q_n$ (チャージバランスずれ状態) となると、耐圧が急激に低下することには留意する必要がある。

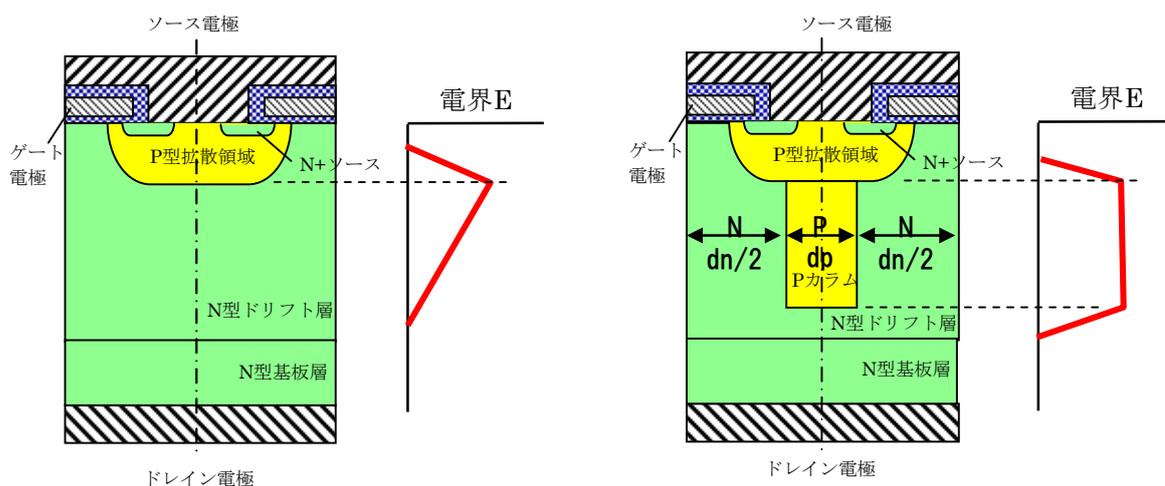


図 4-1 従来構造 MOSFET と SJ-MOSFET の単位セルの断面構造比較

また、図 4-2 に示すように、SJ 構造では図 4-1 に示されている単位セル幅を縮小すれば、特性オン抵抗 $R_{DS(ON)} \cdot A$ を小さく出来ることになる。すなわち、SJ 構造デバイスの単位セ

ル幅を微細化すれば、より低オン抵抗で低電力損失化が可能な高性能パワーデバイスを作製できることに繋がる。

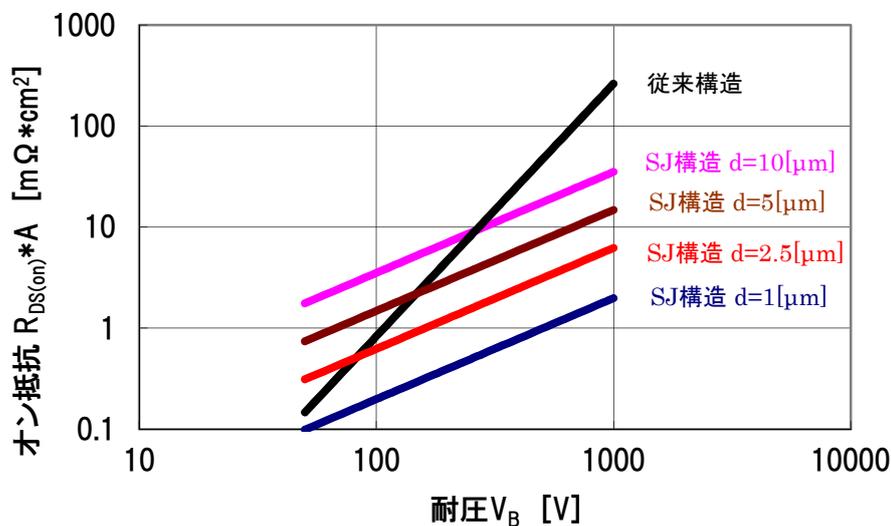


図 4-2 SJ-デバイスの単位構造幅とオン抵抗の相関 (耐圧相関)

4-3) SJ-JBS 活性部のデバイス設計

著者は、MOSFET と同じユニポーラ素子である SBD に SJ 構造を適用することで、N 型ドリフト層の抵抗成分 R_{SBD} を高耐圧 SBD においても大幅に低減できることと、SJ 構造が JBS 構造の一種であることに着目した。図 4-3 に SJ-JBS の活性部の断面構造を示す。

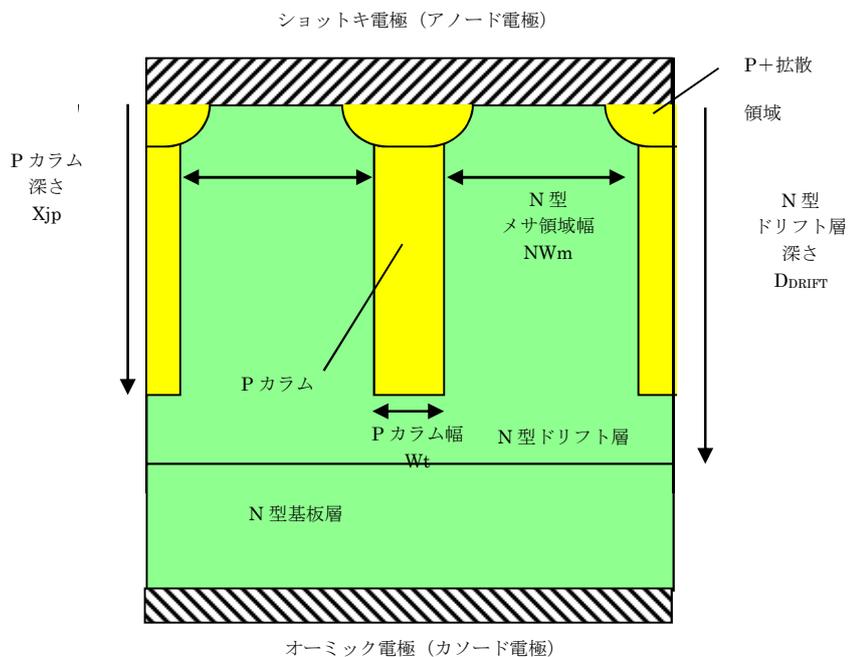


図 4-3 SJ-JBS の断面構造図

N型基板層上にN型ドリフト層をエピタキシャル法で形成したSiウェーハ(結晶面方位(100))を準備する。このN型ドリフト層内に一定の間隔で複数のPカラムを形成し、各々のPカラム上部にはアノード電極金属とのオーミック接触をとるためのP+拡散領域を形成する。ここで隣り合うPカラムに挟まれたN型ドリフト層をN型メサ領域と定義する。このP+拡散領域とN型メサ領域上に、P+拡散領域とはオーミック接合し、N型メサ領域とはショットキ接合するアノード金属膜が配置される。N型基板層にはカソード電極膜が形成される。以上がSJ-JBSのデバイス活性部(導通時の電流が流れる領域)の基本構造である。詳細な設計に関しては後述するが、SJ-JBSのPカラムのP型不純物濃度と幅の積(Q_p)と、N型メサ領域のN型不純物濃度と幅の積(Q_n)を等しくすることが設計上の重要項目である。SJ-JBSのアノード電極電位に対しカソード電極電位を+バイアス(逆バイアス)した場合、PカラムとN型メサ領域の双方がある電圧で完全空乏化し、この領域の深さ方向(縦方向)の電界強度分布は均一となる。すなわち、SJ-MOSFETと同様に、SJ-JBSでは高耐圧化するためにN型ドリフト層を低不純物濃度化する必要がなく、厚みだけを増加させればよい。よって、 R_{SBD} は V_B のほぼ1乗に比例することとなる。よって高耐圧化しても低 R_{SBD} であり、低 V_F 化が可能となる。

デバイス設計にあたっては、SJ構造を有するデバイス活性部の設計から行う。設計パラメータは、N型ドリフト層の不純物濃度 N_{DRIFT} 、N型メサ領域幅 NW_m 、深さ D_{DRIFT} 、Pカラムの不純物濃度 N_a 、幅 W_t 、深さ X_{jp} である。SJ構造のアバランシェ降伏時の電界強度(臨界電界強度 E_c)は、Si単結晶の場合、 $2\sim 4\times 10^5[V/cm]$ である。よって、Pカラム深さ X_{jp} は設計耐圧 $\div E_c$ で概算できる。 $E_c=2\times 10^5[V/cm]$ を用いて、120V級であれば、 $X_{jp}=120[V]\div 2\times 10^5[V/cm]=6\times 10^{-4}[cm]=6[\mu m]$ とする。

N型ドリフト層深さ D_{DRIFT} については、Pカラム底部の電界集中の防止を目的として後述するN型メサ領域幅 NW_m と同じだけのPカラム底からN型基板層までの間隔を確保すること、および、N型ドリフト層となるエピタキシャル膜形成時の熱処理と、デバイス製造工程における熱処理の影響によるN型基板層からN型ドリフト層への砒素の拡散深さ(約 $1[\mu m]$ 、 $1000[^\circ C]$ 、 200 分程度)を考慮し、上記のPカラム深さ X_{jp} に上記の値を加算し、

$$D_{DRIFT}=X_{jp}+NW_m+\text{砒素拡散深さ(約 }1[\mu m])=6+1.8+1=8.8[\mu m]$$

とした。

次に、SJ-JBSのデバイス水平方向の設計を行う。

SJ構造では、逆バイアス時に素子の水平方向にも空乏層が延伸するため、PN接合の水平方向の電界強度も考慮する必要がある。Pカラム内の空乏層の水平方向の電界分布は距離に対して傾き qN_a/ϵ_{si} の関数で直線的に変化し、PN接合部で E_c 、Pカラムの幅 W_t の半分の地点 $W_t/2$ 部で0となるため、 $E_c-(qN_a/\epsilon_{si})\times(W_t/2)=0$ が成り立つ。SJ-JBSのPカラムとN型メサ領域間のPN接合の水平方向の電界強度設計にも $E_c=2\times 10^5[V/cm]$ を用いると、

$$E_c=qN_aW_t/2\epsilon_{si}=qQ_p/2\epsilon_{si}$$

ただし、 $Q_p=N_aW_t$ より、

$$Q_p=2.54\times 10^{12} [\text{cm}^{-2}]$$

となる。この値が SJ 構造の Q_p ($=Q_n=N_{\text{DRIFT}}*NW_m$) 設計の理論上の上限値となる。

次に Q_n を設計する。 $Q_p=Q_n$ がチャージバランス条件となるため、設計 $Q_n=2.54\times 10^{12}[\text{cm}^{-2}]$ となる。ここで考慮すべきは N_{DRIFT} の設計値である。Si における N_{DRIFT} と電子移動度 μ_n との関係は、 $N_{\text{DRIFT}}>10^{16}[\text{cm}^{-3}]$ を超えてくると大きく μ_n が低下する。すなわち高不純物濃度化しても、 $\rho=1/qN_{\text{DRIFT}}\mu_n$ で表される比抵抗 ρ は不純物濃度に反比例して低下しない。よって、 $N_{\text{DRIFT}}=10^{16}[\text{cm}^{-3}]$ を設計上限値とした。

以上を踏まえ、詳細な設計検証をおこなうため、半導体シミュレーションソフト MEDICI を用いて、2次元シミュレーションを実行した。シミュレーションにあたり、P カラム幅 W_t は $0.8[\mu\text{m}]$ 固定としてシミュレーションを行った。この数値は、トレンチ幅 W_t と深さ X_{jp} を振ってトレンチ内への P 型 Si の充填性を評価した埋め込み性確認実験で得られた最適アスペクト比 ($X_{jp}/W_t\approx 8$) を考慮して決定した。

SJ-JBS の詳細設計において必要な項目はチャージ量の絶対値とチャージバランスずれに対して、耐圧と V_F がどう変わるかである。チャージバランスずれが最も影響を与える特性項目は耐圧である。チャージバランスずれがある状態では、P カラムと N 型メサ領域のいずれか一方のチャージ過小領域が完全に空乏化しても、チャージ過多領域には空乏化されない領域が残る。すなわち、チャージ過多領域の空乏層深さはチャージ過小領域より浅くなるため、チャージ過多領域の電界強度が臨界電界 E_c に達しやすくなり、早期のアバランシェ降伏現象が発生するためである。また、電荷量 Q 値が高いほど、チャージ過多領域の電界強度が臨界電界 E_c に達しやすくなるため、チャージバランスずれの耐圧への影響は大きくなる。しかし、実際のデバイス設計においては、チャージバランスずれは製造マージンとして考慮しなければならない。よってチャージバランスずれの状態、デバイス内部の電界強度の最大値を下げるには、 Q 値を最適化する必要がある。この事象については、詳細な解析を後述する。また、 V_F においては、 Q_n 値が高い方が低 V_F 化に対して有利であるが、前述の耐圧の確保との兼ね合いで決定されるべきである。

シミュレーションは、 $NW_m=2.5[\mu\text{m}]$ 一定で、 N_{DRIFT} を変化させて Q_n 値を設定した。 $Q_n=10^{12}[\text{cm}^{-2}]$, $1.5\times 10^{12}[\text{cm}^{-2}]$, $2.0\times 10^{12}[\text{cm}^{-2}]$, $2.5\times 10^{12}[\text{cm}^{-2}]$ とした。各 Q_n 値において、P カラムの不純物濃度を変えることで Q_p 値を増減させてチャージバランスを変化させた。チャージバランス指数を Q_p/Q_n 比で定義した。すなわち、 $Q_p/Q_n=1.0$ のときがチャージバランス状態、 $Q_p/Q_n>1.0$ のときが P チャージ過多状態、 $Q_p/Q_n<1.0$ のときが N チャージ過多状態を表す。

図 4-4 にチャージバランスずれ ($Q_p\neq Q_n$) に対する耐圧の相関を示す。チャージバランスずれと耐圧マージンの関係は Q 値の絶対値と相関があることがわかる。図 4-5 には、チャージバランスずれに対する V_F (順方向電流密度 $J_F=200[\text{A}/\text{cm}^2]$ 時) の相関を示す。

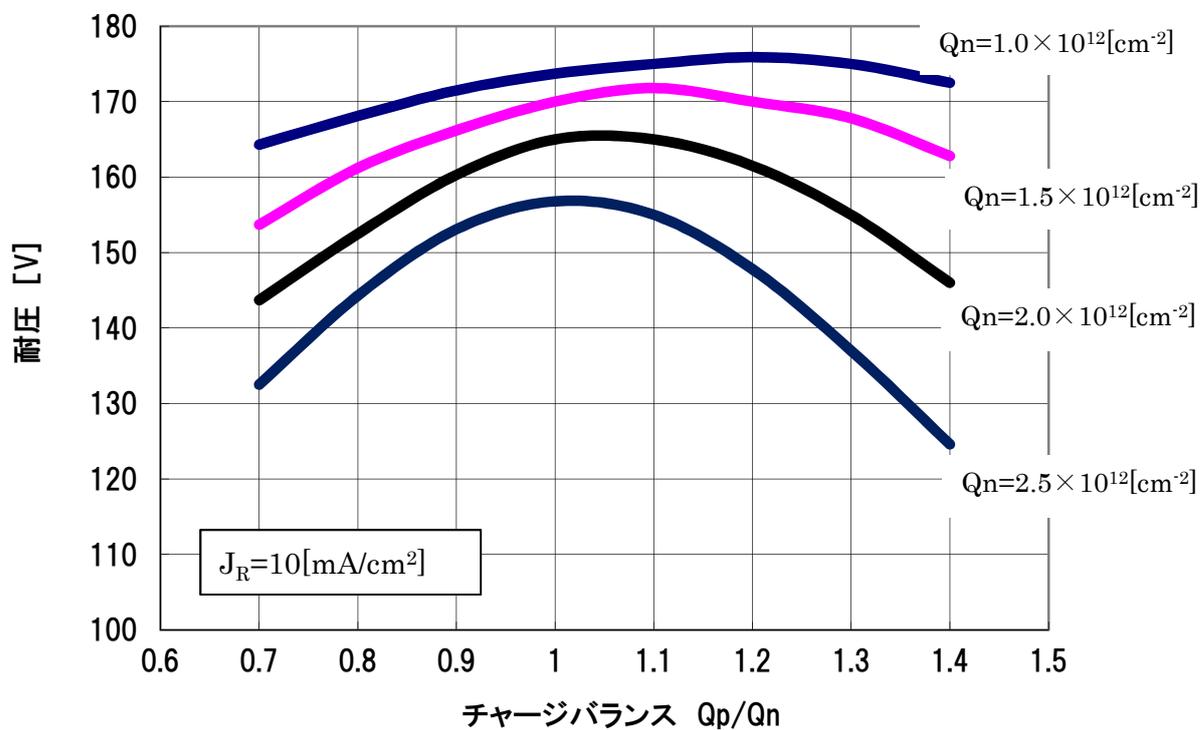


図 4-4 SJ-JBS の耐圧とチャージバランスの関係 (シミュレーション)

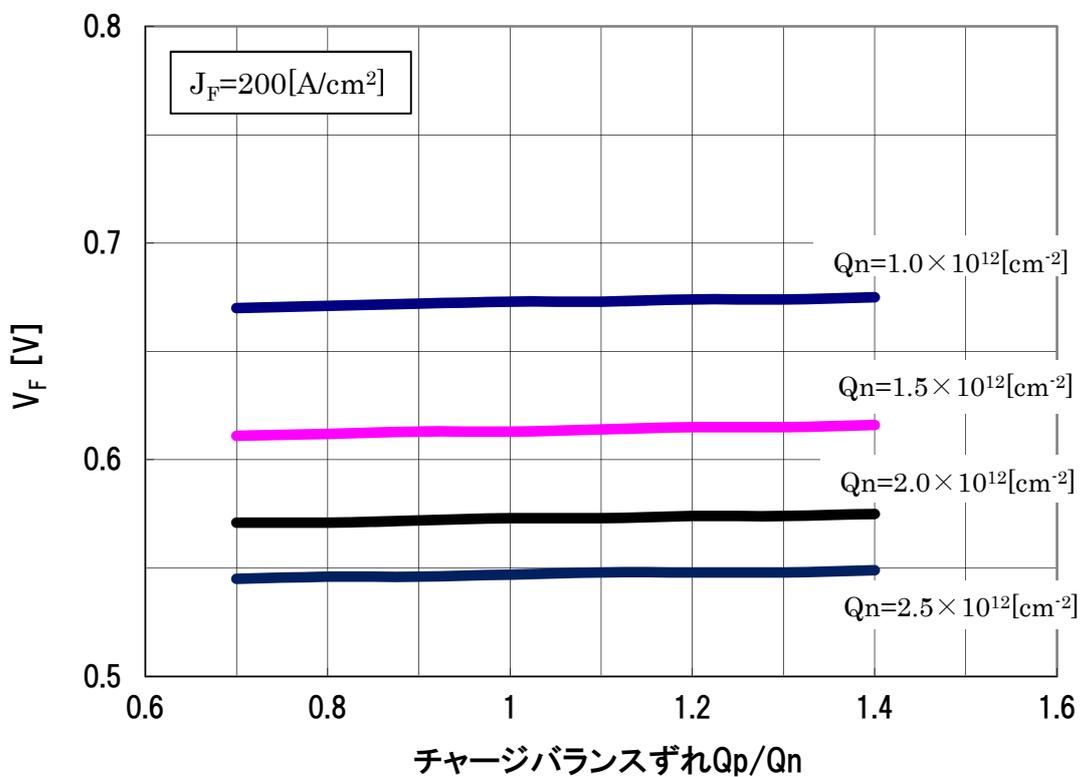


図 4-5 SJ-JBS の V_F とチャージバランスの関係 (シミュレーション)

シミュレーションの耐圧値は、デバイスの特性選別時の測定誤差を考慮し、 $120 \times 1.1 = 132$ [V]以上を本デバイス設計上の合格判断基準とした。図 4-4 より分かるように、耐圧値は、上述の Q_n 値の上限値である 2.5×10^{12} [cm⁻²] では、チャージバランスずれが 25 [%]以上あると所望の耐圧 (135 [V]) 以下になってしまうが、 Q_n 値の絶対値が 2×10^{12} [cm⁻²]以下ならば、30 [%]程度のチャージバランスずれが発生しても、所望の耐圧が確保される。すなわち、チャージバランスずれに対する耐圧設計マージンが増加する。

順方向電圧 V_F は Q_n 値一定であれば、図 4-5 に示したように Q_p 値にはほぼ依存せず一定である (Q_p 値によるチャージバランスずれは V_F 特性に影響を与えない)。 Q_n 値を増大させた場合は、電子のキャリア量が増加するため、 V_F 値は下がることになる。耐圧のチャージバランスマージンを ± 30 [%]確保できる $Q_n = 2 \times 10^{12}$ [cm⁻²]の条件では $\Phi_{bn} = 0.68$ [eV] 時に $V_F = 0.57$ [V]が期待できる。

チャージバランスずれと耐圧の関係をを更に詳しく解説するために、図 4-6 に $Q_n = 2.5 \times 10^{12}$ [cm⁻²]時の、P 過多チャージバランスずれ ($Q_p/Q_n = 1.3$)、チャージバランス ($Q_p/Q_n = 1.0$)、N 過多チャージバランスずれ ($Q_p/Q_n = 0.7$) 状態における N 型メサ領域中央部と P カラム中央部のデバイス深さ方向の $V_R = 100$ [V]時の電界分布を示す。以下、 Q_p/Q_n 値を Q_p 比と称する。

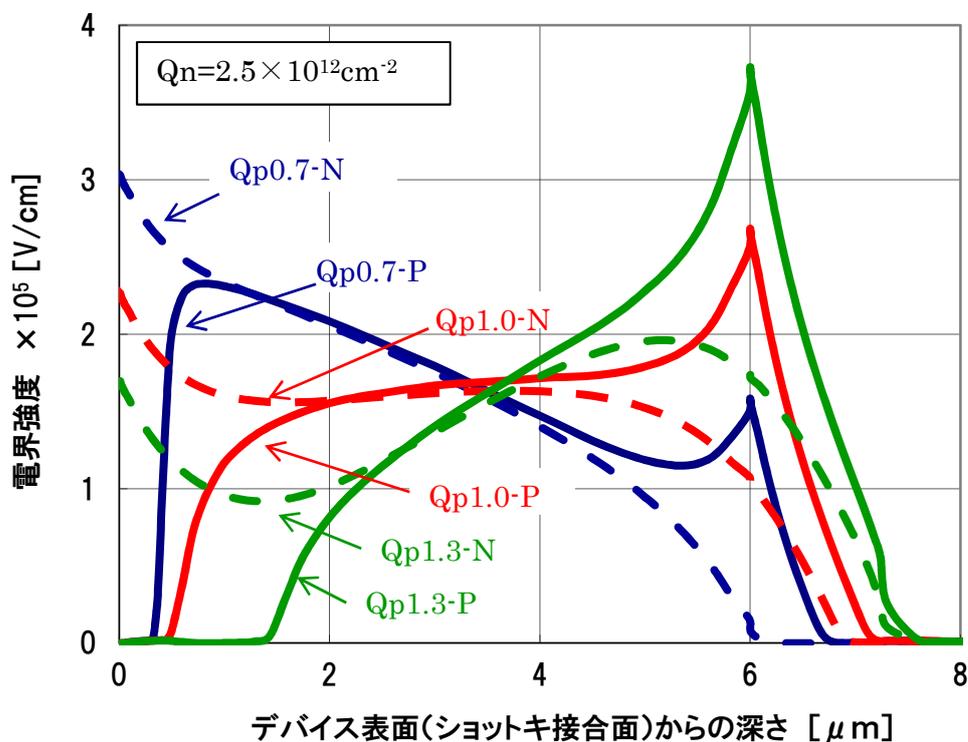


図 4-6 SJ-JBS $Q_n = 2.5 \times 10^{12}$ [cm⁻²] Q_p 比 0.7, 1.0, 1.3 での $V_R = 100$ [V]時の電界分布 (シミュレーション)

図 4-6 より判るように、P 過多 (Q_p 比 1.3) の場合、N 型メサ領域中央部は完全に空乏化しているため、ショットキ接合面の電界強度がピンチオフ効果により低く抑えられている。そのため、逆方向漏れ電流密度 J_R が低く抑えられる。これに対し P カラム中央部においては、デバイス表面部 ($\leq 1.4[\mu\text{m}]$) は空乏化していないため電界強度は 0 となるが、縦方向の空乏層幅がその分浅くなるため、P カラム底部 (図 4-6 の深さ $6[\mu\text{m}]$ 点) の電界強度が大きな値となる。すなわち P 過多の場合は P カラム底部領域で耐圧決定することとなる。

チャージバランス (Q_p 比 1.0) の場合、N 型メサ領域中央部のデバイス表面の電界強度がピンチオフ効果により低く抑えられているだけでなく、P カラム中央部も空乏化している。このため、P カラム底部の電界強度も P 過多の場合と比較して低く抑えられている。すなわちデバイス活性部全体の電界強度がほぼ均一となるため、高い耐圧と低い J_R が実現できる。

N 過多 (Q_p 比 0.7) の場合、N 型メサ領域中央部のデバイス表面はピンチオフ効果がほとんど期待できないため、高い電界強度を示す。そのため、 J_R の値も高いものとなる。逆に P カラム中央部は完全に空乏化しているため、P カラム底部の電界強度は低くなる。

以上を表 4-1 にまとめる。

表 4-1 $Q_n=2.5 \times 10^{12}[\text{cm}^{-2}]$ 時のチャージバランスずれとデバイス内部の電界

	Q_p 比 1.3 (P 過多)		Q_p 比 1.0 (チャージバランス)		Q_p 比 0.7 (N 過多)	
	表面	P カラム底	表面	P カラム底	表面	P カラム底
P カラム	0	高 $3.5 \times 10^5 \text{V/cm}$	低 $1.0 \times 10^5 \text{V/cm}$	中 $2.7 \times 10^5 \text{V/cm}$	中 $2.3 \times 10^5 \text{V/cm}$	低 $1.6 \times 10^5 \text{V/cm}$
N 型メサ 領域	低 $1.7 \times 10^5 \text{V/cm}$	中 $2.0 \times 10^5 \text{V/cm}$	中 $2.3 \times 10^5 \text{V/cm}$	低 $1.0 \times 10^5 \text{V/cm}$	高 $3.0 \times 10^5 \text{V/cm}$	0

Q_p 比が下がる ($1.3 \Rightarrow 1.0 \Rightarrow 0.7$) につれ、P カラム底部の電界強度は下がっていき、逆に N 型メサ領域表面部の電界強度が上がっていく。チャージバランス状態では、デバイス活性部全体で特段に電界強度が高い部位がなくなるため、高い耐圧を実現できることになる。

このようにチャージバランス状態が素子設計としては最適であることがわかるが、実際のデバイス設計においては、チャージバランスずれは、製造マージンとして考慮しなければならない。よってチャージバランスずれの状態、デバイス内部の電界強度の最大値を下げるには、Q 値を調整する必要がある。

図 4-7、図 4-8 には、 $Q_n=2 \times 10^{12}[\text{cm}^{-2}]$ 、 $1.5 \times 10^{12}[\text{cm}^{-2}]$ 時の P 過多チャージバランスずれ ($Q_p/Q_n=1.3$)、チャージバランス ($Q_p/Q_n=1.0$)、N 過多チャージバランスずれ ($Q_p/Q_n=0.7$) 状態における N 型メサ領域中央部と P カラム中央部のデバイス深さ方向の $V_R=100[\text{V}]$ 時の電界分布を示す。

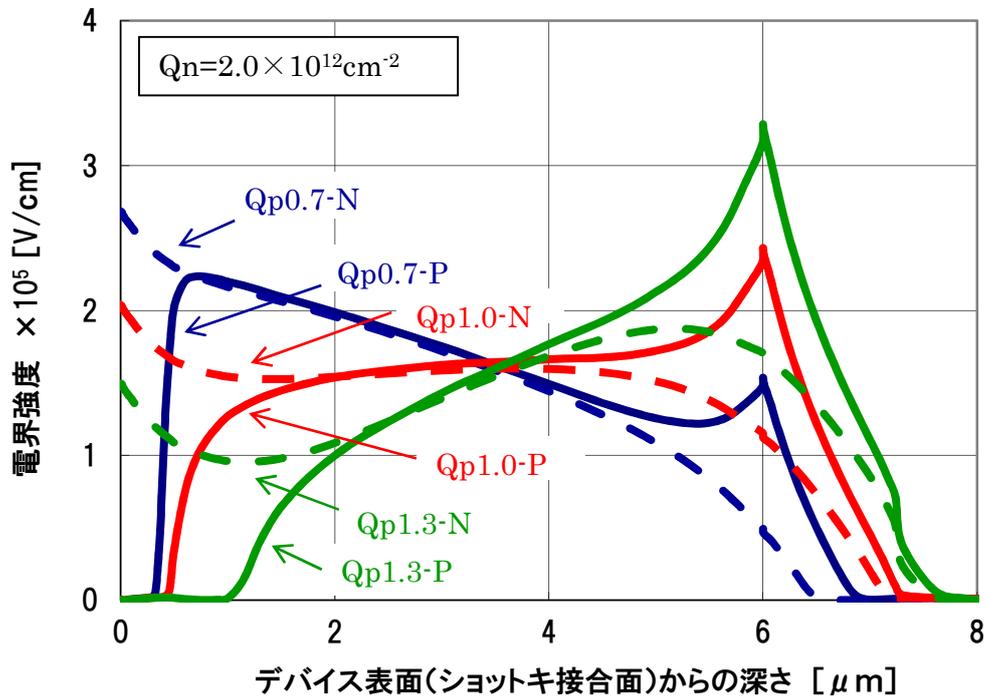


図 4-7 SJ-JBS、 $Q_n=2.0 \times 10^{12} [\text{cm}^{-2}]$ 、 Q_p 比 0.7, 1.0, 1.3 での $V_R=100[\text{V}]$ 時の電界分布 (シミュレーション)

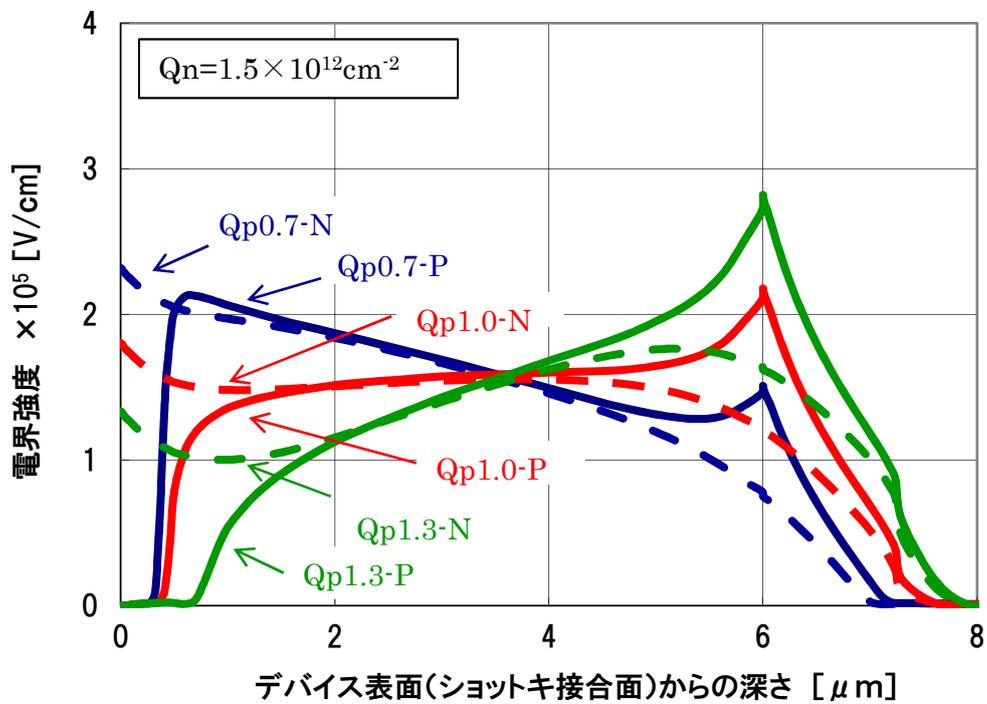


図 4-8 SJ-JBS、 $Q_n=1.5 \times 10^{12} [\text{cm}^{-2}]$ 、 Q_p 比 0.7, 1.0, 1.3 での $V_R=100[\text{V}]$ 時の電界分布 (シミュレーション)

Q_n 値を下げるにつれて、チャージバランスずれ状態でもデバイス内部の最大電界強度は低くなっていく。すなわち、チャージバランスずれに対する耐圧マージンが広がっていくことが分かる。また、N 型メサ領域部表面の電界強度が N 過多 (Q_p 比 0.7) の場合でも低く抑えられるため、 J_R の低減も可能となる。しかし、 V_F は Q_n 値を下げるにつれて増加する (図 4-5 参照) ので、最適 Q 値を設計する必要がある。

以上の考察から、チャージバランスずれを考慮したデバイス試作を行うためには、 $Q_n=1.5\times 10^{12}\sim 2.0\times 10^{12}[\text{cm}^{-2}]$ とすることが適切であることが検証できた。

よって、基本設計値を $Q_p=Q_n=2.0\times 10^{12}[\text{cm}^{-2}]$ とした上で、SJ-JBS の基本設計値は

$$N_{\text{DRIFT}}=8\times 10^{15}[\text{cm}^{-3}]$$

$$NW_m=2.5[\mu\text{m}]$$

$$N_a=2.5\times 10^{16}[\text{cm}^{-3}]$$

$$W_t=0.8[\mu\text{m}]$$

$$X_{jp}=6.0[\mu\text{m}]$$

と決定することができた。

4-4) SJ-JBS の周辺構造のデバイス設計

第 2 章でも述べたように、電力用 SBD においては周辺構造の設計が重要である。代表的な周辺構造であるフィールドリミットリング (FLR) 構造⁸⁾では、デバイスのアノード・カソード電極間に逆バイアスを印加した場合、水平方向に延伸した空乏層が活性部に最近接の P 型領域に到達すると、最近接 P 型領域と N 型ドリフト層で形成される PN 接合からも空乏層が延伸することで、水平方向の空乏層幅を確保している。更に逆バイアス電圧が増加すると、次の P 型領域と N 型ドリフト層で形成される PN 接合からも空乏層が延伸することで水平方向の空乏層幅は広がっていく。

しかし、SJ 構造においては、通常構造の理論限界を超えた N 型ドリフト層の不純物濃度 N_{DRIFT} を用いているため、上記の FLR では耐圧を確保することは不可能である。すなわち、次の PN 接合に空乏層が到達する前に臨界電界強度に達してしまう。著者は SJ 構造における終端部構造にも SJ 構造を採用し、かつ、FLR 構造の原理を適用した。すなわち、素子分割部に向かって徐々にカソード電位に近づいていくように、P 型領域がアノード電極と接触しない (電圧) フローティング (浮遊電位) 構造とした。さらには、各 P 型領域の表面部には高不純物濃度で深さの浅い P 中継領域を設けることで、小さな逆バイアス電圧で水平方向の空乏層が隣接する P カラム/N 型メサ領域接合へ到達しやすくした⁹⁾。図 4-9 に構造図を示し、図 4-10 に $Q_p/Q_n=1.0$ ($Q=2.0\times 10^{12}[\text{cm}^{-2}]$) のチャージバランス状態での素子表面部の逆バイアス印加時 ($V_R=100\text{V}$ 、 120V 、 $164\text{V}=\text{アバランシェ降伏時}$) の電位分布を、図 4-11 には 164V 時の電界分布を示す。P カラムは 20 本を設定した。

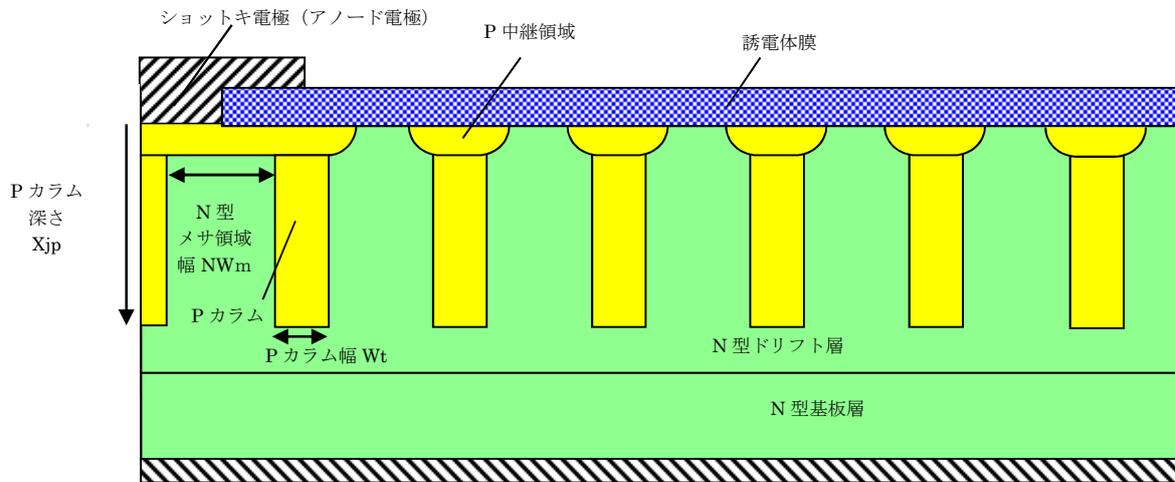


図 4-9 SJ-JBS の素子周辺構造の断面図

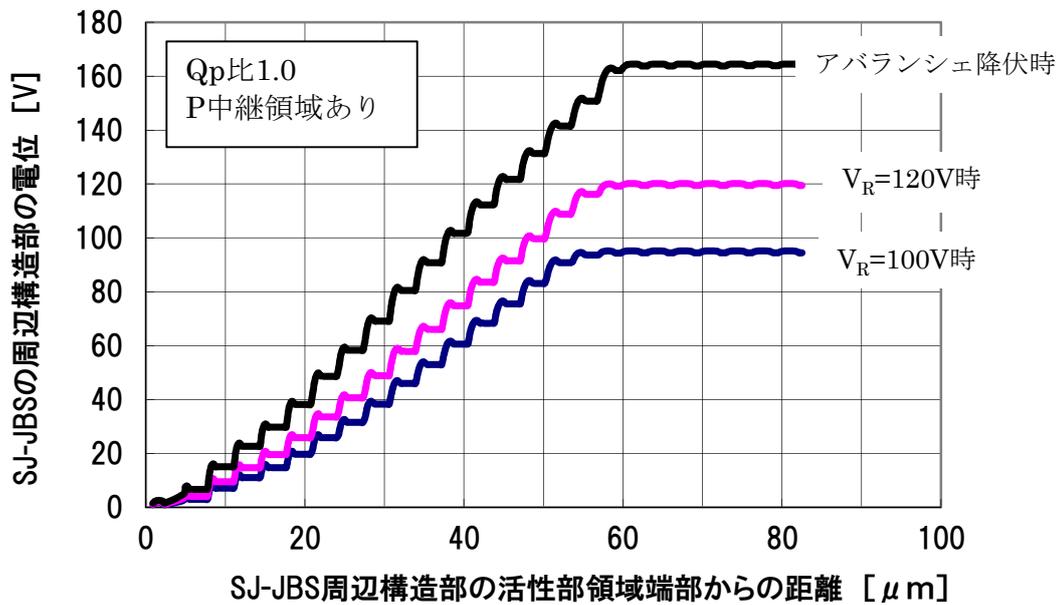


図 4-10 SJ-JBS 周辺構造部の電位分布
 Q_p/Q_n 比 1.0、P 中継領域あり (シミュレーション)

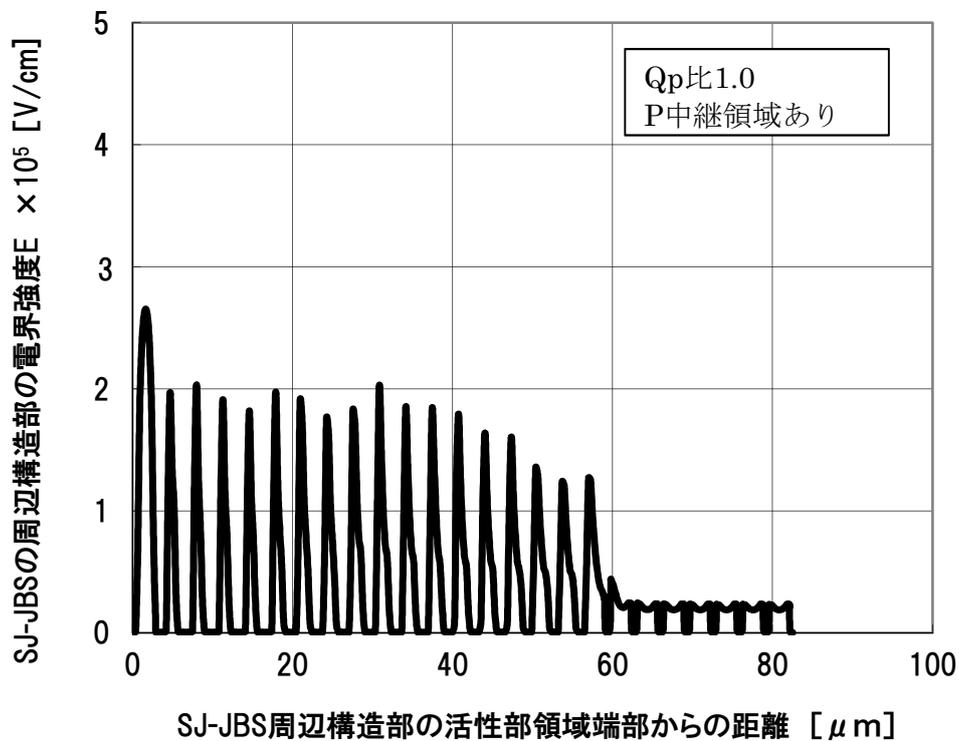


図 4-11 SJ-JBS アバランシェ降伏時の周辺構造部の電界分布
 Q_p/Q_n 比 1.0、P 中継領域あり (シミュレーション)

周辺構造部の耐圧としては 164[V] と十分な値となり、かつ、 V_R を増加するにつれ、各 P カラム/N 型メサ領域接合間にはほぼ均等な電圧が印可され、周辺構造の水平方向 60[μm] の距離まで電圧が印可 (= 空乏層が延伸) していることがわかる。電界強度もほぼ均一な電界強度が各 P カラム/N 型メサ領域接合に印可されている。すなわち局所的に高電界強度となる領域がなく、終端構造全体で電圧分担 (電界分担) されていることがわかる。このときの終端部の耐圧は、素子活性部耐圧と同等の耐圧を示し、耐圧設計として良好であるといえる。

次に、各 P カラム表面に設置した P 中継領域の効果を見るために、P 中継領域なしの場合の $Q_p/Q_n=1.0$ (チャージバランス状態。 $Q=2.0 \times 10^{12}[\text{cm}^{-2}]$) での素子表面部の逆バイアス印加時 ($V_R=100\text{V}$ 、 120V 、 157V =アバランシェ降伏時) の電位分布を図 4-12 に、 $157[\text{V}]$ 時の電界分布を図 4-13 に示す。

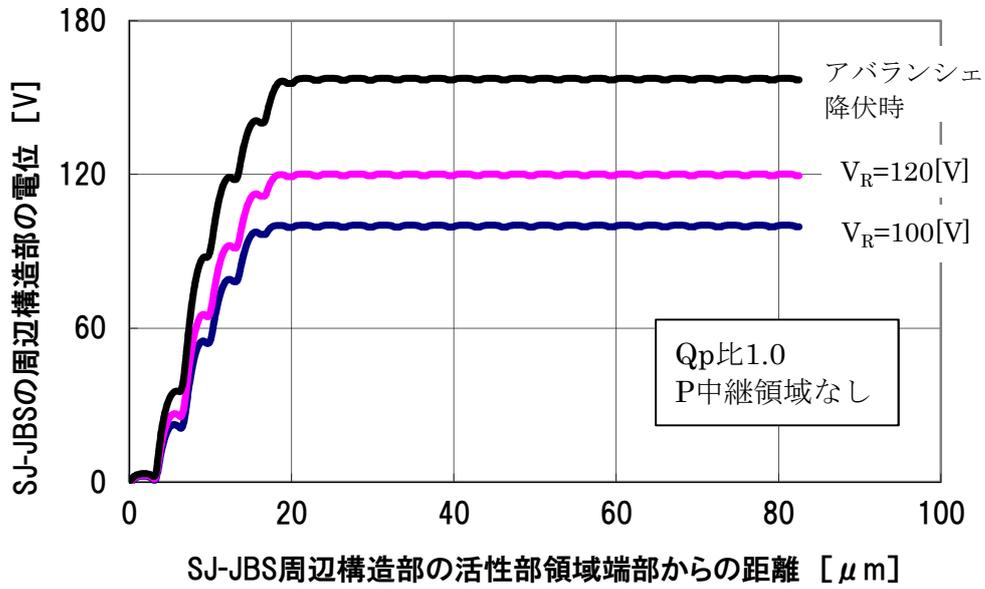


図 4-12 SJ-JBS 周辺構造部の電位分布
 Q_p/Q_n 比 1.0、P 中継領域なし (シミュレーション)

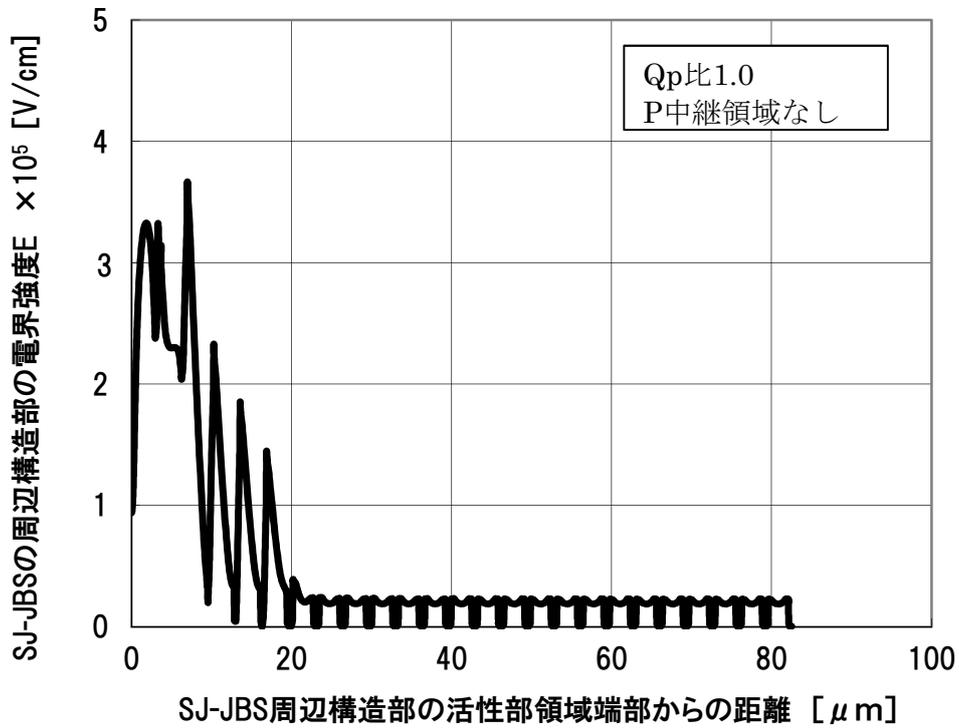


図 4-13 SJ-JBS アバランシェ降伏時の周辺構造部の電界分布
 Q_p/Q_n 比 1.0、P 中継領域なし (シミュレーション)

P 中継領域がない場合、素子分割部に向かって延伸していく空乏層は各 P カラム/N 型メサ領域が空乏化しない限り、次の接合に延伸していかない。そのため、各 P カラム/N 型メサ領域接合部に印可される電圧や電界は P 中継領域がある場合より大きくなる。図 4-12 から判るように、周辺構造の活性部領域からの距離 20[μm]までしか電圧が印加 (=空乏層が延伸) されておらず、電界強度も最大で $3.7 \times 10^5 [\text{V}/\text{cm}]$ と局所的に高い電界強度となっており、終端構造全体で電圧分担 (電界分担) がされていない。また、耐圧値そのものも 157[V] と素子活性部耐圧の 164[V] より低いため、素子周辺構造部へのブレイクダウン電流集中による素子破壊が懸念される。以上より P 中継領域の設置が耐圧確保に対して極めて有効であることが検証できた。

SJ-JBS のデバイス設計という観点からは、チャージバランスと界面準位密度の影響に対し、耐圧確保が出来ていることの確認も必要である。図 4-14 にチャージバランスずれの指標である Q_p/Q_n 比を 0.7~1.3 とし、P 中継領域ありの構造で、界面準位密度を $-2 \times 10^{10} [\text{cm}^{-2}]$ と $-2 \times 10^{11} [\text{cm}^{-2}]$ とした場合と、P 中継領域なし構造で界面準位密度を $-2 \times 10^{11} [\text{cm}^{-2}]$ とした場合の耐圧シミュレーション結果を示す。

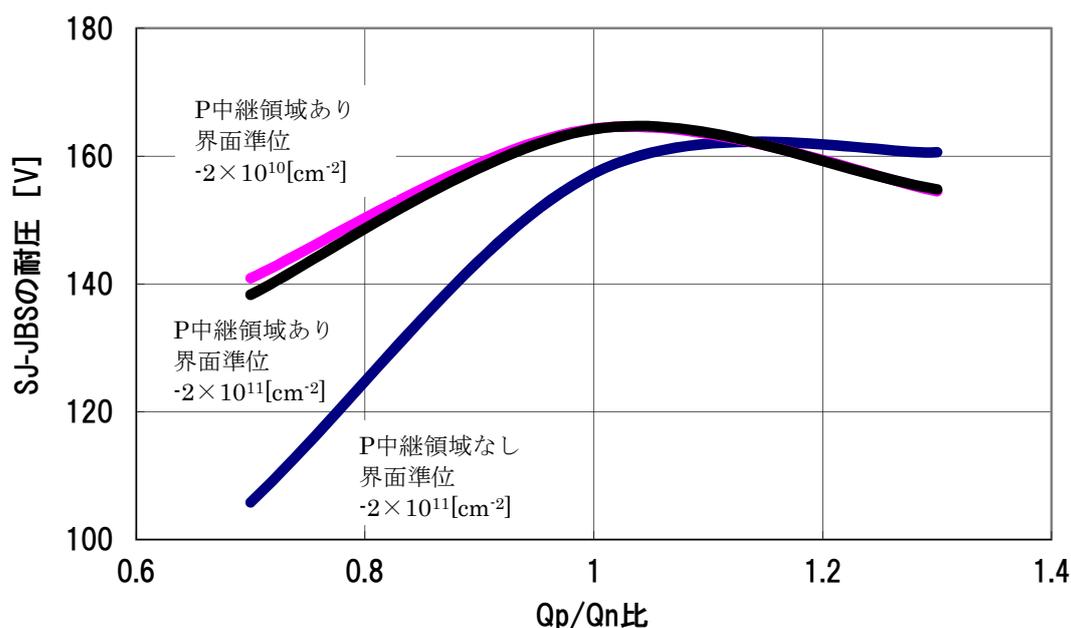


図 4-14 $Q_n=2 \times 10^{12} [\text{cm}^{-2}]$ 時の SJ-JBS 周辺構造のチャージバランスと耐圧 (シミュレーション)

チャージバランスがずれることで、 $Q_p/Q_n=1.0$ の場合より耐圧は低下するものの、P 中継領域あり構造の場合、 Q_p/Q_n 比が 0.7~1.3 の範囲で 140[V]以上の耐圧が確保されている。しかし、P 中継領域なし構造では、大幅な耐圧低下が $Q_p/Q_n=0.7$ の場合にみられる。これは N 過多であるため、空乏層がより素子分割部方向に延びづらくなるためである。図 4-15、図 4-16 には、界面準位密度 $-2 \times 10^{11} [\text{cm}^{-2}]$ での $Q_p/Q_n=0.7$ の場合の P 中継領域なし構造にお

ける素子表面部の逆バイアス印加時 ($V_R=100[V]$ 、アバランシェ降伏時= $105[V]$) の電位分布および電界分布を示す。

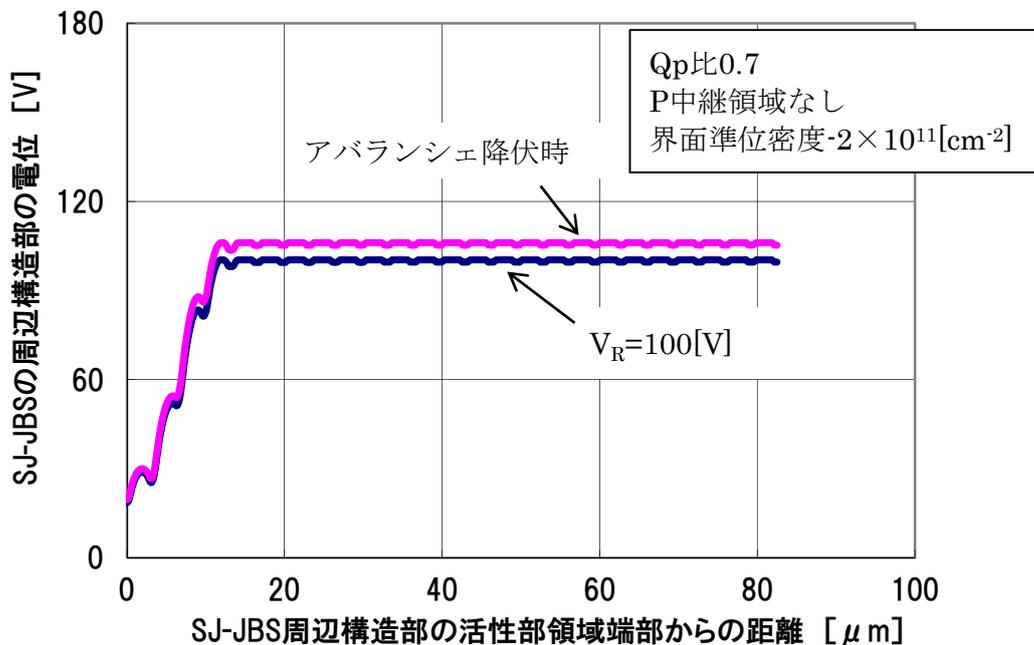


図 4-15 SJ-JBS 周辺構造部の電位分布 Q_p/Q_n 比 0.7、P 中継領域なし (シミュレーション)

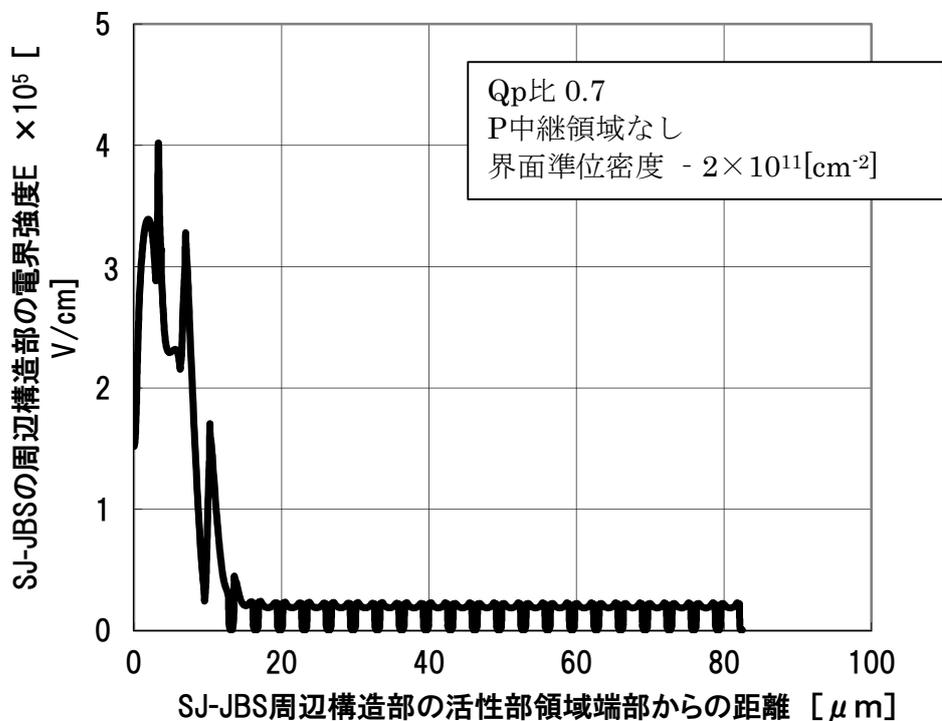


図 4-16 SJ-JBS アバランシェ降伏時の周辺構造部の電界分布 Q_p/Q_n 比 0.7 時 P 中継領域なし (シミュレーション)

P 中継領域なし構造では空乏層がチップ分割部方向へ延伸しづらいために、電界強度が $4 \times 10^5 \text{V/cm}$ にもなる領域が発生し、耐圧がわずか 105V という結果となった。

設計の項の最後に、SJ-JBS の平面構造について述べる。

本論文において試作した SJ-JBS は、P カラムの形成法として、N 型ドリフト層にトレンチを形成し、そのトレンチ内に単結晶シリコンを選択エピタキシャル成長させる。この方法により単位構造の微細化を図っている（詳細は製造工程設計の項で解説する）。この選択エピタキシャル成長時に、トレンチ内部の結晶面の面方位が均一であることが重要である。この要件を実現するために、**図 4-17** の模式図に示すようなトレンチ平面パターンを設計した。シリコンウェーハの主面の結晶面方位を (100) とし、各トレンチを図のように直交させることで、トレンチの側壁、底部とも (100) 結晶面となるようにした。こうすることで、P 型を選択エピタキシャル成長が均一になり、エピタキシャル成長時のボイドが発生しないことを断面 SEM 観察で確認した。また、ボイドが発生しない様に選択エピタキシャル成長をさせるためには、成長レートを平積みの場合に比べ、低く抑えることも重要である **11)**。これは、成長速度が速すぎる場合、トレンチ底面と側壁からトレンチ内に P 型シリコン層が成長していく際に、トレンチ開口部が先に塞がってしまうことで、トレンチ内部に空隙（ボイド）が残ってしまう現象を回避するためである。

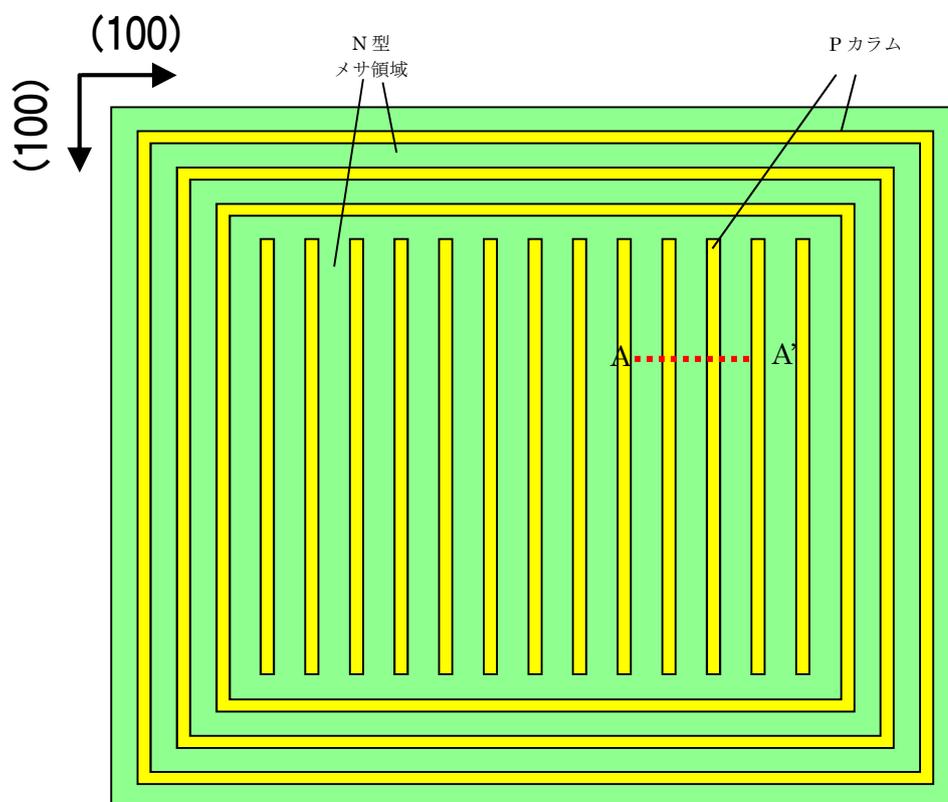


図 4-17 SJ-JBS の平面構造の模式図

図 4-18 に、選択エピタキシャル成長後の図 4-17 の A-A'の断面 SEM 写真を示す。トレンチ埋め込み領域をわかりやすくするため、断面露出後にダッシュエッチ処理を行っている。図中のトレンチ埋め込み領域は境界が認められない。すなわち良好なエピタキシャル成長により P カラムが形成されているといえる。そのため、図中の上部の SiO₂ マスク部から P カラム部の位置を推定し、図中の点線で示している。

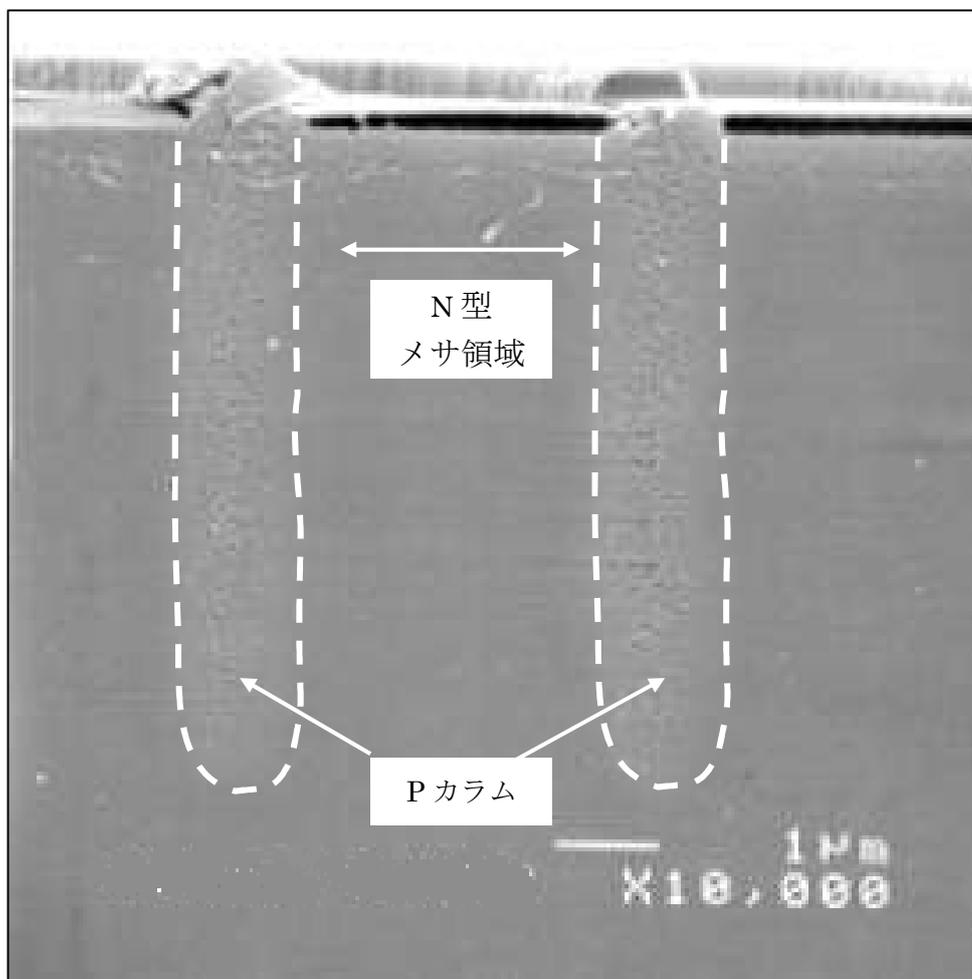


図 4-18 試作した SJ-JBS の活性部断面構造の SEM 像

4-5) 製造工程設計

図 4-19 にトレンチ埋め込み法を用いて作製した SJ-JBS の製造工程図を示す。

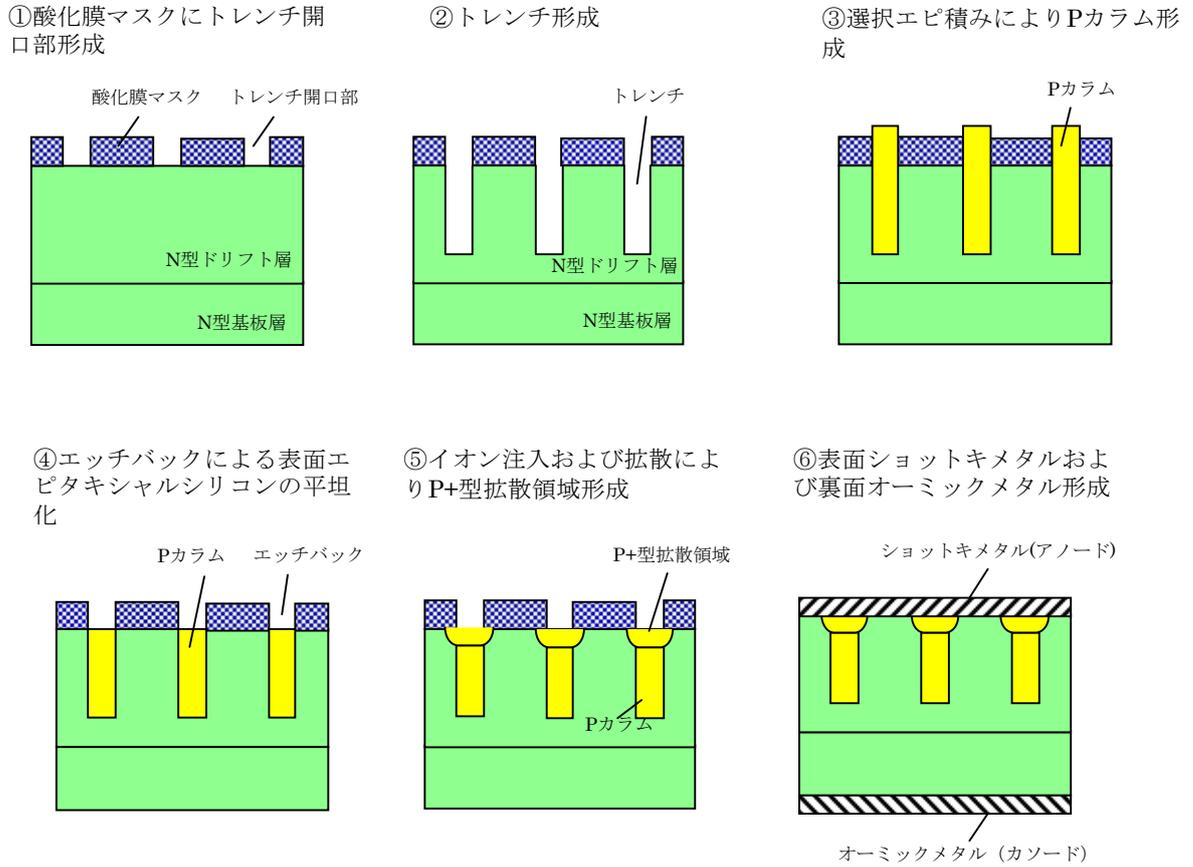


図 4-19 SJ-JBS の試作プロセスフロー

4-6) 試作結果

4-6-1) デバイス特性

試作の P カラムの不純物濃度 (狙い値) と N 型ドリフト層の不純物濃度と厚さを表 4-2 に示す。

表 4-2 SJ-JBS の P カラム、N 型ドリフト層の設計値と試作水準

条件	P カラム 不純物濃度(狙い)	N 型ドリフト層 不純物濃度	N 型ドリフト層 厚さ
シミュレーション	$2.5 \times 10^{16} [\text{cm}^{-3}]$	$7 \times 10^{15} [\text{cm}^{-3}]$	11[μm]
条件 A	$1.8 \times 10^{16} [\text{cm}^{-3}]$	$7 \times 10^{15} [\text{cm}^{-3}]$	11[μm]
条件 B	$2.5 \times 10^{16} [\text{cm}^{-3}]$	$7 \times 10^{15} [\text{cm}^{-3}]$	9[μm]
条件 C	$2.5 \times 10^{16} [\text{cm}^{-3}]$	$9 \times 10^{15} [\text{cm}^{-3}]$	9[μm]

4-3、4-4節で決定した基本設計値を基に、試作は $X_{jp}=6[\mu\text{m}]$ 、 $W_t=0.6[\mu\text{m}]$ として実施した。

チップサイズは $2\text{mm}\times 2\text{mm}$ の正方形 (チップ面積 4mm^2) とし、周辺領域部を除いたチップ活性面積 (ショットキ接合部+Pカラム) はおおよそ 2.6mm^2 である。

水準は

$$Q_p=0.6\times 10^{-4}[\text{cm}]\times 2.5\times 10^{16}[\text{cm}^{-3}]=1.5\times 10^{12}[\text{cm}^{-2}]$$

$$N_{\text{DRIFT}}=7\times 10^{15}[\text{cm}^{-3}]$$

$$NW_m=1.3[\mu\text{m}]\sim 3.5[\mu\text{m}]$$

$$N_a=2.5\times 10^{16}[\text{cm}^{-3}]$$

を標準とし、Pカラムのトレンチ埋め込み時の不純物ドーピング量は $N_a=2.5\times 10^{16}[\text{cm}^{-3}]$ の標準条件以外に $N_a=1.8\times 10^{16}[\text{cm}^{-3}]$ の条件を設けた。

また N型ドリフト層の不純物濃度条件として $N_{\text{DRIFT}}=7\times 10^{15}[\text{cm}^{-3}]$ の標準条件以外に $N_{\text{DRIFT}}=9\times 10^{15}[\text{cm}^{-3}]$ の条件を設けた。

4-3、4-4節の設計シミュレーションにおいては、Pカラムの不純物濃度と N型ドリフト層の不純物濃度を振って検証を実施したが、実際の試作においては Pカラムや N型ドリフト層の不純物濃度を細かく設定して試作を行うことは多数のウェーハを用意する必要があるため、マスク設計で精度良く設定が可能な N型メサ領域幅 NW_m を変えたパターンを用意することで行った。ショットキ金属は Mo を用い、ショットキ障壁高さ Φ_{bn} の実測値は $0.68[\text{eV}]\sim 0.70[\text{eV}]$ であった。

実測した逆方向漏れ電流-電圧特性を図 4-20 に示す。同一ウェーハ上に形成された従来構造 SBD においては $40[\text{V}]$ の耐圧しかないのに対し、SJ-JBS のチャージバランスが確保された条件では、 $160[\text{V}]$ の耐圧を示した。また逆方向漏れ電流 I_R の逆方向バイアス V_R に対する依存性も、従来構造ではショットキ障壁高さ Φ_{bn} の低下効果で V_R が $0[\text{V}]\sim 38[\text{V}]$ まで増加する間に 1桁近く増加するのに対し、SJ-JBS では殆ど増加せず、 I_R が 1桁増加するのは V_R が $140[\text{V}]$ に達したときである。すなわち SJ-JBS においては設計通りピンチオフ効果が顕著に現れており、優れた逆方向漏れ電流-電圧特性が実現できている。

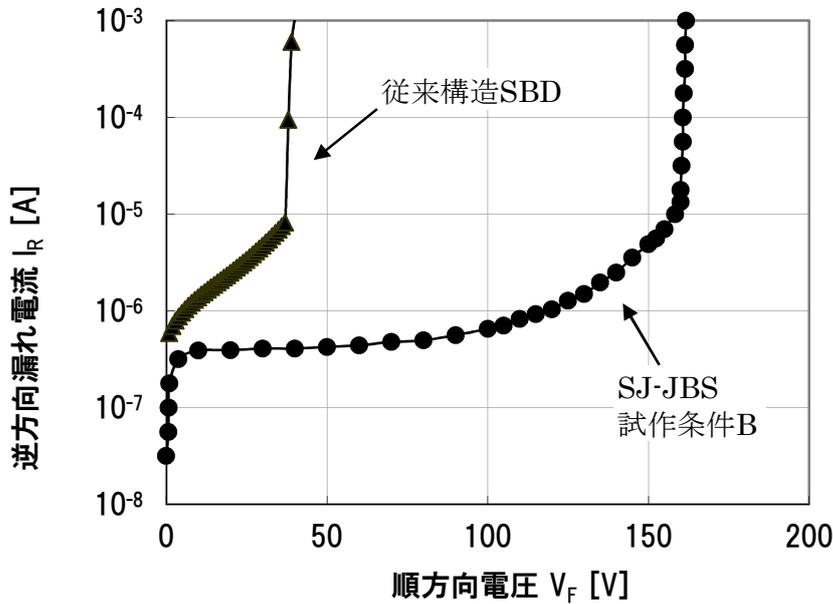


図 4-20 試作した SJ-JBS の逆方向特性 (試作条件 B)

次に順方向電流－電圧特性を図 4-21 に示す。同一ウェーハ上に作製された従来構造 SBD は P カラムがなくショットキ整流面積が大きいので、順方向電圧降下 V_F は SJ-JBS よりも低くなっているが、耐圧が 40[V]しかなく、 Φ_{bn} の低下現象による逆方向漏れ電流 I_R の増加率も大きい。SJ-JBS の $J_F=200[\text{A}/\text{cm}^2]$ に相当する $I_F=5[\text{A}]$ 時の V_F 値は 0.69[V]であった。

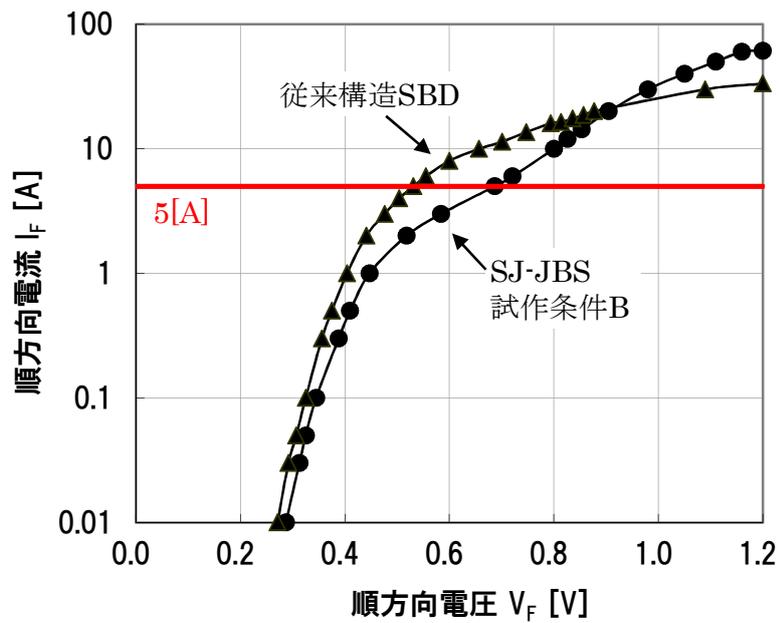


図 4-21 試作した SJ-JBS の順方向特性 (試作条件 B)

図 4-22 に試作条件 B で作製したデバイスの逆方向回復特性を、順方向電流値を変えて測定した結果を示す。順方向電流値を変化させて測定した理由は、SJ-JBS の P カラムからの少数キャリアの大量注入により、逆方向回復時間 t_{rr} が著しく長くなることがないか確認するためである。全ての試験条件において同じような逆方向回復電流波形と 16[ns]の逆方向回復時間を示している。但し $I_F=14.8[A]$ ($J_F=590[A/cm^2]$) における逆方向回復ピーク電流は、 $I_F=8.5[A]$ ($J_F=340[A/cm^2]$) 以下でのピーク電流よりもわずかに大きくなっている。しかしながら、一般的な電力用ダイオードの順方向電流密度が $200[A/cm^2]$ であることを鑑みると、 $J_F=590[A/cm^2]$ は 3 倍近い高電流密度であり、この電流密度においてわずかにキャリアの注入が起こっていることは、実使用上は問題とはならないレベルであることが確認できた。

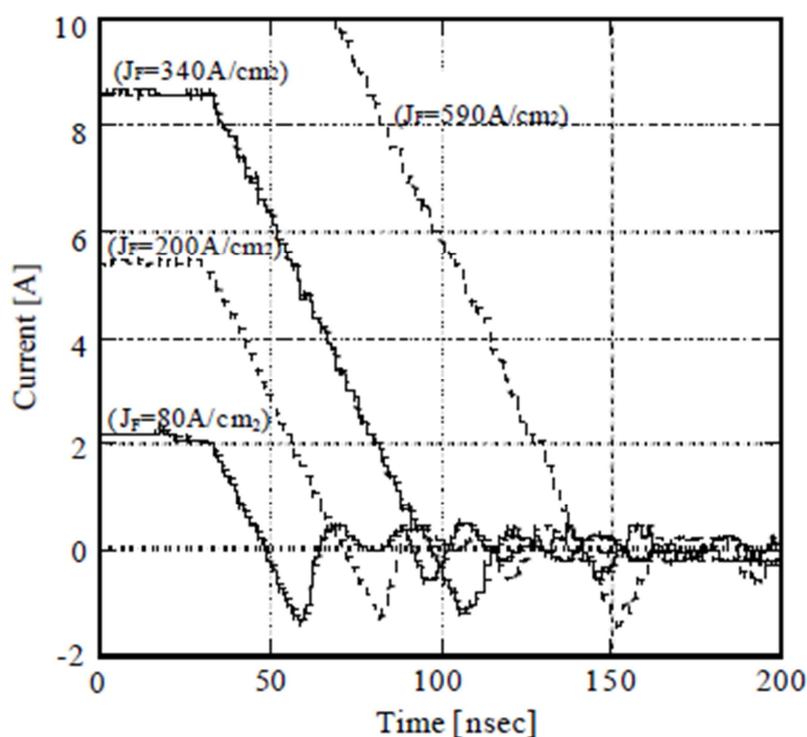


図 4-22 試作した SJ-JBS の逆方向回復特性 (試作条件 B)

4-6-2) 特性解析

試作においてチャージバランス条件が満足されているかどうかを確認するために、N 型メサ領域幅をパラメータとして耐圧とチャージバランスずれの関係をシミュレーションにより調査した。試作条件における狙いの Q_p 値と等しくなる Q_n 値 ($=N_{DRIFT} \times NW_m$) に対応する NW_m 値を 1 として規格化してある。図 4-23 に N 型メサ領域幅に対する耐圧の相関、図 4-24 には規格化した NW_m 値に対する V_F の相関を示す。

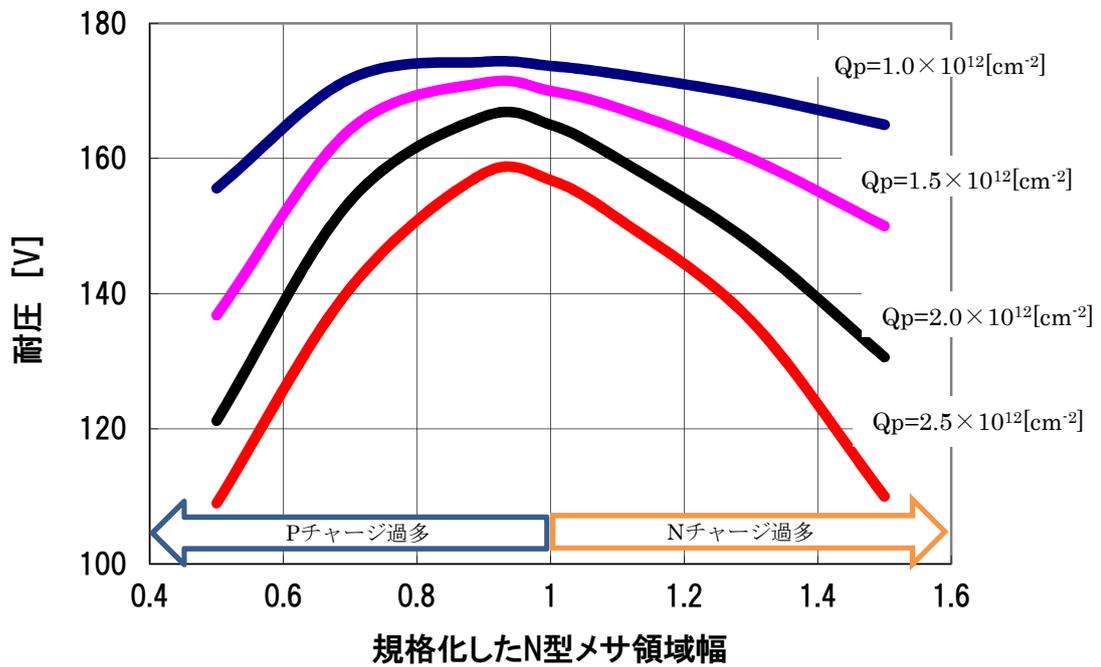


図 4-23 N 型メサ領域幅を変動させた場合の SJ-JBS の耐圧シミュレーション結果

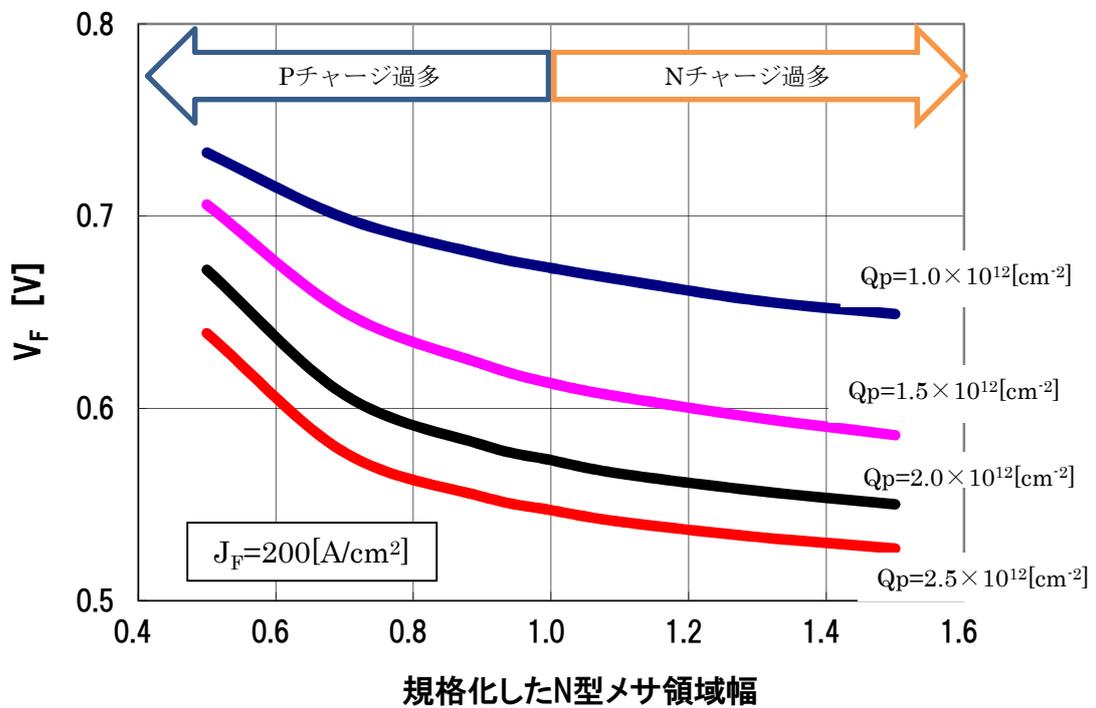


図 4-24 N 型メサ領域幅を変動させた場合の SJ-JBS の V_F シミュレーション結果

先ず、標準値として設定した $Q_p=1.5\times 10^{12}[\text{cm}^{-2}]$ の場合について解説する。

N 型メサ領域幅を振ってチャージバランス状態を N 過多や P 過多に変えた場合、耐圧はチャージバランス状態をピークとする山型分布となり、チャージバランスずれに対する耐圧マージンとしては $\pm 50[\%]$ 程度を確保できるシミュレーション結果である。この結果は $Q_n=1.5\times 10^{12}[\text{cm}^{-2}]$ 一定として Q_p 値を変えたシミュレーションを行った結果 (図 4-4、図 4-5 参照) と同程度の耐圧マージンが得られることが確認できた。 V_F に関しては P チャージ過多状態から N チャージ過多状態になるにつれ、N 型メサ領域幅が増えるため一元的に低下する。製造マージンとして設定した $\pm 30[\%]$ の範囲内での V_F の変動幅は $0.595[\text{V}] \sim 0.613[\text{V}] \sim 0.650[\text{V}]$ であり、 $\pm 5[\%]$ 程度に収まる。

次に Q_p 値を $1.5\times 10^{12}[\text{cm}^{-2}]$ から増加あるいは低減させていった場合について解説する。 Q_p 値を増加させていくと、耐圧のチャージバランス依存性は同一であるものの、チャージバランスずれに対する耐圧マージンは減少し、 Q_p 値が $2.0\times 10^{12}[\text{cm}^{-2}]$ の場合、耐圧マージンとしては $\pm 40[\%]$ 程度になり、 Q_p 値が $2.5\times 10^{12}[\text{cm}^{-2}]$ の場合、耐圧マージンとしては $\pm 30[\%]$ 以下となる。 V_F に関しては、N 型不純物濃度の絶対値が増加するために低下するものの、上記の耐圧の確保の観点から、 Q_p 値は $1.5\times 10^{12}[\text{cm}^{-2}] \sim 2.0\times 10^{12}[\text{cm}^{-2}]$ とする設計は妥当である。

上記の再検証したシミュレーション結果と試作結果を比較したものを図 4-25 に示す。但し N 型メサ領域幅は、試作条件 A の場合は、 $NW_m=1.6[\mu\text{m}]$ を 1 として規格化してある。同様に試作条件 B の場合は $NW_m=2.4[\mu\text{m}]$ を、試作条件 C の場合は $NW_m=1.8[\mu\text{m}]$ を 1 として規格化した。条件の違いはあれ、規格化した N 型メサ領域幅 1 の時点において耐圧値はピークとなるはずである。試作条件 A では、規格化した N 型メサ領域幅が 1 の点では耐圧がピークとはならず、より狭い N 型メサ領域幅の点で耐圧ピークを迎えると推定される結果となった。このことから推定されることは、埋め込み P カラムの不純物濃度が低いことである。SIMS 分析結果から、試作条件 A の P カラムの不純物濃度は設計値の 1/10 の不純物濃度であることがわかった。よって試作条件 A における実験結果は妥当なものであることがわかった。一方、埋め込み P カラム領域の不純物濃度を高く設定した試作条件 B では耐圧 161[V] が得られ、シミュレーションと同様の結果を得ている。

また、試作条件 C は N 型ドリフト層の不純物濃度が高い、すなわち Q_n 値が大きいため、耐圧の絶対値は 130[V] であるが、チャージバランス状態を反映した SJ 構造特有の耐圧ーチャージバランス相関は得られている。

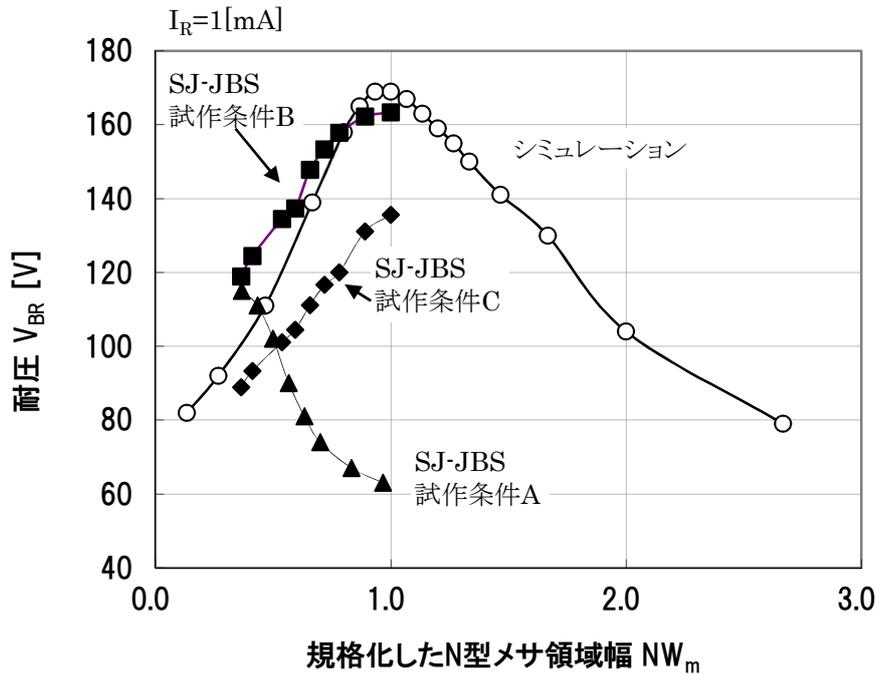


図 4-25 SJ-JBS の耐圧の試作とシミュレーション結果の比較

更に、試作品の SBD の代表的な特性指標である $V_F \cdot J_R$ トレードオフを評価した。図 4-26 に $V_F \cdot J_R$ トレードオフの関係を示す。但し、図 4-26 における試作条件 A' とは、P カラム幅 $W_t=1.2[\mu\text{m}]$ の試料を測定したデータである。 $W_t=0.6[\mu\text{m}]$ で試作した試作条件 A のデバイスは P 型チャージ量が不足していたため、 $W_t=1.2[\mu\text{m}]$ として P 型チャージ量を増加させた試作条件 A' のデバイスの評価した。試作条件 A' の耐圧は 130[V] を確保している。 V_F は 120V 級従来構造 SBD よりもわずかに低いだけであるが、逆方向漏れ電流は 83[%] 低減された。設計値通りにチャージバランスが実現できた試作条件 B のデバイスでは最も高い耐圧 161[V]、逆方向漏れ電流 $3.3 \times 10^{-5}[\text{A}/\text{cm}^2]$ 、順方向電圧 0.69[V] ($J_F=200[\text{A}/\text{cm}^2]$) が得られた。同様に、設計値通りにチャージバランスが実現できた試作条件 C においては、低 V_F 化を図るために N 型ドリフト層の不純物濃度をを増加したため、 $V_F=0.62[\text{V}]$ 、耐圧 130[V]、 $J_R=4.0 \times 10^{-5}[\text{A}/\text{cm}^2]$ が得られた。従来構造 120V 級 SBD と比較すると、条件 B と C においては、逆方向漏れ電流はわずかに改善されるだけであるが、順方向電圧は大幅に改善された。

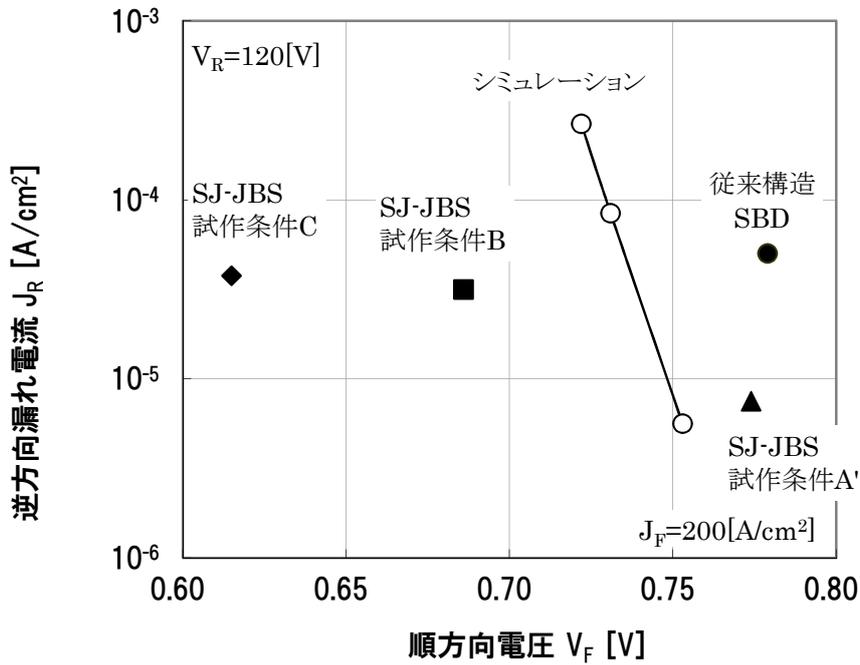


図 4-26 SJ-JBS の V_F - J_R トレードオフの試作とシミュレーション結果の比較

4-7) 電源回路評価

SJ-JBS の電力損失の削減効果を実証するために、市販の AC アダプタ（定周波フライバック回路方式、入力電圧 100[V]~264[V]、出力電圧 20[V]、出力電流 3.5[A]）にて、120V 級 SJ-JBS と、従来構造の 120V 耐圧級 SBD との電力損失を比較した。比較に用いた SBD の V_F 特性@ $I_F=3[A]$ と I_R 特性@90[V]を表 4-3 に示す。 I_R 値が約 5 倍違う（SJ-JBS の方が大きい）ため、SJ-JBS の V_F を同一 I_R 値に換算した。SJ-JBS の方が 0.141[V]も V_F が低減出来たことが分かる。

表 4-3 SJ-JBS と従来構造 SBD の特性比較

室温時	$V_F@I_F=3[A]$	$I_R@V_R=90[V]$	ΔV_F (同一 I_R に換算)
SJ-JBS	0.53[V]	0.79[μA]	0.141[V]
従来構造 SBD	0.71[V]	0.18[μA]	—

電源での電力損失結果として、入力電圧 264[V]、出力電流 3.5[A]（定格出力 70[W]）時に 0.16[W]の電力損失の低減効果が得られた（従来構造 SBD 使用時で 8.03[W]の電力損失が、SJ-JBS 使用で 7.87[W]）。電力損失の低減率としては、従来構造 SBD での損失に対して 2.0[%]の低減率となった。

4-7) まとめ

シリコン単結晶ウェーハに形成したトレンチ部を P 型シリコンで埋めこむエピタキシャル成長技術を使って、初めて 120V 級 SJ-JBS の試作に成功した。

良好な埋め込み性を得るために、シリコン結晶の面方位が全て (100) 面となるように平面パターンの工夫を施すことで、アスペクト比の高い PN 接合すなわち幅が狭くて深さが深い PN 接合をボイドなく形成することが出来た。

SJ-JBS の設計の最適化をシミュレーションを用いて実施した。Q 値の最適化を行うためにまず、各 Q_n 値に対して Q_p 値を変化させ、耐圧・ $V_F \cdot J_R$ 特性をシミュレーションした。耐圧のシミュレーション結果より P カラムのエピタキシャル成長時の不純物濃度バラつきの工程能力である $\pm 30\%$ を許容するためには Q_n 設計値が $2 \times 10^{12} [\text{cm}^{-2}]$ 以下にする必要があることを明確にした。さらに、電界強度のチャージバランス依存性を調べ、N 過多条件時は耐圧低下だけでなく、ピンチオフ効果が弱くなることで J_R の増加が著しくなることに留意する必要があることを示した。

N 型メサ領域幅 NW_m ならびに P カラム不純物濃度と N 型ドリフト層不純物濃度を変化させることで試作を行った。 NW_m に対し、耐圧がシミュレーション通りに変化することを実証できた。特性としては、SBD の代表的な特性指標である $V_F \cdot J_R$ トレードオフを大幅に改善することができた。P カラムと N 型メサ領域のチャージバランスをとることにより、耐圧 161[V] (@ $I_R=1[\text{mA}]$)、 $V_F=0.69[\text{V}]$ (@ $J_F=200[\text{A}/\text{cm}^2]$)、 $J_R = 3.3 \times 10^{-5} [\text{A}/\text{cm}^2]$ (@ $V_R=120[\text{V}]$) を得ることができた。さらに、N 型ドリフト層の最適化により、耐圧 130[V] (@ $I_R=1[\text{mA}]$)、 $V_F=0.62[\text{V}]$ (@ $J_F=200[\text{A}/\text{cm}^2]$)、 $J_R=4.0 \times 10^{-5} [\text{A}/\text{cm}^2]$ (@ $V_R=120[\text{V}]$) を得ることができた。この V_F 値は、同一の J_R 値相当の従来構造の 120V 級 SBD に対して 0.17[V] も低減できたことに相当する。

参考文献

- 1) S.Kunori, J.Ishida, M.Tanaka, M.Wakatabe and T.Kan, "The Low Power Dissipation Schottky Barrier Diode with Trench Structure" Proc.ISPSD ., p66 (1992)
- 2) T.Fujihira, "Theory of Semiconductor Superjunction Devices", Jpn.J.Appl. Phys. Vol.36, p6254 (1997)
- 3) L, Lorenz, M,Marz and G.Deboy: "Proceeding of PCIM'98 EUROPE pp151 (1998)
- 4) Shoichi Yamauchi, Yasushi Urakami, Naohiro Suzuki, Nobuhiro Tsuji, Hitoshi Yamaguchi, "Fabrication of High Aspect ratio Doping Region by Using Trench Filling of Epitaxial Si Growth", Proceeding of ISPSD Osaka p363, (2001)
- 5) Shoichi Yamauchi, Yasushi Urakami, Nobuhiro Tsuji, Hitoshi Yamaguchi, : "Defect-less Trench Filling of Epitaxial Si Growth by H2 Annealing", Proceeding of ISPSD San ta Fe p133, (2002)
- 6) S.Kunori M.Kitada T.Simizu K.Oshima and A.Sugai : "120V Multi RESURF Junction

Barrier Schottky Rectifier” Proceeding of ISPSD2002 p97, (2002)

7) 電気学会全国大会シンポジウム S15 スーパージャンクション MOSFET の最新動向

8) M.P.Lepselter and S.M.Sze : “Silicon Schottky Barrier Diode Near-Ideal I-V characteristics” Bell Syst. Tech J. 47 p195 (1968)

9) 特許 3914852 号

第 5 章

高耐圧 200V 級 SJ-MOSFET (TR-MOSFET)

5-1) まえがき

第 4 章では、スーパージャンクション (SJ) 構造をトレンチ埋め込み法で作製した 120V 級 SJ-JBS で低電力損失な電力用 SBD が実現できることを明らかにした 1)。トレンチ埋め込み法は、不純物のイオン注入と熱拡散工程で P カラム (または P カラムと N カラムの両方) を形成するマルチエピタキシャル法 2) に比べると、P カラムの熱拡散を行わないために P カラム幅を狭く設計することが可能となる。すなわち、単位セル幅の微細化が可能となる。単位セル幅の微細化は、同一面積における N 型ドリフト層の面積を増加させることになるため、素子の N 型ドリフト層の抵抗を低減できる。よってトレンチ埋め込み法を N 型ドリフト層の抵抗値が素子の導通抵抗特性を支配するユニポーラデバイスに適用すれば、マルチエピタキシャル法で作製したデバイス 3) よりも大幅な特性改善が見込まれる 4)。すなわち、ユニポーラデバイスである電力用 MOSFET (以下、パワー MOSFET) に本技術を適用すればパワー MOSFET の特性改善が期待できる。

著者は、トレンチ埋め込み法で P カラムを作製後、トレンチ形成時に用いたマスク材 (SiO₂) を再度トレンチゲート形成用のマスクとして利用することで、トレンチゲート構造を自己整合的に作製し、単位トランジスタセルが微細化されたパワー MOSFET を考案した 5)。

図 5-1 に、考案したパワー MOSFET (TR-MOSFET) の素子活性部の断面構造図を示す。

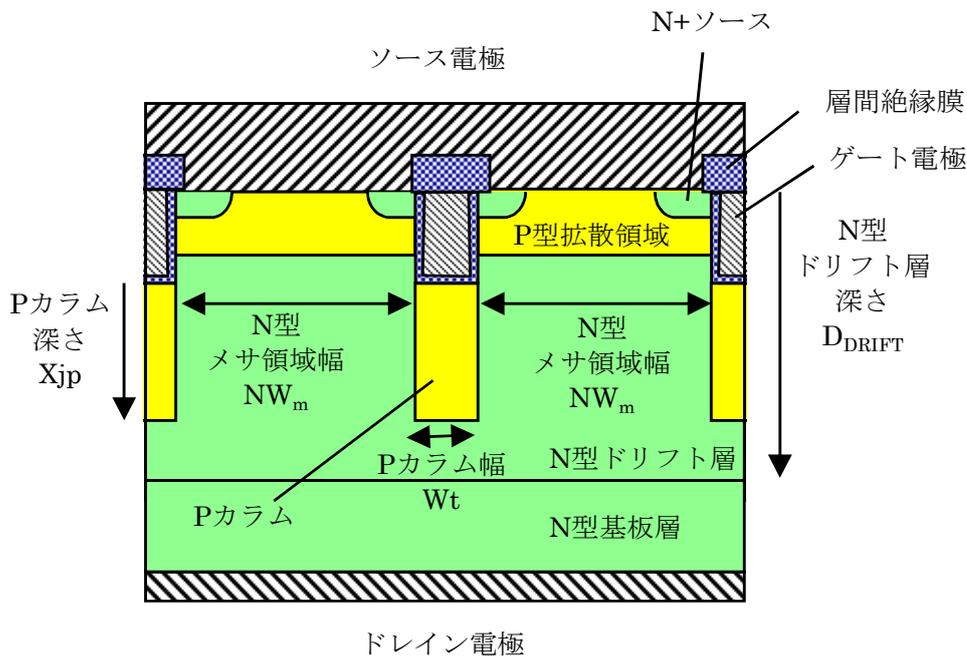


図 5-1 考案したパワーMOSFET(TR-MOSFET)の素子活性部の断面構造図

本構造においては、Pカラムの上部にトレンチゲート構造が作製されることで、スイッチング速度に影響を与えるゲートドレイン間のコンデンサ容量 C_{GD} (帰還容量) も低減することが可能となり、スイッチング特性と特性オン抵抗 $R_{DS(ON)} \cdot A$ の両方の特性が優れたパワーMOSFETの実現が期待できる。

製造方法としてもトレンチ形成・トレンチ埋め込み・自己整合的に再(ゲート)トレンチ形成という手法が可能となるという利点がある。

素子周辺構造は、SJ-JBSと同様に終端部構造にもスーパージャンクション構造を採用し、かつ、P型領域がソース電極に接触しないフローティング(浮遊電位)構造とした⁶⁾。

図 5-2 には、TR-MOSFETの平面構造図を示す。基本的にはSJ-JBSと同じく、トレンチ底部と側壁部に全て結晶面方位が(100)となるように平面パターンを設計し、トレンチ埋め込み性を確保することが肝要である。

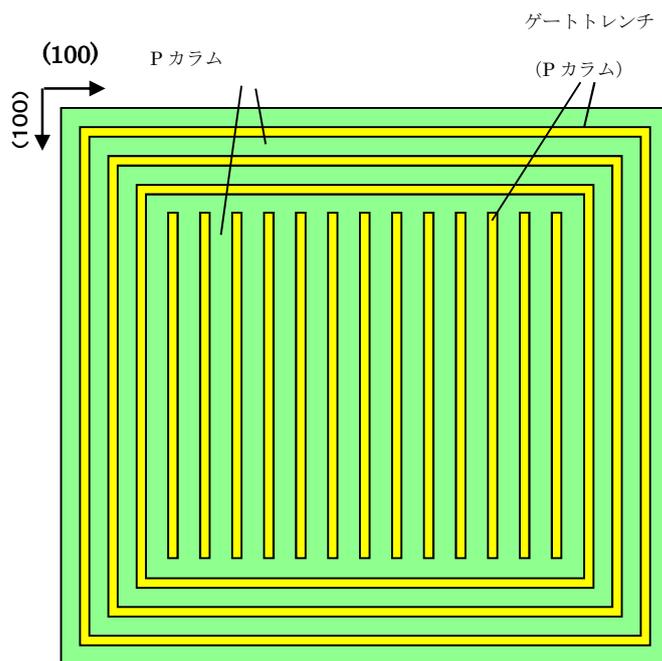


図 5-2 TR-MOSFET の平面構造の模式図

以下に、従来構造の 200V 級トレンチゲート MOSFET との違いを述べる。図 5-3 に、従来構造の 200V 級トレンチゲート MOSFET の活性領域の断面図を示す。

一見して判るように、TR-MOSFET との違いは P カラムの有無である。従来構造 MOSFET の場合、耐圧は P 型拡散領域と低不純物濃度 N 型ドリフト層で形成される PN 接合部で決定される。

断面構造図の右側に、MOSFET が OFF 時 ($V_{GS}=0[V]$ 、 $V_{DS}=+200[V]$) の素子内部の電界強度分布を示している。耐圧の設計手法は、第 2 章で述べた手法と同様である。

結果として、 $N_{DRIFT}=1.19 \times 10^{15} [cm^{-3}]$ 、 $D_{DRIFT}=16.3 [\mu m]$ 、 $R_{DRIFT}=6.52 [m\Omega \cdot cm^2]$ が得られる。

この R_{DRIFT} が MOSFET の理論限界値 (Si リミット) となる。

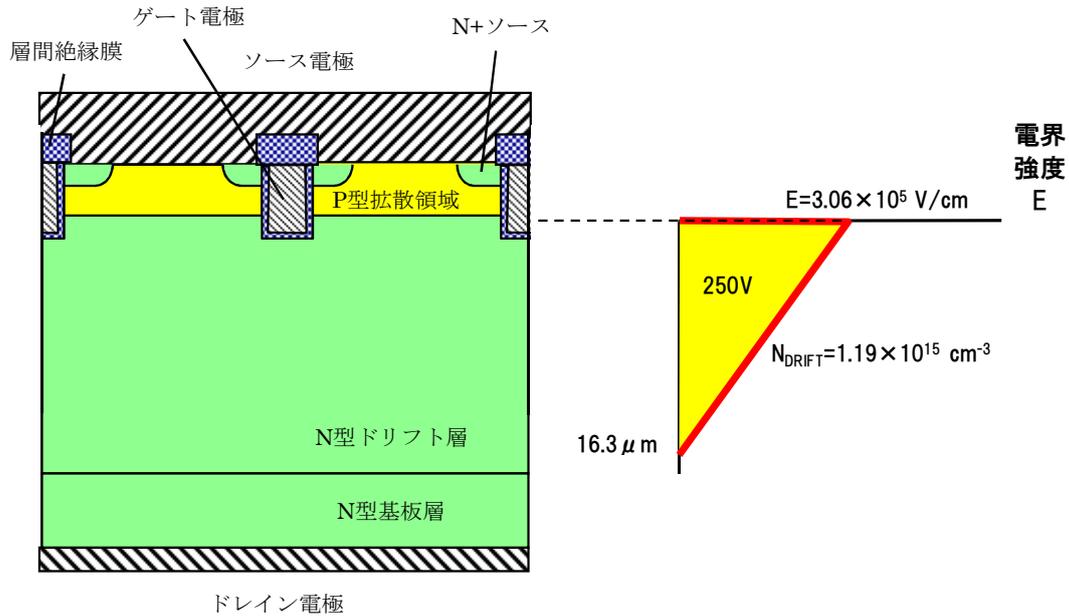


図 5-3 従来構造の 200V 級トレンチゲート MOSFET の活性領域の断面図と MOSFET が OFF 時 ($V_{GS}=0[V]$ 、 $V_{DS}=+200[V]$) の素子内部の電界強度分布

5-2) TR-MOSFET の設計

TR-MOSFET の設計の概要を以下に示す。基本的には、SJ-JBS と同様の設計手法を用いる。設計パラメータは、N 型ドリフト層不純物濃度 N_{DRIFT} 、幅 NW_m 、深さ D_{DRIFT} 、P カラム不純物濃度 N_a 、幅 W_t 、深さ X_{jp} である。SJ 構造の臨界電界強度 E_c の値は、 $2 \times 10^5 [V/cm]$ を用い、P カラム深さ X_{jp} は $X_{jp} = \text{設計耐圧} \div E_c$ より、 $X_{jp} = 200 [V] \div 2 \times 10^5 [V/cm] = 10 \times 10^{-4} [cm] = 10 [\mu m]$ となる。

素子水平方向の電界設計においても、 $E_c = 2 \times 10^5 [V/cm]$ を用いて

$$E_c - q \times N_a \times 0.5 \times W_t / \epsilon_{si} = E_c - q \times 0.5 \times Q_p / \epsilon_{si} = 0$$

$Q_p = N_a \times W_t$ より、 $Q_p = 2 \times 10^5 \times 11.5 \times 8.85 \times 10^{-14} / 1.6 \times 10^{-19} \times 0.5 = 2.54 \times 10^{12} [cm^{-2}]$ となる。この値が SJ 構造の $Q_p (=Q_n)$ 設計の上限値となる。

出来上がり寸法で $W_t = 1.2 [\mu m]$ とし、 $N_a = 2.11 \times 10^{16} [cm^{-3}]$ を得た。

Q_n は $Q_p = Q_n$ がチャージバランス条件となるため、設計上限 $Q_n = 2.54 \times 10^{12} [cm^{-2}]$ となる。 N_{DRIFT} と電子移動度 μ_n との関係、かつ、2つの N+ソース領域幅とソースゲート間の絶縁膜幅を考慮し、 $NW_m = 4 [\mu m]$ とした。よって上限 $N_{DRIFT} = Q_n / 4 [\mu m] = 6.35 \times 10^{15} [cm^{-3}]$ となる。

この基本設計値に対し、製造上のチャージバランスズレと SJ-JBS よりもデバイス構造が複雑なこと、特にデバイス表面部に MOS トランジスタ構造があることを考慮し、SJ 構造部の電荷量の設計値を $Q (=Q_p = Q_n) = 1.8 \times 10^{12} [cm^{-2}]$ とした。

結論として TR-MOSFET の電荷量の設計値が $Q_n=Q_p=1.8 \times 10^{12} [\text{cm}^{-2}]$ となるように、

$$N_{\text{DRIFT}}=4.5 \times 10^{15} [\text{cm}^{-3}]$$

$$NW_m=4.0 [\mu\text{m}]$$

$$N_a=1.66 \times 10^{16} [\text{cm}^{-3}]$$

$$W_t=1.2 [\mu\text{m}]$$

$$X_{jp}=10 [\mu\text{m}]$$

とした。

N 型ドリフト層深さ D_{DRIFT} は SJ-JBS の設計指針と同様に、P カラム底部の電界集中の防止と、N 型基板層から N 型ドリフト層への砒素の拡散を考慮し、

$$D_{\text{DRIFT}} = \text{ゲート深さ (約 } 2 [\mu\text{m}]) + X_{jp} + NW_m + \text{砒素拡散 (約 } 1 [\mu\text{m}]) = 17 [\mu\text{m}]$$

とした。

図 5-4 に TR-MOSFET の電界分布図を断面構造図と共に示す。

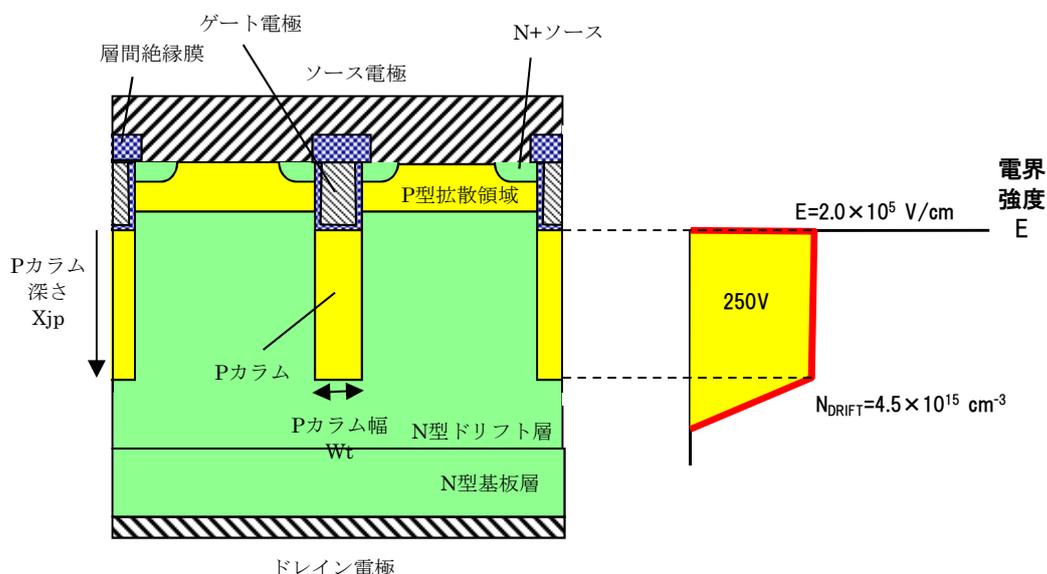


図 5-4 TR-MOSFET の活性領域の断面図と MOSFET が OFF 時 ($V_{\text{GS}}=0[\text{V}]$ 、 $V_{\text{DS}}=+200[\text{V}]$) の素子内部の電界強度分布

5-3) デバイスシミュレーション

予想される $R_{\text{DS(ON)}} \cdot A$ は概算で、不純物濃度比と N 型メサ領域幅が単位セル幅に占める比率を考慮して、 $6.52 [\text{m}\Omega \cdot \text{cm}^2] \times (1 [\Omega \cdot \text{cm}] \div 4 [\Omega \cdot \text{cm}]) \times (5.2 [\mu\text{m}] / 4 [\mu\text{m}]) = 2.12 [\text{m}\Omega \cdot \text{cm}^2]$ と見積もられる。この概算に対し、デバイスシミュレーションを実施した。

シミュレーションは N 型ドリフト層の不純物濃度 N_{DRIFT} とチャージバランス比を変化させて行った。チャージバランス比として MOSFET では Q_n/Q_p 比を用いた。(SJ-JBS では Q_p/Q_n 比を用いていることに注意)。P カラム幅 $W_t=1.2 [\mu\text{m}]$ 、N 型メサ領域幅 $NW_m=4 [\mu\text{m}]$ 、P カラム深さ $X_{jp}=10 [\mu\text{m}]$ は一定とした。

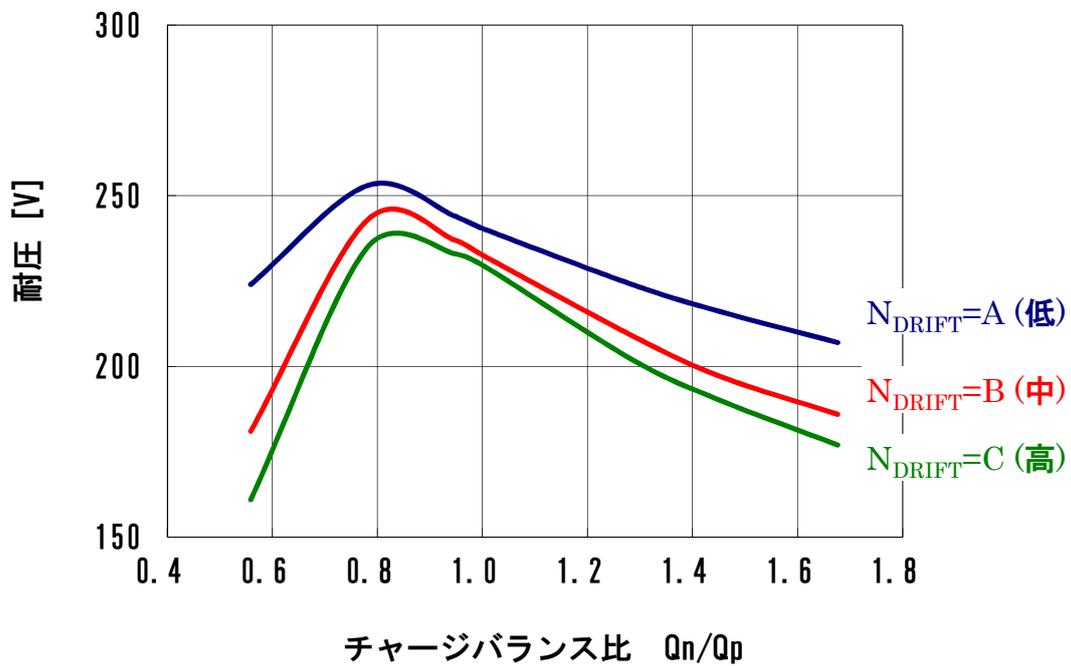


図 5-5 TR-MOSFET のチャージバランスずれと耐圧の関係のシミュレーション

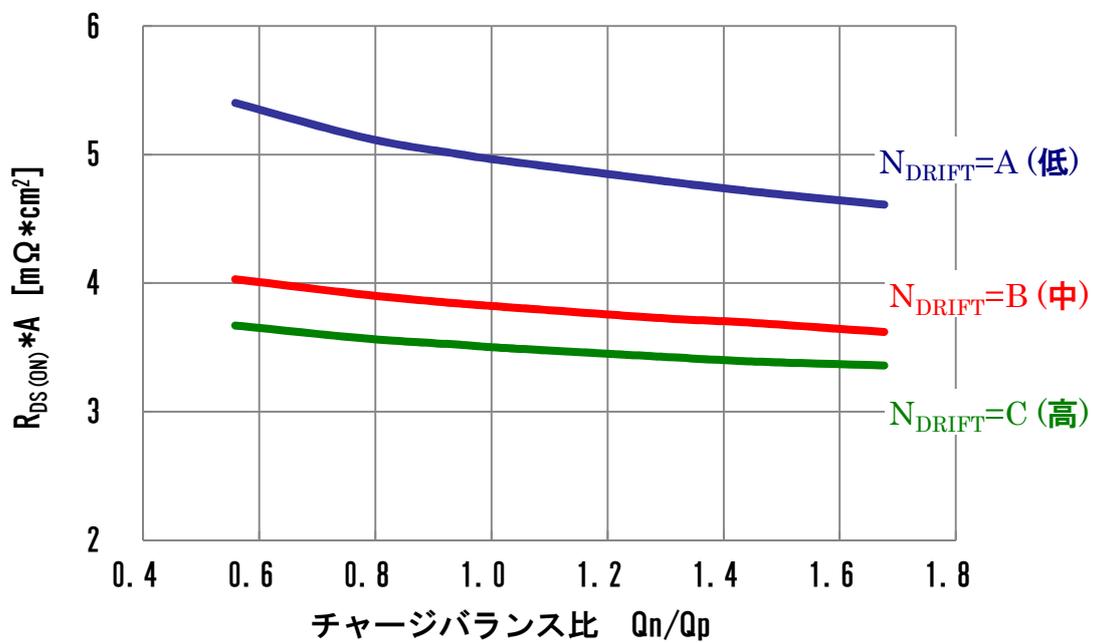


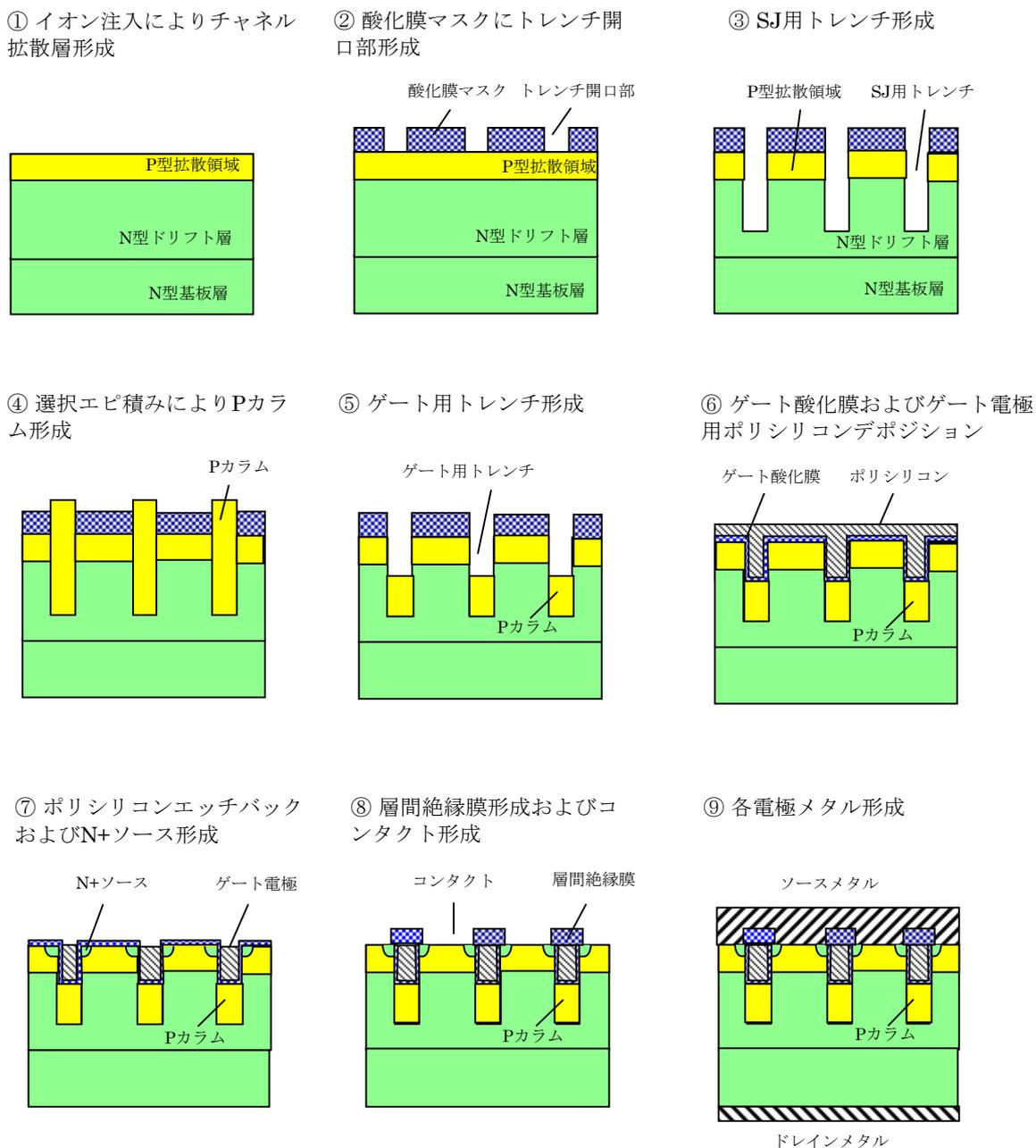
図 5-6 TR-MOSFET のチャージバランスずれと $R_{DS(ON)} \cdot A$ の関係のシミュレーション

図 5-5 に示すように、耐圧はピーク値で 245[V]、耐圧マージン (220[V]以上) は

$N_{DRIFT}=4.5 \times 10^{15} [cm^{-3}]$ 時で $\pm 20 [\%]$ 、 $N_{DRIFT}=3 \times 10^{15} [cm^{-3}]$ 時で $\pm 40 [\%]$ となった。また図 5-6 に示すように、 $R_{DS(ON)} \cdot A$ は $N_{DRIFT}=4.5 \times 10^{15} [cm^{-3}]$ 時に $3.5 [m\Omega \cdot cm^2]$ 、 $N_{DRIFT}=3 \times 10^{15} [cm^{-3}]$ 時でも $5 [m\Omega \cdot cm^2]$ となり、Si リミットを下回る特性が期待できる。

5-4) TR-MOSFET の試作

図 5-7 に TR-MOSFET の製造プロセスフローを示す。



試作した TR-MOSFET の単位セル構造の断面図を図 5-8 に示す。P カラム (P pillar) 上にトレンチゲート構造が配置された MOSFET 構造となっていることが判る。また、SJ-JBS と同様にトレンチ面を (100) 面方位が露出するように形成してから P 型エピタキシャル埋め込みを実施したため、SJ-JBS の時と同一の埋め込み条件でボイドの発生なく、良好な埋め込みが実現できた。

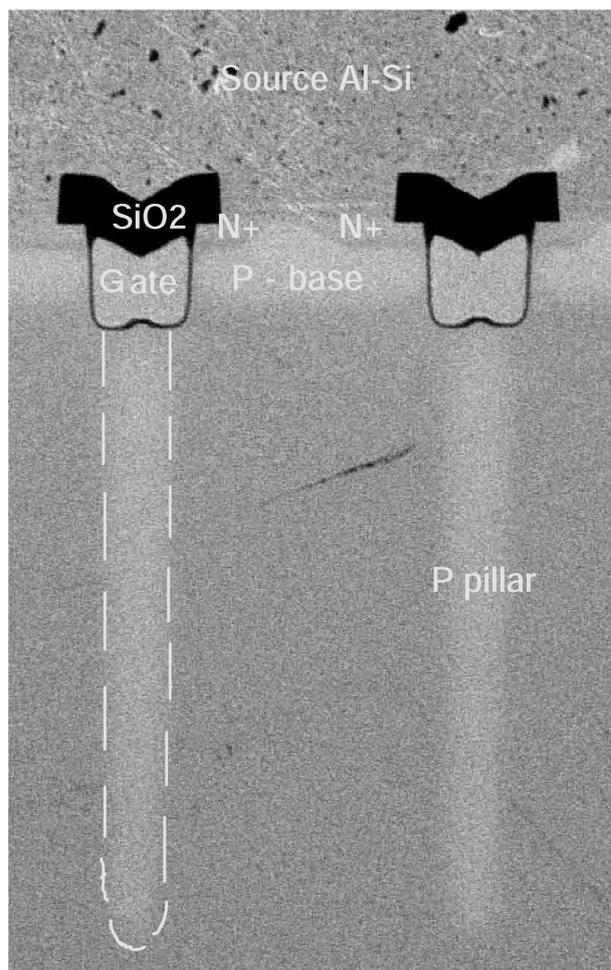


図 5-8 試作した TR-MOSFET の単位セルの断面 SEM 写真

5-5) 試作 TR-MOSFET の特性

試作した TR-MOSFET の N 型ドリフト層不純物濃度 N_{DRIFT} と P カラム不純物濃度 N_a の組み合わせ水準表を表 5-1 に示す。 $N_{\text{DRIFT}}=B$ 、 $N_a=X$ (Q_n/Q_p 比 1.49) の条件における耐圧波形を図 5-9 に、順方向導通時の $I_{\text{DS}}-V_{\text{DS}}$ 波形を図 5-10 に示す。単位セル寸法は $5.2[\mu\text{m}]$ である。

表 5-1 試作した TR-MOSFET の N_{DRIFT} と N_a の組み合わせ水準表

N_{DRIFT} [cm^{-3}]	N_a [cm^{-3}]		
	9.15×10^{15} X	1.33×10^{16} Y	1.68×10^{16} Z
3.00×10^{15} A	1.09	0.75	0.6
4.10×10^{16} B	1.49	1.03	0.81
4.60×10^{16} C	1.68	1.15	0.91

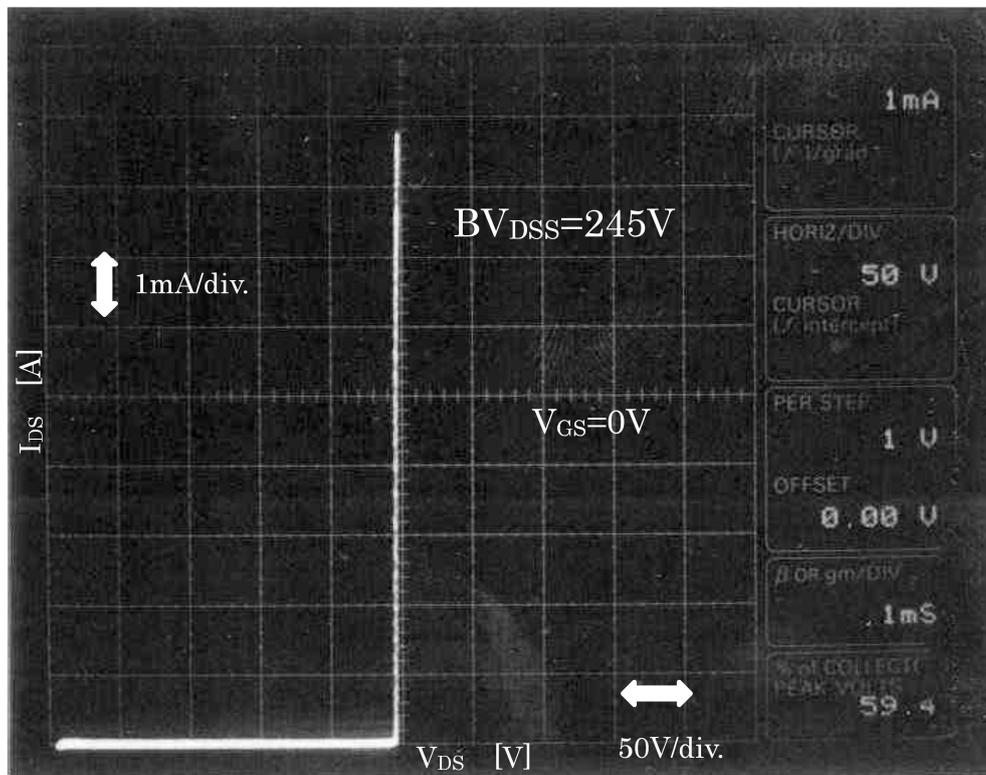


図 5-9 試作した TR-MOSFET の耐圧特性 ($N_{\text{DRIFT}}=B$ 、 $N_a=X$ (Q_p/Q_n 比 1.49) の条件)

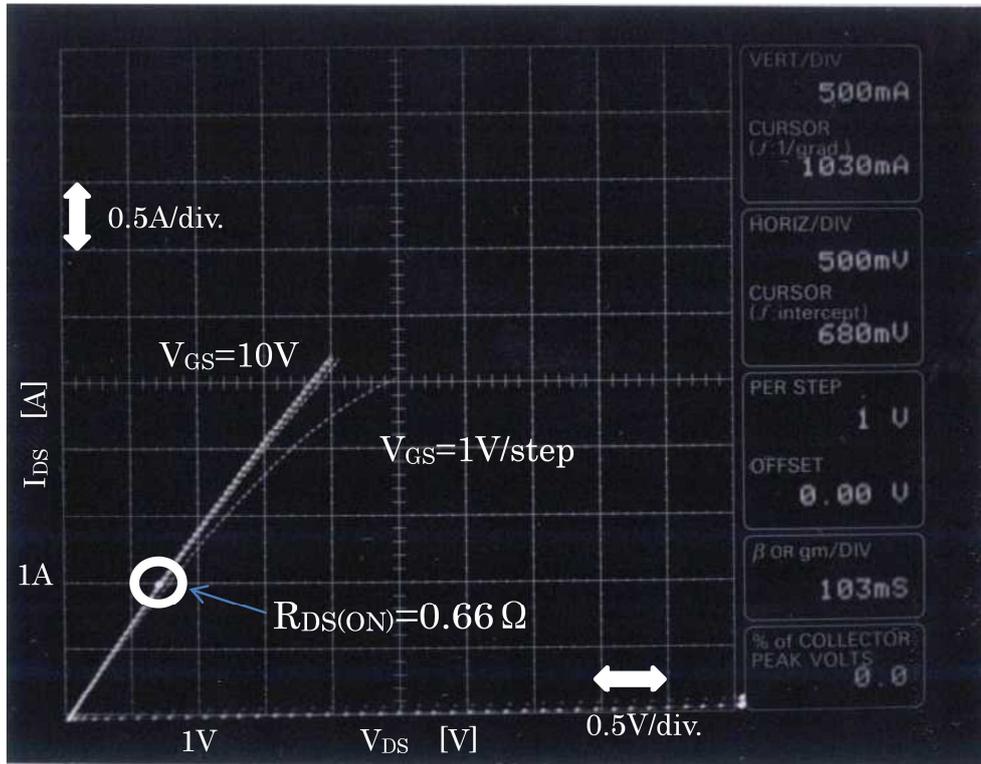


図 5-10 試作した TR-MOSFET のオン特性 ($N_{\text{DRIFT}}=B$ 、 $N_a=X$ (Q_n/Q_p 比 1.49) の条件)

一方、図 5-11 にはスイッチング特性の測定結果を示す。

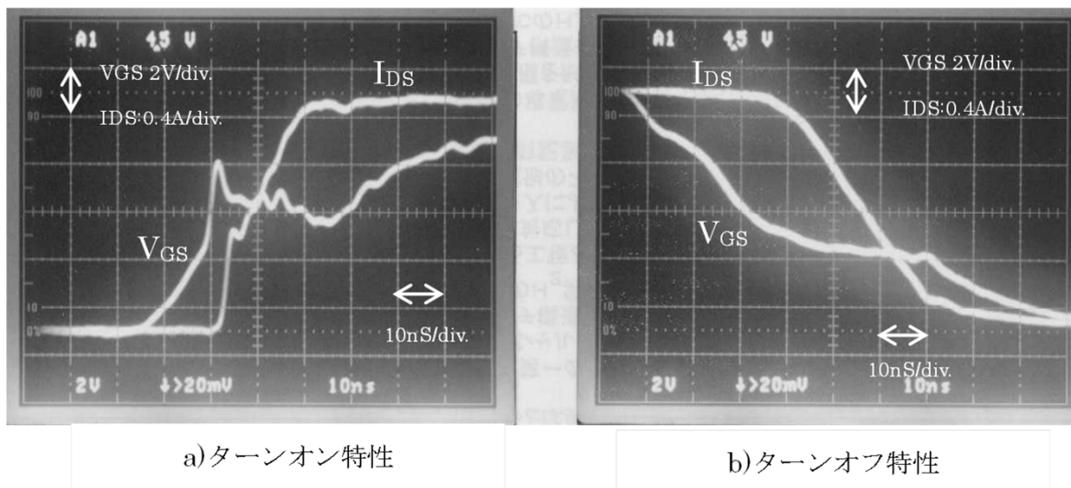


図 5-11 TR-MOSFET 試作品のスイッチング特性

左側がターンオン時、右側がターンオフ時の波形である。オン時間 17[ns]、オフ時間 66 [ns]と高速のスイッチングが可能であることを示した。

5-6) 試作 TR-MOSFET 特性の解析

図 5-12 に耐圧と $R_{DS(ON)}*A$ の関係を示す。

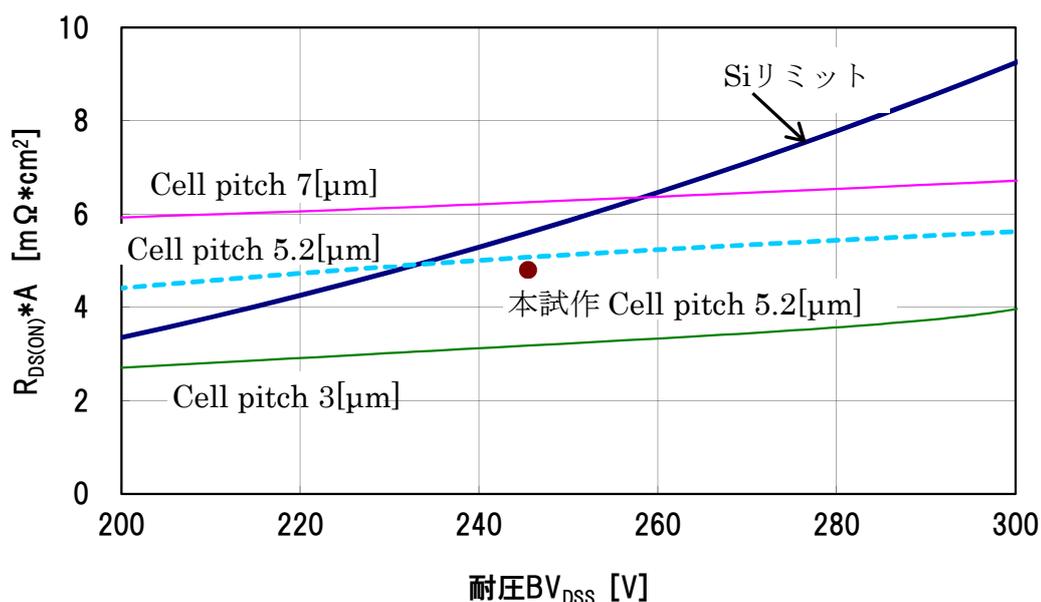


図 5-12 試作した TR-MOSFET の $R_{DS(ON)}*A$ と耐圧 BV_{DSS} の関係

試作した TR-MOSFET では、従来構造の MOSFET の耐圧- $R_{DS(ON)}*A$ の理論限界を表す Si リミット線を下回る $R_{DS(ON)}*A$ が得られている。また、参考までに載せたシミュレーション結果より、シミュレーションと実測の結果はよい一致を見ている。また、シミュレーションにより、単位セル構造を 5.2[μm]から 3[μm]へと微細化すれば、さらに特性の改善 (250[V]耐圧で約 3[m Ω *cm²]) が図れることも示し、今後のさらなる特性改善に大きな期待が出来ることを示した。

また、チャージバランスと耐圧の解析結果を図 5-13 に示す。

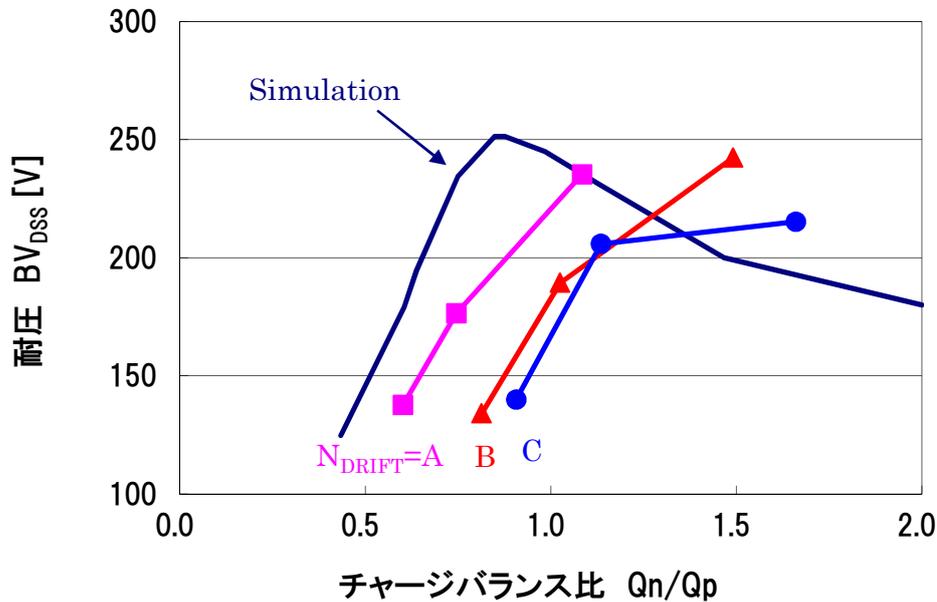


図 5-13 TR-MOSFET の試作とシミュレーション結果比較 (チャージバランス比)

シミュレーションで予測した結果に対し、わずかに耐圧値のピーク値は低い結果 (250[V] が 245[V]) となったものの、チャージバランスずれ (Q_n/Q_p 比) に対し、耐圧が依存する傾向は一致した。この傾向が一致することから、計算で算出した Q_n/Q_p 比に対する実際の耐圧値のずれは、P カラム不純物濃度の最適化で解決できる問題である。結論としては、設計検討時に解析した結果を反映していると考えられる。

5-7) 電源搭載時の評価

試作した MOSFET を、通信機器用フォワード回路方式の電源 (入力電圧 36[V]~60[V]、出力電圧 5[V]、出力電流 6[A]) において、従来構造 MOSFET と電力損失の比較を行った。電源評価に用いたデバイスの $R_{DS(ON)}$ とゲート駆動電荷 Q_g 特性を表 5-2 に示す。

表 5-2 試作した TR-MOSFET と従来構造 MOSFET の特性比較 (200V 耐圧級)

デバイス	$R_{DS(ON)}$	Q_g
TR-MOSFET	132[m Ω]	15[nC]
従来構造(2SK1931)	450[m Ω]	11[nC]

電力損失の比較結果を図 5-14 に示す。

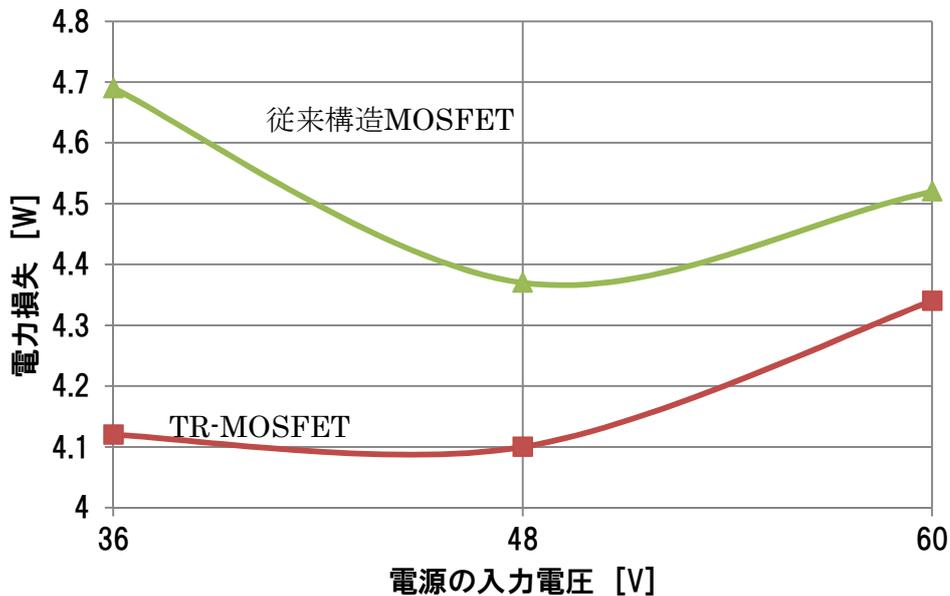


図 5-14 試作した TR-MOSFET と従来構造 MOSFET の電源搭載時の電力損失

最大で 0.57[W] の電力損失の低減効果を実証した。

5-8) まとめ

トレンチ埋め込み法を用いた SJ 構造デバイスとして、TR-MOSFET を考案した。本構造はドリフト領域の P カラムをトレンチ埋め込み法で形成した後、MOSFET のゲート電極部を自己整合的に P カラム上に形成したことが特徴である。この構造を採用することで、トランジスタセルの微細化が容易となり、かつゲート・ドレイン間の帰還容量 C_{GD} の低減も可能となった。

設計においては、SJ 構造設計は、第 4 章で述べた SJ-JBS の設計手法に準拠して行った。

試作の結果、耐圧 250[V] で $R_{DS(ON)} \cdot A = 4.8[\text{m}\Omega \cdot \text{cm}^2]$ という Si 理論限界を下回る特性が得られた。スイッチング速度に関しても、オン時間 17[ns]、オフ時間 66[ns] と高速のスイッチングが可能であることを実証した。

参考文献

- 1) S.Kunori M.Kitada T.Simizu K.Oshima and A.Sugai : “120V Multi RESURF Junction Barrier Schottoky Rectifier” Proceeding of ISPSD2002 p97, (2002)
- 2) 電気学会全国大会 シンポジウム S15 スーパー Junction ション MOSFET の最新動向
- 3) G..Deboy, M.Marz, J.-P.Stengle, H.Strack, J.Tihanyi and H.Weber, “ A new generation of high voltage MOSFET’s breaks the limit line of silicon ” Tech. Digest IEDM98(1998), pp683

- 4) T. Fujihira: "Theory of Semiconductor Superjunction Devices", Jpn. J. Appl. Phys. Vol. 36, p6254 (1997)
- 5) T. Kurosaki, H. Shisido, M. Kitada, K. Oshima, S. Kunori, and A. Sugai: "200V Multi-RESURF Trench MOSFET" Proceeding of ISPSD2003 p211, (2003)
- 6) 特許 3914852 号

第 6 章

トレンチ埋め込み領域のボイド 非破壊評価法の開発

6-1) まえがき

第 4 章ならびに第 5 章では、トレンチ埋め込み法を用いたスーパージャンクション (SJ) 構造デバイスとしての SJ-JBS および TR-MOSFET が、従来構造に比べて大幅にデバイス特性を改善できることを示した 1),2)。上記デバイスの試作にあたっては、事前に破壊検査である断面 SEM によるトレンチ埋め込み領域のボイド観察を行い、観察試料においてボイドが無いことを確認してからデバイスの試作を行っている。当然ながら、デバイスとして試作するサンプルにおいては試作前の断面 SEM 観察は行っていない。しかし、トレンチ埋め込み法を用いた SJ 構造デバイスを量産するにあたっては、デバイス内部にボイドが発生していないことを非破壊検査で確認することが望まれる。トレンチ埋め込み法を用いた SJ 構造デバイスの研究事例 3),4)においても、ボイドの非破壊検出法に言及した報告はない。

著者は非破壊、かつ、特殊な検査装置を必要としないという条件を満たして、デバイスの電気的特性に基づいてボイドの検出・評価を行える手法をあらたに検討した 5)。

6-2) 非破壊評価法の提案

以下に、提案するボイド評価方法の具体的フローを示す。

- ① 断面 SEM 法でボイドが発見できない (ボイドなし) レベルの試料を作製する
- ② 同、ボイド (大・小) が発見できるレベルの試料を作製する
- ③ 両者を用いて、デバイスを作製する
- ④ 両者の電気的特性を比較し、特徴を見出す
- ⑤ 上記の特徴的な電気的特性で統計的に有意な差異があるかどうか確認する

まず、①と②の試料作製においては、トレンチ埋め込み条件を意識的に変化させて作製した。図 6-1 に① (ボイドなし) と② (ボイド小・大) の断面 SEM 写真を示す。

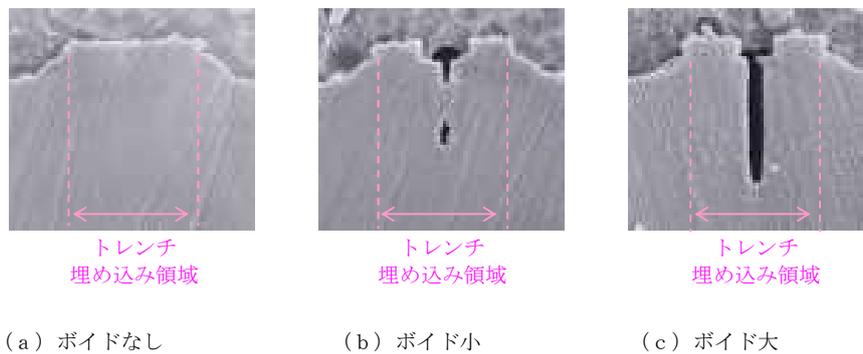


図 6-1 トレンチ埋め込み条件違いによるボイド状態の断面 SEM 写真

③の素子作製は SJ 構造の PN ダイオードを用いて行った。PN ダイオード構造とした理由は、逆方向漏れ電流に差異がある場合、SBD では逆方向漏れ電流が大きすぎて、検出できない可能性を考慮したからである。

図 6-2 に素子作製プロセスの概要を示す。基本的には第 4 章で述べた SJ-JBS の製造工程と類似である。

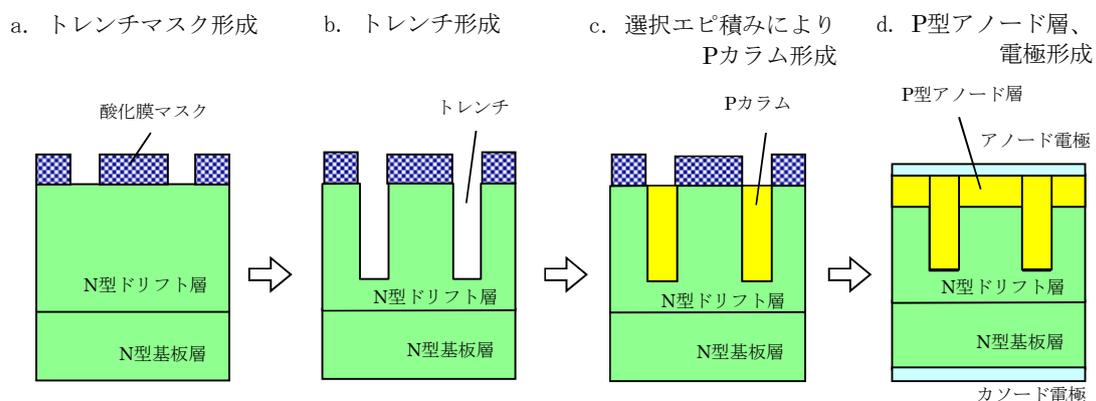


図 6-2 試作デバイスの製造フロー（概要）

N 型のウェーハに a. シリコン酸化膜 (SiO_2) でトレンチマスクを形成し、b. トレンチを選択的に形成し、c. トレンチ内部をエピタキシャル成長法により P 型単結晶 Si で埋め戻すことで P カラムを形成する。その後、d. P 型アノード層形成、電極形成を行い、ダイオードを作製した。この P 型単結晶 Si で埋め戻す工程時（図中 c. の工程）にトレンチが完全に埋まらないと、P カラムにボイドを有するデバイスとなる。

図 6-3 に素子活性部の断面構造図を示す。素子周辺構造は SJ-JBS と同様の構造とした⁶⁾。

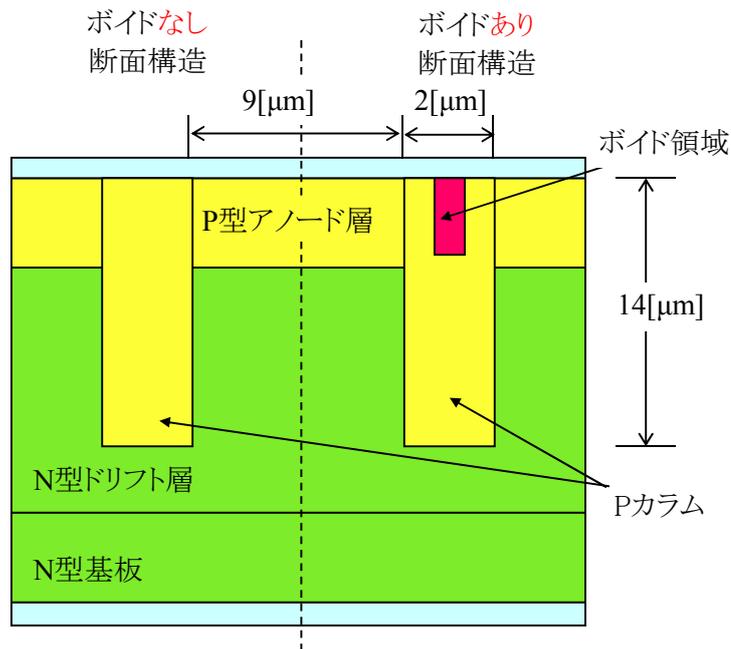


図 6-3 ボイドの有無によるデバイス構造の比較

④の電気的特性の評価としては、順方向特性と逆方向特性と逆方向回復時間の測定を行い、ボイドの有無による電気的特性を比較した。

6-3) 試作試料の電気特性に基づく評価結果

図 6-4～図 6-6 に作製した試料の代表的な逆方向 (V_R - I_R) 特性、順方向 (V_F - I_F) 特性、逆方向回復時間 (t_{rr}) 特性をそれぞれ示す。逆方向回復時間の測定は、順方向電流 $I_F=0.5[A]$ を流した状態から、抵抗負荷で、逆方向漏れ電流 $I_R=1[A]$ が流れる条件で行った。この方法により、デバイス内部に蓄積された少数キャリアの電荷量の違いが判別できる。測定結果より、ボイドの大きさに応じて逆方向漏れ電流 I_R が増大し、順方向電圧 V_F が僅かに低下し、 t_{rr} が大幅に短くなることが判明した。

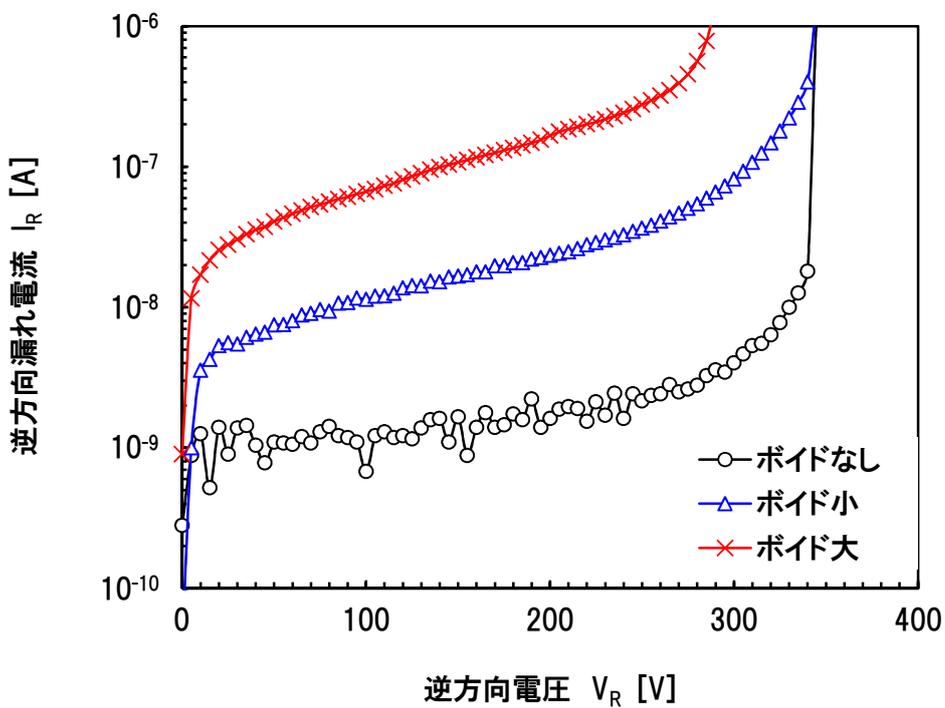


図 6-4 試作デバイスの逆方向特性

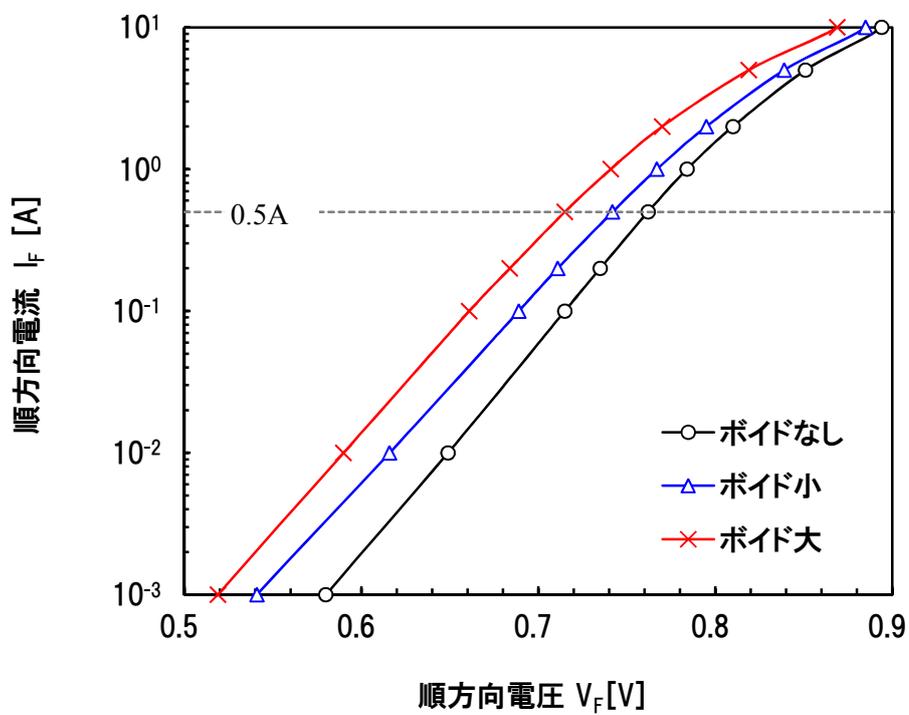


図 6-5 試作デバイスの順方向特性

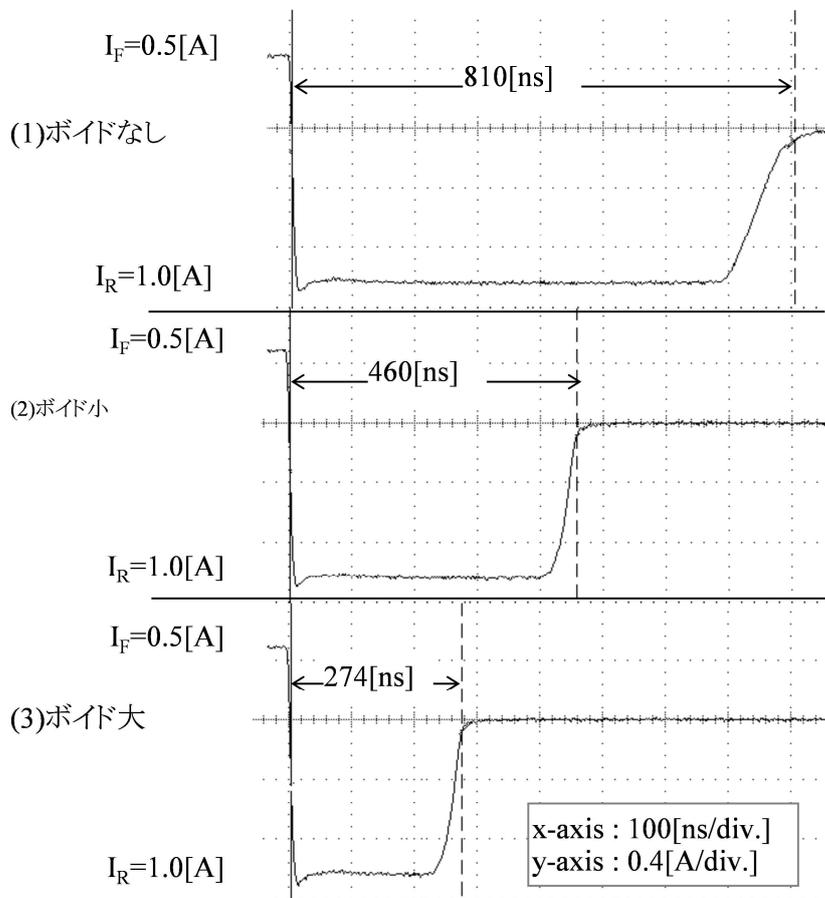


図 6-6 試作デバイスの逆方向回復時間 (t_{rr}) 特性

図 6-7 には比較的低電流領域での V_F と t_{rr} の関係を示す。ボイドが大きいほど、 V_F が低くなるが、 t_{rr} も相関をもって短くなる強い傾向が得られている。

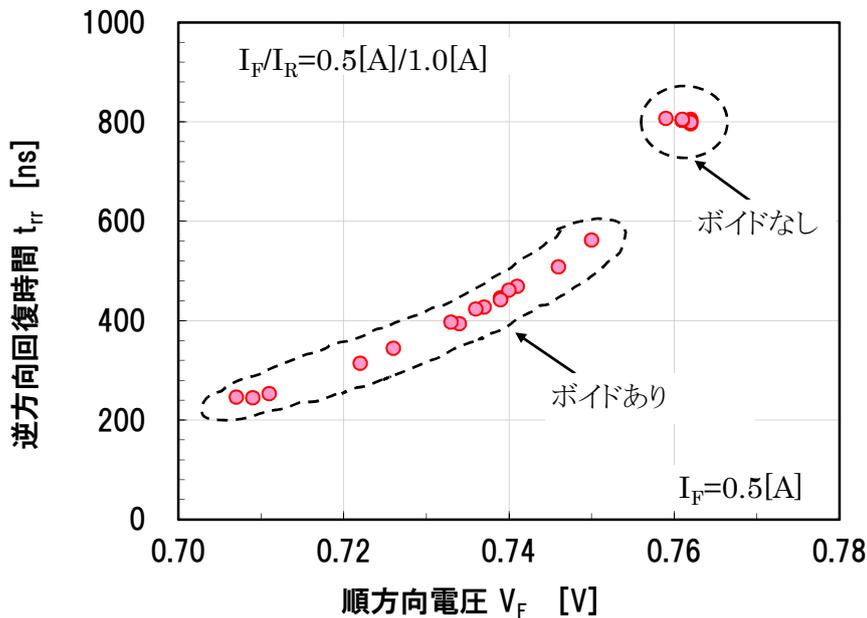


図 6-7 試作デバイスの V_F - t_{rr} 特性

こうした測定結果から推定されることは、ボイドあるいはボイドに起因する結晶性の乱れがキャリアの再結合—発生中心として働いていることである。ボイドが再結合—発生中心として働かならば、デバイスの逆方向特性としては発生電流 I_g の増加に伴う I_R の増加が観察されるはずである。発生電流 I_g は式 6-1 で表される。

$$I_g = \frac{ni}{2\tau} qW_d \quad \text{式 6-1}$$

ただし、 τ はキャリアのライフタイム、 W_d は逆バイアス印加時の空乏層幅である。

ライフタイム τ が短ければ I_g が増加することになり、推定と矛盾はない。順方向特性としては、再結合電流が支配的な低電流領域において、順方向電圧 V_F に顕著な差異がみられるが、拡散電流が支配的となる大電流領域ではその差異が小さくなっている。また、逆方向回復時間 t_{rr} は、ライフタイムが短くなるにつれ、短くなることは自明であり、測定結果も推定を支持する結果となっている。

この推定を証明するために、試料の結晶欠陥観察を行った。結晶欠陥の観察用試料の作製は、完成したデバイスをへき開することで断面を露出させ、その断面を酸系の薬液でエッチングする方法で作製した。

断面の結晶欠陥観察は SEM を用いて実施した。結晶欠陥観察結果を図 6-8 に示す。ボイドがない試料では結晶欠陥が見られないのに対し、ボイドがある試料ではボイドの周辺に

多数の結晶欠陥が観察された。また、この結晶欠陥は P カラムを跨いで、N 型ドリフト層にまで延伸していることも判った。この観察結果から、ボイドに起因する結晶欠陥が再結合－発生中心として働くというモデルが推定される。

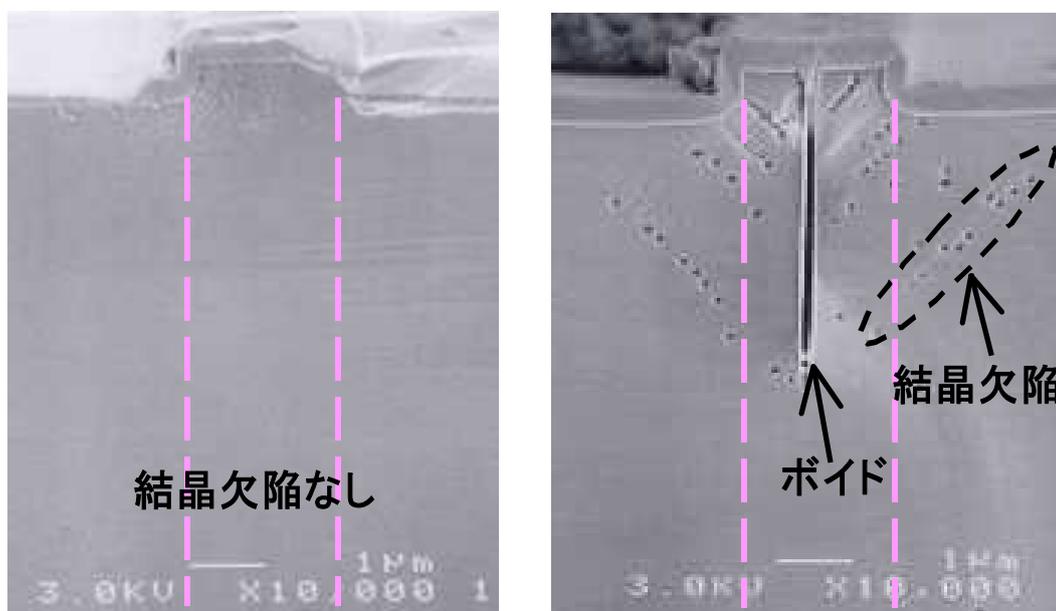


図 6-8 試作後のデバイスの結晶欠陥調査

6-4) 電気特性シミュレーションに基づく考察

ボイド近傍に再結合－発生中心が存在する場合の電気的特性のシミュレーションを行い、再結合－発生中心が電気的特性に与える影響を調査した。図 6-9 にシミュレーションに用いたダイオードの断面構造を示す。再結合－発生中心に対応する領域の形状を L 字形状とし、キャリアのライフタイムを短く設定することで結晶欠陥をモデル化した

シミュレーションには、TMA 社のデバイスシミュレーションソフト MEDICI を用いた。

図 6-10～図 6-12 に V_R - I_R 特性、 V_F - I_F 特性、 t_{tr} 特性のシミュレーション結果を示す。

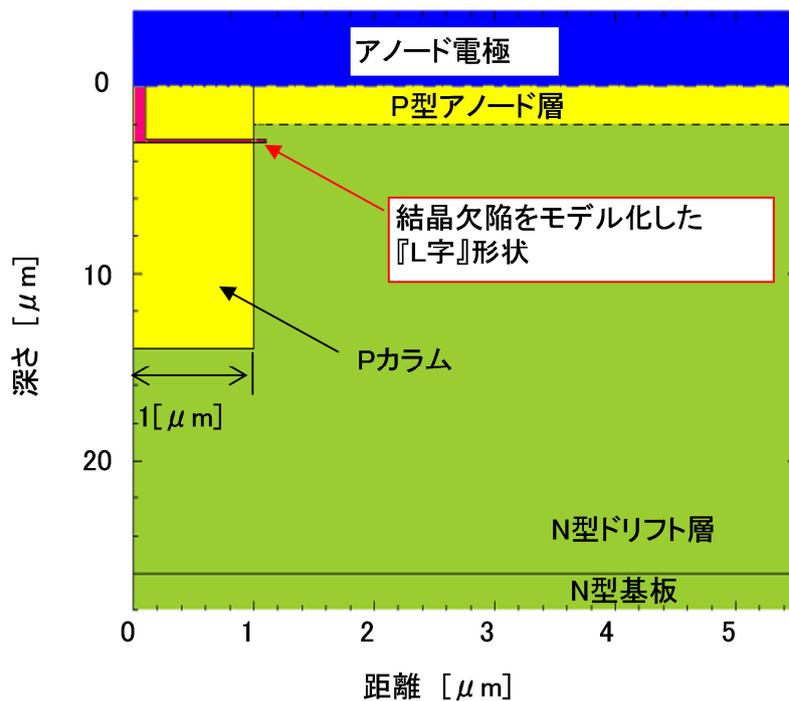


図 6-9 シミュレーション断面構造図

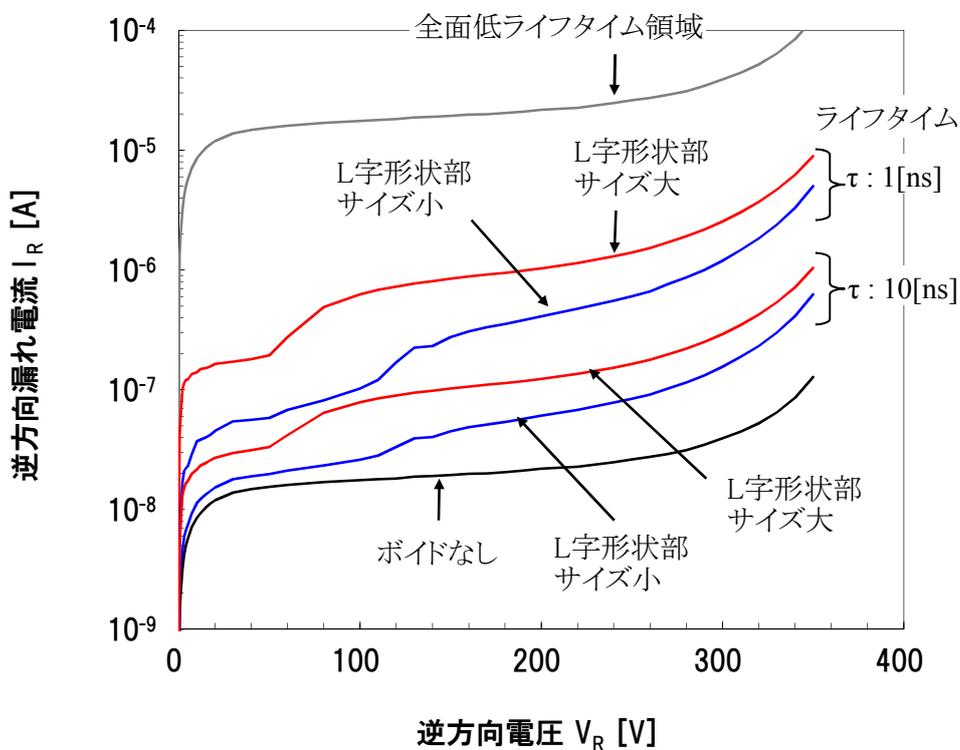


図 6-10 逆方向特性のシミュレーション結果

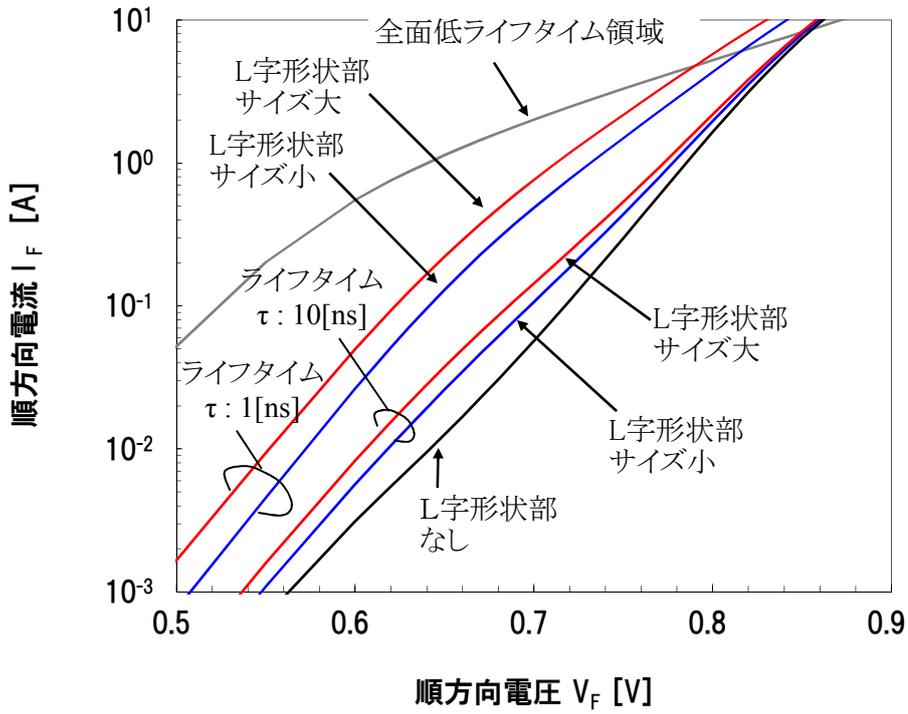


図 6-11 順方向特性のシミュレーション結果

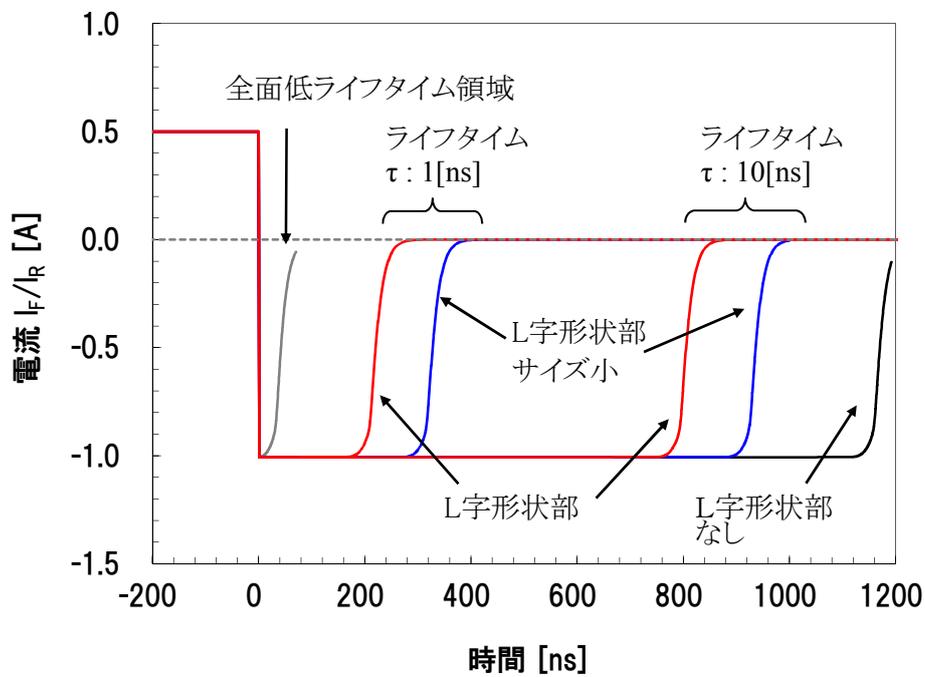


図 6-12 逆方向回復特性 (t_{rr}) のシミュレーション結果

L 字形のサイズを大きくしたり、ライフタイムを短くすることにより、実測結果と同様な傾向が得られた。すなわち、ボイドサイズが大きくなるにつれて、ライフタイムが短くなる傾向と一致する。

図 6-13 には V_F と t_{rr} の相関関係を実測とシミュレーションで比較した結果を示す。シミュレーション結果は実測結果と全く同様の傾向が得られていることが分かる。

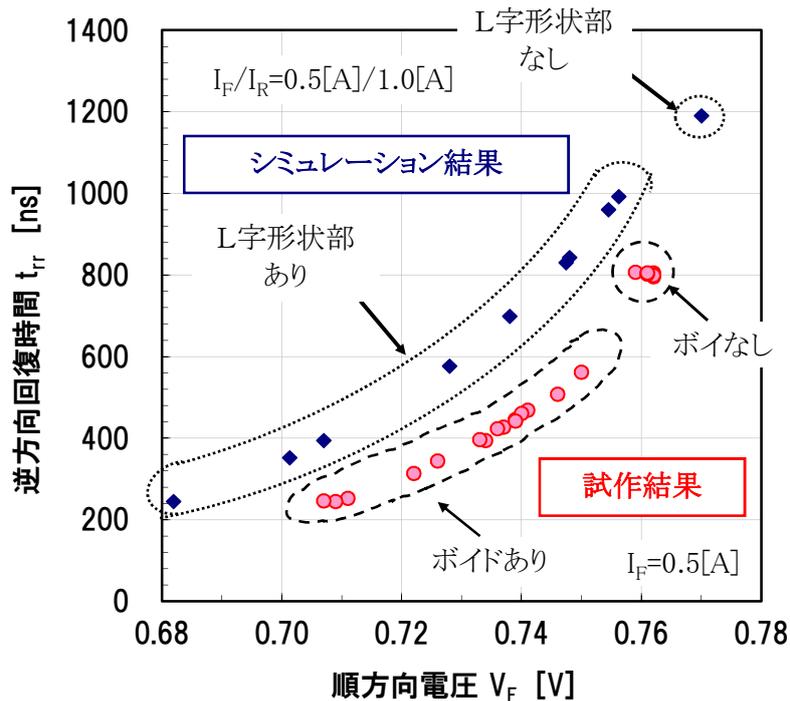


図 6-13 V_F - t_{rr} 特性のシミュレーションと試作結果の比較

以上の結果より、P カラムにボイドが存在するとボイド近傍に結晶欠陥が生成され、その結晶欠陥が再結合-発生中心として働くことが実証できたと結論した。

ボイドが生成される P カラム埋め込み条件で作製したダイオードと生成されない条件で作製したダイオードの t_{rr} 測定結果のヒストグラムを図 6-14 に示す。ボイドなし条件で作製したダイオードの t_{rr} は長い値(約 800[ns])でかつ t_{rr} の分布幅も狭くなっているのに対し、ボイドあり条件で作製したダイオードのそれは短い値 (200[ns]~700[ns]) で広い分布幅をもつ結果が得られた。この結果より、トレンチ埋め込み法で作製した SJ 素子内部のボイドの非破壊検出法としてダイオードの t_{rr} の測定が有効であることがわかった。

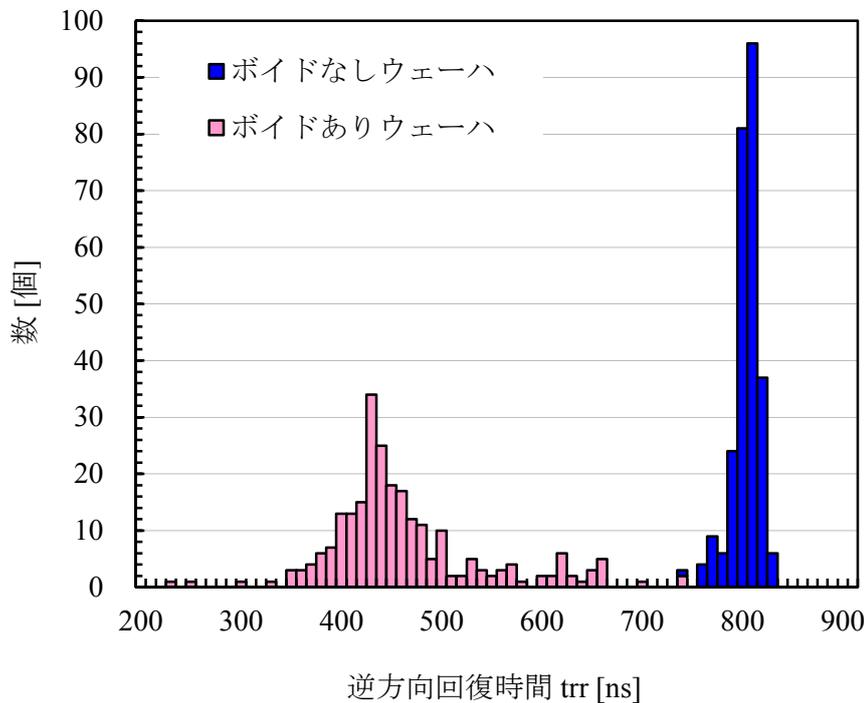


図 6-14 試作デバイスのボイドの有無と t_{rr} 特性分布の比較

6-6) まとめ

トレンチ埋め込み法を用いたスーパージャンクション構造デバイスを量産するにあたっては、トレンチ内部にボイドが発生していないことを何らかの手法で検査する必要がある。著者は、非破壊検査法で、かつ、特殊な検査装置を必要としない、デバイスの電気的特性からボイドの検出を行うあらたな手法を提案し、検証した。

得られた重要な知見として、ボイドとダイオードの電気的特性に相関があることを見出した。その電気的特性とは順方向電圧 V_F ・逆方向漏れ電流 I_R ・逆方向回復時間 t_{rr} である。測定結果から推定されることは、ボイドあるいはボイドに起因する結晶性の乱れがキャリアの再結合-発生中心として働いていることである。ボイドが再結合-発生中心として働くなれば、ライフタイム τ が短くなり発生電流 I_g が増加することになり、推定と矛盾はない。順方向特性としては、再結合電流が支配的な低電流領域において、順方向電圧 V_F に顕著な差異がみられるが、拡散電流が支配的となる大電流領域ではその差異が小さくなっている結果も妥当である。また、逆方向回復時間 t_{rr} は、ライフタイムが短くなるにつれ、短くなることは自明であり、測定結果も推定を支持する結果となった。

次に、ボイド近傍に再結合-発生中心が存在する場合の電気的特性のシミュレーションを行い、再結合-発生中心が電気的特性に与える影響を調査した。再結合-発生中心に対応する領域の形状を L 字形状とし、キャリアのライフタイムを短く設定することで結晶欠

陥をモデル化した。

実測結果のボイドサイズの大小による特性への影響の傾向と、ボイドを模擬した L 字形のサイズの大小やライフタイムの長短による特性への影響の傾向が、全く同様となった。特に V_F と t_{rr} の相関関係を実測とシミュレーションで比較した結果で、全く同様の傾向が得られた。

結論として、P カラムにボイドが存在するとボイド近傍に結晶欠陥が生成され、その結晶欠陥が再結合-発生中心として働くことが証明できた。

さらに、ボイドが生成される P カラム埋め込み条件で作製したダイオードと生成されない条件で作製したダイオードの t_{rr} 測定結果のヒストグラムから、ボイドなし条件で作製したダイオードの t_{rr} は長い値 (約 800[ns]) でかつ t_{rr} の分布幅も狭くなっているのに対し、ボイドあり条件で作製したダイオードのそれは短い値 (200[ns]~700[ns]) で広い分布幅をもつ結果が得られた。この結果より、トレンチ埋め込み法で作製した SJ 素子内部のボイドの非破壊検出法としてダイオードの t_{rr} の測定が有効であることを明らかに出来た。

参考文献

- 1) S.Kunori M.Kitada T.Simizu K.Oshima and A.Sugai : “120V Multi RESURF Junction Barrier Schottoky Rectifier” Proceeding of ISPSD2002 p97, (2002)
- 2) T.Kurosaki H.Shisido M.Kitada K.Oshima S.Kunori and A.Sugai : “200V Multi RESURF Trench MOSFET ” Proceeding of ISPSD2003 p211, (2003)
- 3) Soichi Yamauchi, Takumi Shibata, Shoji Nogami, Tomonori Yamaoka, Yoshiyuki Hattori and Hitoshi Yamaguchi, “ 200V Super Junction MOSFET Fabricated by High Aspect ratio Trench Filling ” proc. ISPSD2006, pp.65
- 4) K.Takahashi, H.Kuribayashi, T.Kawashima, S.Wakimoto, K.Mochizuki and H.Nakazawa, “ 20m Ω cm² 660V Super Junction MOSFETs Fabricated by Deep Trench etching and Epitaxial Growth ” proc. ISPSD2006, pp.297
- 5) Mizue Kitada, Shinji Kunori, Toru Kurosaki : ”Dependence of Electrical Properties of Super Junction Diode on Voids within Trench-refill Region” proc. ISPSD2007, pp.149
- 6) 特許 3914852 号

第 7 章

総論

著者は、電力エネルギーの変換に用いられる電力用パワーデバイス、特に電力用 SBD の内部電力損失の低減方法に関して検討を行った。また、その中で得られた知見に基づいて、電力用 MOSFET に対する電力損失低減についても検討した。

本論文においては、先ず、PiN ダイオードに対する SBD のメリットは、低耐圧（目安として 100[V]以下）ならば低 V_F かつ短 t_{tr} であること、デメリットとしては逆方向漏れ電流密度 J_R が大きいことによる使用可能な環境温度の制限があることを述べた。また高耐圧（目安として 100[V]以上）化すると V_F が PiN ダイオードよりも却って大きくなってしまふことを示した。すなわち、小信号用 SBD との違いとして、N 型ドリフト層の抵抗値 R_{SBD} の低減と、ショットキ効果による逆方向漏れ電流密度 J_R の逆バイアス依存性を抑制するためのショットキ電極と半導体接合部の電界強度の抑制が重要であることを示した。

第 3 章では、半導体表面にショットキ電極と PN 接合を多数並列に配置した構造である JBS の PN 接合形成を小さな占有面積で実現できる LL-SBD を提案した。その実現方法として、トレンチ形成後にガスドープ法で P 型層を形成する工夫を行った。この工夫により、ショットキ金属と半導体の界面における電界強度の効果的な低減が実現できることをシミュレーションと試作により実証した。その結果、ショットキ障壁高さ Φ_{bn} の逆バイアス電圧印加時の鏡像力効果による低減量を通常構造 SBD よりも大幅に抑制し、逆方向漏れ電流密度 J_R の低減を実証した。また、単位セルの微細化が $V_F \cdot J_R$ トレードオフの改善に重要であることも示した。

第 4 章では、より高耐圧の電力用 SBD での特性改善を実現するために、N 型ドリフト層の抵抗 R_{SBD} を低減する方策の検討を行った。第 3 章で得られた知見に基づき、N 型ドリフト層にトレンチを形成した後に、そのトレンチを P 型単結晶シリコンで埋め戻すトレンチ埋め込み法を採用したスーパージャンクション構造を用いることとした。また、素子周辺構造として電位をフローティング状態としたスーパージャンクション構造で、かつ、P カラム上部に P 中継領域を設けて周辺部に延伸する空乏層が繋がりやすくすることで、耐圧の確保を容易にした。設計・試作した 120V 級 SJ-JBS では、電力用 SBD での代表的な性能指標である $V_F \cdot J_R$ トレードオフの大幅な改善を実現した。試作結果より、同一 J_R 時の V_F 改善量として、0.17[V]という大幅な特性改善が実現できた。この結果は、トレンチ埋め込み法による微細な P カラムの実現が寄与していると考えられる。

さらに、SJ-JBS の電力損失の削減効果を実証するために、市販の AC アダプタに本研究で開発した 120V 級 SJ-JBS ならびに従来構造の 120V 耐圧級 SBD を導入した場合の電力損失を比較した結果、2.0[%]の低減率を実証することが出来た。

第 5 章では、第 4 章に述べたトレンチ埋め込み法によるスーパージャンクション構造をパワー MOSFET にも適用し、200V 級でシリコンパワー MOSFET の耐圧と $R_{DS(ON)} \cdot A$ の理論限界線であるシリコンリミットを下回る低損失なパワー MOSFET を設計・試作した。試作結果より、耐圧 250[V]で $R_{DS(ON)} \cdot A = 4.8[\text{m}\Omega \cdot \text{cm}^2]$ という良好な結果を得ることが出来た。

また、試作した MOSFET を、通信機器用フォワード回路方式の電源において、従来構造 MOSFET と電力損失の比較を行った結果、最大で 12.1[%](電力損失差 0.57W)もの電力損失の低減効果を確認出来た。

第 6 章では、上記の優れた特性が実現できるトレンチ埋め込み法における唯一の欠点であるトレンチ埋め込み不良がデバイスの特性に与える影響を非破壊で検出できる方策の検討を行った。その方法として特殊な検査装置を用いることなく、一般的な測定装置である電気的特性の測定装置（デバイス特性テスター）で測定可能なデバイスの電気的特性に着目し、埋め込み不良により発生するボイドに起因する結晶欠陥が、電気的には再結合-発生中心として働くことを明確にし、再結合電流の増加に起因する低電流領域での V_F 値の低下、キャリアライフタイムの低下に起因する I_R 値の増加、同じく t_{rr} の短縮が、意図的に作製したデバイス内のボイドのサイズと強い相関があることを明らかにした。この知見を基に、ボイドの有無で t_{rr} の分布が明確に分かれることを実証し、 t_{rr} 測定法により非破壊でのボイド検出が可能であるとの知見を得た。製造時のボイドの非破壊検出法については、著者が発表した 2007 年時点では他の報告がなかった。この結果は世界で初めての実用的な試みと成果である。本方法を適用していくことで、トレンチ埋め込み法を用いたスーパージャンクション構造デバイスの量産化が実現出来るであろう。

最後に、本研究成果を電力損失の低減効果の視点でまとめると、電源回路に搭載した既存の素子と比較した結果、2[%]~12[%]もの電力変換時の損失低減が達成出来ることが実証出来た。さらに、従来の見解では性能改善が困難と考えられてきた高耐圧電力用 SBD の大幅な特性改善が可能であることも実証された。今後、この成果は実用化素子製造への応用展開がなされて行くものと期待される。

謝辞

本研究を行うにあたり、研究・開発の機会を与えて頂いた新電元工業株式会社に感謝いたします。特に（現）技術開発センターと電子デバイス事業部の関係者の皆様に、深く感謝の意を表します。研究開発を行うにあたり、討議・試作・評価において多大な協力を頂きました若田部勝様、田中貢様、石田純一様、市川且典様、菅井昭彦様、大島宏介様、黒崎徹様、宍戸寛明様、竹森俊之様、渡辺祐司様、伊藤一彦様、松原寿樹様、比留間義明様、品川盛治様、二上健一郎様に感謝いたします。技術討議、特許出願、試作、評価において多大な寄与を頂いた山地瑞枝様に深く感謝いたします。

最後に、学位論文をまとめるにあたり、多大なる御指導を賜りました日本大学理工学部
の山本寛教授、高橋芳浩教授、鈴木薫教授に厚く御礼申し上げます。