

論文の内容の要旨

氏名：九 里 伸 治

博士の専攻分野の名称：博士（工学）

論文題名：電力用ショットキバリアダイオードと電力用 MOSFET の低電力損失化および高耐圧化に関する研究

パワーエレクトロニクスとは、電力、電子および制御の技術を融合した電力変換に関する技術分野である。電力変換とは、スイッチング技術を利用して、周波数・電流・電圧・位相・相数・波形などの電気特性のうち、一つ以上を実質的な電力損失なしに変えることと定義される。この電力変換には、半導体スイッチングデバイスや整流デバイスが用いられる。スイッチングデバイスとして代表的なデバイスが電力用 MOSFET であり、整流デバイスとしては電力用ショットキバリアダイオード (SBD) が挙げられる。

本論文は、電力用 SBD と電力用 MOSFET の電力変換時の電力損失を低減するための狙いを明確にし、それを実験的に検証した成果をまとめたものである。

具体的には、まず低耐圧電力用 SBD における低電力損失化という視点での特性改善を図り、それを推し進めた高耐圧 SBD の低電力損失化についても検討を加えた。また、高耐圧 SBD の研究で得られた知見を応用して電力用 MOSFET の低電力損失化に関する検討を行った。さらに、前記の低電力損失化を実現する上で用いたトレンチ埋め込み法における欠点を解決する独自の手法の開発も行った。

第1章「序論」では、電力用パワーデバイス開発の歴史の中での本研究の位置づけと意義を述べた。

第2章「電力用ショットキバリアダイオード (SBD) の開発課題」では、電力用 SBD の動作原理と特性を概説し、逆方向バイアス時の漏れ電流 I_r の抑制の方策、高耐圧化した際の順方向バイアス時の電圧降下 V_F の抑制の方策、高耐圧化構造の課題を示した。

第3章「トレンチ構造を有する低耐圧ジャンクションバリアショットキダイオード (LL-SBD)」においては、低耐圧ジャンクションバリアショットキダイオード (JBS) を取り上げ、漏れ電流 I_r の効果的な抑制の方策を検討した結果を示した。

電力用 SBD の I_r 低減策として、逆バイアス時にショットキ接合部に印加される電界強度の緩和があげられる。それが実現可能な構造として、従来から、P 型拡散領域とショットキ接合をデバイス表面に並列に複数配置した JBS 構造があった。しかし、 I_r 抑制と V_F の増加の抑制の両立の観点から、P 型拡散領域の形状の最適設計に関する報告はなかった。本論文ではシミュレーションを用いて、P 型拡散領域の深さ、窓幅、横方向拡散幅を評価し、深さを深く、窓幅を出来るだけ狭くして微細化をはかり、横方向拡散を極力抑えることが有効であることを明らかにした。上記の見解を実証するため、N 型ドリフト層にトレンチを形成後、P 型ドーパントを BN ガスドーブ法で形成する LL-SBD を試作し、横方向拡散を抑制することで I_r 増加が抑制され、 V_F - I_r トレードオフ特性も改善ができることを実証した。

第4章「高耐圧 120V 級スーパージャンクション (SJ) -JBS」では、N 型ドリフト層に形成したトレンチ部を P 型単結晶シリコンで埋めこむエピタキシャル成長技術 (トレンチ埋め込み法) を使って、複数の P カラム (P 型埋め込み領域) と N 型メサ領域 (P カラムに挟まれた N 型ドリフト層) が交互に並んだスーパージャンクション (SJ) デバイス構造を有する 120V 級 SJ-JBS の設計・試作結果を示した。

SJ 構造では P 型不純物のチャージ量 Q_p と N 型不純物のチャージ量 Q_n を等しくする ($Q_p=Q_n$ の状態をチャージバランス状態と称する) ことが基本である。しかし、想定される製造ばらつきを考慮すると、±30% の $Q_p \neq Q_n$ となった場合 (チャージバランスずれ状態) でも耐圧を確保する必要がある。このためには、不純物チャージ量 Q 値の絶対値を最適化しなければならない。市販のシミュレーションソフトを用いて、耐圧、 V_F 特性、電界強度のチャージバランス依存性をシミュレーションし、 Q_n 設計値は $\sim 2.0 \times 10^{12} \text{cm}^{-2}$ が最適であることを明確にした。試作品の特性としては、P カラムと N 型メサ領域のチャージバランス状態にした場合、耐圧 161V、 $V_F=0.69\text{V}$ 、 $J_r=3.3 \times 10^{-5} \text{A/cm}^2$ を得ることが出来た。さらに、N 型ドリフト層の最適化により、耐圧 130V、 $V_F=0.62\text{V}$ 、 $J_r=4.0 \times 10^{-5} \text{A/cm}^2$ を得ることができた。この V_F 値は、同一の I_r 値相当の従来構造の 120V 級 SBD に対して 0.17V も低減できたことに相当する。

第5章「高耐圧 200V 級 SJ-MOSFET (TR-MOSFET)」では、トレンチ埋め込み法を用いた SJ 構造デバイスと

して TR-MOSFET を考案し、試作した結果について述べた。TR-MOSFET の構造上の特徴は N 型ドリフト領域中に P カラムをトレンチ埋め込み法で形成した後、P カラム上に MOSFET のゲート電極部を自己整合的に形成したことである。この構造を採用することで、トランジスタセルの微細化が容易となり、電力用 MOSFET の主たる電力損失要素である MOSFET の電流導通時の電気抵抗値（特性オン抵抗） $R_{DS(ON)}$ を低減出来る。

SJ 構造設計は、SJ-JBS の設計手法に準拠して行った。試作の結果、シリコンを用いた従来構造における耐圧と $R_{DS(ON)}$ の理論限界線であるシリコンリミットを超越する、耐圧 245V で $R_{DS(ON)} = 4.8m\Omega cm^2$ という特性が得られた。

第 6 章「トレンチ埋め込み領域のボイド非破壊検出法の開発」では、トレンチ埋め込み法を用いた SJ 構造デバイスにおいて、トレンチ内部のボイド検出を非破壊検査法で行う研究を行った結果を示した。具体的には SJ-PN 接合ダイオードの電気的特性からボイドの検出の可能性を探った。

えられた重要な知見としては、ボイドとダイオードの電気的特性に相関があることである。その電気的特性の項目は、順方向電圧 V_F ・逆方向電流 I_R ・逆方向回復時間 t_{rr} である。測定結果から、ボイドに起因する結晶欠陥がキャリアの再結合発生中心として働いていることが推定された。さらには、ボイドサイズが大きくなるにつれて、キャリアのライフタイムが短くなることも推定される結果となった。

この実測結果をうけて、ボイドに起因する結晶欠陥が再結合中心としてふるまうことを証明するために、SJ-PN 接合ダイオードの電気的特性のシミュレーションを行い、ボイド近傍の再結合中心が電気的特性に与える影響を調査した。結晶欠陥に対応する領域を L 字形の低ライフタイム領域とし、L 字形の大きさとキャリアのライフタイムをパラメータとした。ボイドサイズが大きくなるにつれてライフタイムが短くなるという実測結果と全く同様の傾向がシミュレーションにより確認された。特筆すべきは V_F と t_{rr} の相関関係が実測とシミュレーションで、全く同様の傾向を示したことである。

結論として、P 型単結晶シリコン領域にボイドが存在するとボイド近傍に結晶欠陥が生成され、その結晶欠陥が再結合中心として働くことが証明出来た。

さらに、ボイドが生成される P 型単結晶シリコン埋め込み条件で作製したダイオードと生成されない条件で作製したダイオードの t_{rr} 測定結果のヒストグラムを調査した。ボイドなし条件で作製したダイオードの t_{rr} は長い値（約 800ns）でかつ t_{rr} の分布幅も狭くなっているのに対し、ボイドあり条件で作製したダイオードのそれは短い値（200ns～700ns）で広い分布幅をもつ結果が得られた。この結果より、トレンチ埋め込み法で作製した SJ 素子内部のボイドの非破壊検出法としてダイオードの t_{rr} の測定が有効であることを明らかに出来た。

第 7 章「総論」では、電力エネルギーの変換に用いられる電力用パワーデバイスとして電力用 SBD と電力用 MOSFET の内部電力損失の低減方法に関して検討を行った結果をまとめた。申請者の行った研究の主たる成果は以下のとおりである。

- 1) 低耐圧電力用 SBD の特性改善として、トレンチ形成後にガスドーピング法で P 型層を形成する工夫を行った LL-SBD で通常構造 SBD よりも V_F - I_R トレードオフを改善した。
- 2) 高耐圧の電力用 SBD での特性改善として、N 型ドリフト層にトレンチを形成した後に、そのトレンチを P 型単結晶シリコンで埋め戻すトレンチ埋め込み法を採用した 120V 級 SJ-JBS を設計・試作した。えられた特性として、同一 I_R 時の V_F 改善量が 0.17V という大幅な改善を実現した。
- 3) トレンチ埋め込み法による SJ 構造をパワー MOSFET にも適用し、200V 級でシリコン電力用 MOSFET の耐圧と $R_{DS(ON)}$ の理論限界線であるシリコンリミットを下回る低損失なパワー MOSFET として、耐圧 245V で $R_{DS(ON)} = 4.8m\Omega cm^2$ という特性を得た。
- 4) トレンチ埋め込み法における唯一の欠点であるトレンチ埋め込み不良がデバイスの特性に与える影響を非破壊で検出できる方策の検討を行い、再結合電流の増加に起因する低電流領域での V_F 値の低下、キャリアライフタイムの低下に起因する I_R 値の増加、同じく t_{rr} の短縮が、意図的に作製したデバイス内のボイドのサイズと強い相関があることを明らかにし、 t_{rr} 測定法により非破壊でのボイド検出が可能であるとの知見を得た。この結果は世界で初めての実用的な試みと成果である。

従来の見解では性能改善が困難と考えられてきた高耐圧電力用 SBD や電力用 MOSFET の大幅な特性改善が可能であることを実証した。今後、この成果は低損失電力用デバイス開発へ展開されていくことが期待される。